(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
G02F 1/136

(11) 공개번호 특2001-0080289
(43) 공개일자 2001년08월22일

(21) 출원번호 10-2001-7005033
(22) 출원일자 2001년04월21일
번역문 제출일자 2001년04월21일
(86) 국제출원번호 PCT/EP2000/08267
(86) 국제출원출원일자 2000년08월23일
(87) 국제공개번호 WO 2001/15234
(87) 국제공개일자 2001년03월01일

(81) 지정국 국내특허 : 일본, 대한민국,
EP 유럽특허: 오스트리아, 벨기에, 스위스, 리히텐슈타인, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 핀랜드, 사이프러스,

(30) 우선권주장 9919913.5 1999년08월24일 영국(GB)

(71) 출원인 코닌클리케 필립스 일렉트로닉스 엔.브이.
요트.게.아. 롤페즈
네델란드왕국, 아인드호펜, 그로네보드스베그 1

(72) 발명자 그린,페터
네덜란드,아아아인트호펜5656,프로프홀스트란6
포벨,마르틴,요트.
네덜란드,아아아인트호펜5656,프로프홀스트란6

(74) 대리인 문경진
조현석

심사청구 : 없음

(54) 박막 트랜지스터 및 박막 트랜지스터 생성 방법

요약

박막 트랜지스터 형성 방법은 투명 기판(40) 위에 제 1 전극 층(42)을 제공하는 단계를 포함하며, 상기 제 1 전극 층은 하부 투명 층(42a)과 상부 불투명 층(42b)을 포함한다. 상기 제 1 전극 층은, 상기 투명 층(42a)의 가장자리 영역이 상기 불투명 층(42b)의 가장자리 영역을 초과하여 확장하는 제 1 전극 패턴을 한정하도록 패턴화된다. 트랜지스터의 채널 영역을 한정하는 반도체 층(16)과 게이트 절연 층(18)을 포함하는 트랜지스터 몸체 영역이 제 1 전극 패턴(42) 위에 제공된다. 투명 제 2 전극 층(46)이 또한 제공된다. 음의 저항 층(70)이 기판(40)을 관통하여 노광되며, 상기

제 1 전극 패턴(42)의 불투명 층(42b)에 의해 가려진 음의 저항 층(70) 영역은 노광되지 않은 채 남겨진다. 이러한 영역들 및 그 아래 놓이는 제 2 전극 층(46)은 제거되어서 제 2 전극 패턴을 한정하며, 이 제 2 전극 패턴은 상기 제 1 전극 패턴(42)의 불투명 층(42b)과 대체로 정렬된다. 본 방법은 상부(top) 게이트 TFT 또는 하부(bottom) 게이트 TFT에 사용될 수 있으며, 소스/드레인과 게이트 사이에 중첩(overlap)을 갖는 자기-정렬된 게이트 구조를 제공하여, 반도체 몸체에 대한 추가적인 처리가 필요 없게 한다.

대표도

도 5a

명세서

기술분야

본 발명은 박막(thin-film) 트랜지스터 및 박막 트랜지스터를 생성하기 위한 방법에 관한 것이다. 좀더 상세하게, 본 발명은, 게이트 전극과, 소스 및 드레인 전극 사이에 중첩을 갖는 자기-정렬된(self-aligned) 게이트 구조를 갖는 스태거링(staggering)된 박막 트랜지스터 및 이러한 트랜지스터 제조 방법에 관한 것이다. 이러한 박막 트랜지스터는, 예컨대 능동-매트릭스 액정 디스플레이와 같은 평면 패널 디스플레이 장치나 기타 넓은 면적을 갖는(large-area) 전자 장치들에서의 사용에 적합하다.

배경기술

박막 트랜지스터의 자기-정렬된 게이트 구조를 한정하기 위한 여러 방법들이 제안되어왔다. 이들 방법들중 일부에서, 게이트 컨덕터(conductor)는 소스 전극과 드레인 전극 사이의 간격보다 더 작은 폭을 갖는다. 이것은 소스 및 드레인 전극 구조에 대한 절연된 게이트 구조의 위치지정에 얼마간의 자유를 제공한다. 그러나, 이때 게이트 전극 및 소스/드레인 전극 사이에서의 트랜지스터의 반도체 몸체 영역들은 트랜지스터 접촉 저항을 감소시키기 위한 처리를 필요로 한다. 여러 프로세스들이 이를 위해 제안되어왔다. 전형적으로, 이러한 프로세스들은, 반도체 층의 이러한 영역들에 대한 레이저 결정법(laser crystallisation) 및/또는 이온 주입법(ion implantation)을 포함한다. 게이트 구조는 이러한 프로세스들에서 자기-정렬된 속성을 유지하는 역할을 한다.

이러한 추가적인 처리는 처리 단계들을 추가하며, 이를 통해 제조 프로세스를 더 복잡하게 한다. 저항을 감소시키기 위한 반도체 층의 처리 필요성은, 만약 게이트 전극과 소스 및 드레인 전극 사이에 중첩이 제공된다면 회피될 수 있음이 인식되어왔다. 이처럼, 게이트는 전체 반도체 채널 영역을 조정한다. 그러나, 중첩의 정도는 게이트 전극과 소스 및 드레인 전극 사이에 커패시턴스(capacitance)를 나타내며, 교대로 이러한 커패시턴스는 트랜지스터의 스위칭 특성에 영향을 미친다. 박막 트랜지스터들이 어레이(array) 장치들에서 사용될 때, 트랜지스터 응답 특성의 균등성(uniformity)이 중요하며, 그에 따라 중첩의 정도는 정확하게 제어 가능하게 되어야한다.

게이트 컨덕터와 소스 및 드레인 컨덕터 사이에 제공된 중첩을 자기-정렬된 박막 트랜지스터에 제공하기 위한 하나의 제안된 방법은, 광저항(photoresist) 층에 대해 기판을 관통하는 노광(through-the-substrate exposure)의 사용을 포함한다. 예컨대, 상부(top) 게이트 구조의 경우에, UV 광은 불투명한 소스 영역과 드레인 영역 사이에 있는 개구부(opening)를 관통하여, 광저항 층에 도달하기 이전에 상기 구조를 통해서 회절되어 산란된다. 이것은 결국 얼마간의 게이트와 소스/드레인 사이의 중첩을 야기하여, 전체 채널 폭은 선택적으로 노광된 저항 층을 사용하여 패턴화된 게이트 컨덕터에 의해 조정되게 된다. 그러나, 게이트 컨덕터의 소스 및 드레인 컨덕터에 대한 중첩의 정도는 정확하게 제어

될 수 없으며, 박막 트랜지스터의 만족할 만한 동작 특성들을 제공하기에 충분하지 않을 수 도 있다.

미국 특허(제 5,156,986 호)는 하부(bottom)-게이트 트랜지스터 구성을 기술하며, 이 하부-게이트 트랜지스터 구성에서 소스 전극 및 드레인 전극은 게이트 전극과 자기-정렬되지만, 게이트의 가장자리와 중첩된다. 이러한 점을 달성하기 위해서 미국 특허(제 5,156,986 호)에서 제안된 하나의 방법은, 마스킹 플러그(masking plug)가 상부 소스 및 드레인 전극 층들을 증착시키기 이전에 형성될 수 있게 하기 위해서 양의 광저항 층에 대해 기판을 관통하는 노광의 사용을 포함한다. 투명 층과 불투명 층을 포함하는 두 개의 층을 갖는 게이트 컨덕터가 개시되며, 여기서 불투명 층만이 마스킹 플러그의 형태를 한정하기 위해서 사용된다. 결국, 소스 전극과 드레인 전극 사이의 간격은, 소스/드레인 금속 층(metallisation)이 마스킹 플러그 위에 노출될 때까지 이 영역에서 이것의 더 높은 높이로 인해 전체 구조의 비-선택적인 균등한 에칭(etching)에 의해서 한정된다. 그러므로, 이러한 구조의 게이트와 소스 사이의 간격은 전체 구조를 한정하는 여러 층들의 윤곽(contour)들에 의해 결정되며, 또한 비-선택적인 에칭이 정지되는 지점에 의존한다. 따라서, 장치 특성들은, 이러한 파라미터들에서의 국부적인 변동에 따라서 다른 트랜지스터들 사이에서 변동할 수 도 있다.

발명의 상세한 설명

본 발명은,

하부 투명 층과 상부 불투명 층을 포함하는 제 1 전극 층들을 투명 기판 위에 제공하는 단계와;

상기 투명 층의 가장자리 영역이 상기 불투명 층의 가장자리 영역을 초과하여 확장하는 제 1 전극 패턴을 한정하기 위해서 상기 제 1 전극 층들을 패턴화하는 단계와;

트랜지스터의 채널 영역을 한정하는 반도체 층과 게이트 절연 층을 포함하는 상기 트랜지스터 몸체를 제공하는 단계와;

투명 제 2 전극 층을 제공하는 단계와;

음의 저항 층(a layer of negative resist)을 상기 제 2 전극 층 위에 제공하는 단계와;

상기 제 1 전극 패턴의 불투명 층에 의해 가려진(shadowed) 상기 음의 저항 층 영역들이 노광되지 않은 채 유지되도록 상기 기판을 관통하여 상기 음의 저항 층을 노광시키는 단계와;

상기 제 1 전극 패턴의 불투명 층과 대체로 정렬되는 제 2 전극 패턴을 한정하기 위해서 상기 노광되지 않은 음의 저항 층 및 이것의 아래에 있는 상기 제 2 전극 층을 제거하는 단계를 포함하는, 박막 트랜지스터를 형성하는 방법을 제공한다.

게다가, 본 발명에 따라,

하부 투명 층과 상부 불투명 층을 포함하는 제 1 전극 층들을 투명 기판 위에 제공하는 단계와;

상기 투명 층의 가장자리 영역이 상기 불투명 층의 가장자리 영역을 초과하여 확장하는 제 1 전극 패턴을 한정하기 위해서 상기 제 1 전극 층들을 패턴화하는 단계와;

트랜지스터의 채널 영역을 한정하는 반도체 층과 게이트 절연 층을 포함하는 상기 트랜지스터 몸체 영역을 상기 제 1 전극 패턴 위에 제공하는 단계와;

투명한 제 2 전극 층을 상기 트랜지스터 몸체 영역 위에 제공하는 단계와;

음의 저항 층을 상기 제 2 전극 층 위에 제공하는 단계와;

상기 제 1 전극 패턴의 불투명 층에 의해 가려진 상기 음의 저항 층 영역들이 노광되지 않은 채 유지되도록 상기 기판을 관통하여 상기 음의 저항 층을 노광시키는 단계와;

상기 제 1 전극 패턴의 불투명 층과 대체로 정렬되는 제 2 전극 패턴을 한정하기 위해서 상기 노광되지 않은 음 저항 층 및 이것의 아래에 있는 상기 제 2 전극 층을 제거하는 단계를 포함하는, 박막 트랜지스터를 형성하는 방법이 제공된다.

본 발명의 방법은, 트랜지스터 구조의 상부 전극 층의 후속적인 패턴화를 한정하기 위해서 음 저항 층의 기판을 관통하는 노광을 사용한다. 음의 저항 층의 노광은 하부 제 1 전극 층들의 불투명 층의 형태에 의존한다. 하부 제 1 전극 층들의 투명 층은, 트랜지스터의 게이트 컨덕터와 소스 및 드레인 컨덕터 사이에 중첩이 존재함을 보장한다.

본 방법은 하부 게이트 박막 트랜지스터 또는 상부 게이트 박막 트랜지스터를 형성하기 위해서 사용될 수 도 있다. 제 1 전극 층 및 제 2 전극 층중 하나는 게이트 컨덕터를 한정하며, 다른 하나는 소스 전극 패턴 및 드레인 전극 패턴을 한정할 것이다. 채널 에칭된 또는 에칭 정지된 구조들이 한정될 것이다. 나아가, 동일 평면상에 있는 하부 또는 상부 게이팅된 구조들이 형성될 것이다.

바람직하게, 제 1 전극 층의 패턴화는, 다른 속도로 하부 투명 층과 상부 불투명 층을 에칭하는 에칭제(etchant)를 사용하는, 예컨대 습식 에칭(wet etching)과 같은 에칭을 포함한다. 이때, 에칭 시간은, 투명 층의 가장자리 영역이 불투명 층의 가장자리 영역을 초과하여 확장되게 하는 원하는 중첩의 정도를 생성하기 위해서 선택될 것이다. 교대로, 이러한 중첩의 정도는 게이트 전극에 대한 소스 및 드레인 전극의 중첩을 결정하며, 이를 통해서 트랜지스터의 동작 특성들을 결정한다.

본 발명은, 투명 층의 가장자리 영역이 불투명 층의 가장자리 영역을 초과하여 확장하는, 하부 투명 층과 상부 불투명 층을 포함하며, 기판 위에 제공되는 제 1 전극 패턴과, 트랜지스터의 채널 영역을 한정하는 반도체 층 및 게이트 절연 층을 포함하는 트랜지스터 몸체와, 상기 제 1 전극 패턴의 불투명 층과 대체로 정렬되는 투명 제 2 전극 패턴을 포함하는 박막 트랜지스터를 또한 제공한다.

나아가, 본 발명은,

기판 위에 제공되는 제 1 전극 패턴과;

트랜지스터의 채널 영역을 한정하는 반도체 층과 게이트 절연 층을 포함하며, 상기 제 1 전극 패턴 위에 제공되는 트랜지스터 몸체 영역과;

상기 트랜지스터 몸체 영역 위에 제공되는 제 2 전극 패턴을 포함하며,

상기 제 1 전극 패턴은 투명 층의 가장자리 영역이 불투명 층의 가장자리 영역을 초과하여 확장하는 하부 투명 층과 상부 불투명 층을 포함하며, 상기 제 2 전극 패턴은 투명이며, 상기 제 2 전극 패턴은 상기 제 1 전극 패턴의 불투명 층과 대체로 정렬되는, 박막 트랜지스터를 제공한다.

본 발명의 트랜지스터는 위의 방법을 사용하는 제조에 적합하다. 트랜지스터는, 예컨대 액정 디스플레이와 같은 전자 장치에서 사용될 수 있으며, 이러한 액정 디스플레이는 박막 트랜지스터 어레이를 포함하는 트랜지스터 기판을 포함할 것이다.

이제, 본 발명의 실시예들은 수반하는 도면을 참조하며, 이 도면들에 도시된 예를 통해 기술될 것이다.

도면의 간단한 설명

도 1은 소스/드레인 전극과 게이트 전극 사이에 중첩을 갖는 트랜지스터를 한정하기 위한 저항 층에 대한 기판을 관통하는 노광의 가능한 이용을 도시한 도면.

도 2는 도 1을 참조하여 설명된 방법을 사용하여 제조되는 상부 게이트 박막 트랜지스터를 도시한 도면.

도 3은 음의 광저항 층에 대한 기판을 관통하는 노광을 사용하여 제조될 수 있는 하부 게이트 박막 트랜지스터를 도시한 도면.

도 4a는 본 발명에 따른 채널 에칭된 하부 게이트 박막 트랜지스터를 도시한 도면.

도 4b는 본 발명에 따른 동일 평면 상에 있는 하부 게이트 박막 트랜지스터를 도시한 도면.

도 5a는 본 발명에 따른 상부 게이트 박막 트랜지스터를 도시한 도면.

도 5b는 본 발명에 따른 동일 평면상에 있는 상부 게이트 박막 트랜지스터를 도시한 도면.

도 6은 에칭 정지 층을 갖는 본 발명에 따른 하부 게이트 박막 트랜지스터를 도시한 도면.

도 7은 상부 게이트 박막 트랜지스터에 사용하기 위해 기판 위에 소스 및 드레인 전극을 생성하는 여러 가지 연속적인 공정(sequences)을 도시한 도면.

도 8은 도 7을 참조하여 기술된 에칭 프로세스 동안에 에칭 시간과 오프셋 거리 사이의 관계를 도시한 도면.

도 9는 도 7에 도시된 방법으로 준비되는 기판을 사용하여 상부 게이트 박막 트랜지스터를 제조하는 단계들을 도시한 도면.

도 10은 본 발명의 하부 게이트 박막 트랜지스터를 형성하기 위한 단계들을 도시한 도면.

도 11은 도 4b의 동일 평면상에 있는 하부 게이트 박막 트랜지스터를 형성하기 위한 단계들을 도시한 도면.

도 12는 에칭 정지 층을 갖는 본 발명에 따른 하부 게이트 박막 트랜지스터를 형성하기 위한 단계들을 도시한 도면.

실시예

도면들을 실제 축적대로 도시되지 않으며, 여러 층들의 두께는 명확한 이해를 위해서 과장되거나 축소되었을 수 도 있다. 동일한 참조 번호는 다른 실시예들에서 동일한 층들 또는 트랜지스터 특징들(예컨대, 소스, 드레인, 게이트)을 표시하기 위해서 사용되었다.

도 1은 어떻게 음의 광저항 층의 후면 노광이 충분히 자기-정렬된 오프셋 박막 트랜지스터 구조를 얻기 위해서 사용될 수 있는지를 예시한다. 도 1에 도시된 구조는, 투명한 예컨대 유리인 기판(10)을 포함하며, 이 기판(10) 위에 소스 전극 패턴(12) 및 드레인 전극 패턴(14)이 형성된다. 무정형 실리콘 층(16)이 소스 전극 패턴 및 드레인 전극 패턴 위에 제공되며, 소스 전극(12) 및 드레인 전극(14) 사이의 무정형 실리콘 층(16) 영역은 트랜지스터의 반도체 채널을 한정한다. 게이트 절연 층(18)이 반도체 층(16) 위에 제공되며, 게이트 컨덕터를 형성하는 투명한 도체 층(20)이 게이트 절연 층(18) 위에 제공된다. 음의 저항 층(22)이 이러한 구조 위에 제공되며, UV 방사광(24)을 사용하여 아래쪽에 있는 기판(10)으로부터 선택적으로 노광된다.

소스 패턴(12) 및 드레인 패턴(14)은 UV 광(24)을 차폐하여, 트랜지스터 구조를 관통하는 광의 통과가 소스 전극과 드레인 전극 사이의 간격에서만 발생하게 한다. UV 광(24)은 이러한 개구부를 통과함에 따라 회절하여 산란되며, 소스/드레인 중첩을 야기한다. 저항 층(22)의 노광된 영역은 소스 전극(12) 및 드레인 전극(14) 사이의 간격보다 더 넓다. 이 노광된 영역은 게이트 전극 층(20)의 후속적인 패턴화를 규정하며, 도 2에 도시된 구조가 그 결과이다. 중첩(26)은 UV 광(24)의 산란 정도에 의존하며, 그러므로 이러한 구조를 형성하는 여러 층들의 속성 및 두께에 의존할 것이다.

도 3은, 영역들에서의 음의 광저항 층에 대한 노광이 하부 게이트 컨덕터(30)에 의해 차폐되지 않는 유사한 접근법을 사용하여 생성될 수 있는 하부 게이트 박막 트랜지스터 구조를 예시한다. 노광된 광저항 층은 소스 전극(34) 및 드레인 전극(36) 사이의 간격(32)의 후속적인 패턴화를 결정한다. 다시, 소스/드레인의 게이트와의 중첩(26)의 정도는, 트랜지스터들의 어레이를 지니는 기판 위의 장치 특성들을 균등하게 할 만큼 충분하지 않거나(이것은 도 2 및 도 3에서 과장되었다) 정확하게 반복될 수 없을 수 도 있다.

도 4a는 본 발명의 방법에 따라 제조된 하부 게이트 박막 트랜지스터를 예시하며, 이 하부 게이트 박막 트랜지스터는 소스 및 드레인 전극과 게이트 전극 사이에서 좀더 정확하게 제어 가능한 중첩의 정도를 갖는다.

도 4a에 도시된 구조는 기판(40)을 포함하며, 이 기판 위에 제 1 전극 패턴(42)이 제공되며, 이것은 트랜지스터의 게이트 컨덕터를 한정한다. 게이트 컨덕터(42)는 하부 투명 층(42a)과 상부 불투명 층(42b)을 포함한다. 투명 층(42a)의 가장자리(44)는 불투명 층(42b)의 가장자리를 초과하여 확장한다. 따라서, 도 1에 나타낸 방식으로 상부 음의 광저항 층에 대한 기판을 관통하는 노광은, 노광된 광저항 층이 게이트 컨덕터의 불투명 층(42b)과 대체로 정렬되게 한다. 위에서 기술된 바와 같이 UV 광의 산란은 정확한 정렬을 방해한다. 노광된 광저항 층은 제 2 전극 패턴(46)을 형성하는데 사용되며, 이 제 2 전극 패턴(46)은 불투명 층(42b)과 정렬되는 소스 전극 및 드레인 전극을 한정한다. 따라서, 게이트(43)와 소스(47) 및 드레인(48) 사이에는 제어 가능한 정도의 중첩(50)이 있게 된다.

도 4b는 본 발명의 방법을 사용하여 형성된 동일 평면상에 있는 하부 게이트 박막 트랜지스터를 도시한다. 우선 도 4b는 반도체 층(16)이 소스 전극(47) 및 드레인 전극(48) 위에 제공된다는 점에서 도 4a의 구조와 다르다. 실리콘 화합물 층(80, 82)이 또한 이러한 전극들과, 금속 소스 접촉(84) 및 드레인 접촉(86) 각각 사이에 도시된다.

도 4b에 도시된 구성은 도 4a의 채널 에칭 구조와 대응하는 조직 구조를 다루기 위해 개발되었다. 도 4a는 반도체 층(16)을 통한 상부 음의 저항 층의 노광을 포함한다. 전형적으로, 반도체 층이 반도체 층의 에칭된 표면상에 생성된 결함 상태들(states)과 채널 영역의 전하 캐리어들 사이의 상호작용을 감소시키기 위해서는 대략 200nm의 두께가 필요할 것이며, 반도체 층의 일부가 에칭 프로세스에서 또한 손실 될 것이기 때문에 이러한 두께는 필요할 것이다. 그러나, 반도체 층은, 문제가되는(problematic) UV 후면 노광을 사용하여 이러한 구조의 형태를 만든다면 UV 파장에 있어서 큰 광 흡수 상수를 가질 것이다(대략 $5 \times 10^{5}\,\mathrm{cm}^{-1}$ 이상). UV 보다 더 긴 파장의 분광 감도를 갖는 광저항 층을 이용하여 이러한 문제를 극복할 것이다.

대안적인 해결책이 도 4b에 예시된 구조에 의해 제공되며, 이것은 도 4a 실시예의 자기-정렬된 양상들을 동일 평면을 갖는 구성과 결합한다. 소스(47) 및 드레인(48)의 후면 노광 및 에칭은 반도체 층(16)을 증착하기 이전에 수행되며, 이를 통해 반도체 층에 의한 입사 방사광의 흡수를 회피하게 된다. 이러한 접근법은 상대적으로 비싸지 않으면서 충분히 자기-정렬된 동일 평면상에 있는 구성을 형성하게 한다. 바람직하게, 실리콘 화합물 층(80, 82)은 소스(47)와 드레인(48) 사이에서, 및 소스 접촉(84)과 드레인 접촉(86) 사이에서 접촉 저항을 감소시키기 위해서 포함된다.

도 5a는 도 4a 및 도 4b와 동일한 원리를 채택하는 방법을 사용하여 제조된 상부 게이트 트랜지스터를 도시한다. 이 경우에, 제 1 전극 패턴(42a, 42b)은 트랜지스터의 소스 전극(47) 및 드레인 전극(48)을 한정하며, 제 2 전극 패턴(46)은 소스 전극 및 드레인 전극의 불투명 층(42b) 사이의 간격에 대체로 대응하도록 기판(40)을 통과하는 노광을 사용하여 패턴화된다. 제 2 전극 패턴(46)은 게이트 컨덕터(43)를 한정한다.

도 5b는 본 발명에 따른 동일 평면에 있는 상부 게이트 트랜지스터를 예시한다. 이것의 구조는, 반도체 층이 소스 층(47), 드레인 층(48), 절연체 층(18) 및 게이트 층(43) 이전에 기판 상에서 증착되는 점을 제외하고는 도 5a에 도시된 상부 게이트 트랜지스터의 구조와 유사하다.

도 4a, 도 4b, 도 5a 및 도 5b에 도시된 예에서, 상부 저항 층을 노광하는 동안에 얼마간의 산란이 또한 있을 것이며, 이것은 도 5a에서만 불투명 층(42b)과 게이트(43)의 가장자리 사이의 어긋난 정렬(misalignment)로 도시되었다. 각 경우, 상부 전극 층은 위에 놓인 저항 층의 전극 층을 통한 노광이 가능하도록 하기 위해서 투명해야만 한다.

도 6은, 반도체 층(16) 위에 에칭 정지 층(60)이 추가적으로 제공되며, 소스 전극(47) 및 드레인 전극(48)이 에칭 정치 층(60) 가장자리 위에 놓이는 하부 게이트 박막 트랜지스터를 예시한다.

도 4 내지 도 6에 도시된 트랜지스터 구조들을 형성하는데 필요한 제 1 단계는 제 1 하부 전극 패턴을 형성하는 것이며, 이 제 1 하부 전극 패턴은 노광되는 음의 광저항 층의 영역을 한정하는데 사용되며, 교대로 이러한 음의 광저항 층은 제 2 상부 전극 패턴의 패턴화를 한정한다.

도 7a는 상부 게이트 박막 트랜지스터를 위한 원하는 제 1 전극 패턴을 도시한다. 하부 투명 층(42a)의 가장자리가 제어 가능한 양(51) 만큼 상부 불투명 층(42b)의 가장자리를 초과하여 확장하는 것이 바람직하다.

도 7b에 도시된 바와 같이, 최초로 기판(40)은 두 층(42a, 42b)으로 코팅된다. 이러한 층들은 스퍼터링(sputtering), 화학 증기 증착(chemical vapour deposition), 열 증착(thermal evaporation) 등과 같은 임의의 적절한 기법을 사용하여 차례로 증착될 것이다. 하부 투명 층(42a)은 인듐 주석 산화물 또는 임의의 다른 투명 컨덕터를 포함할 것이다. 상부 불투명 층(42b)은 크롬 질화물(chromium nitride), 몰리브덴(molybdenum), 알루미늄 또는 임의의 다른 적당한 금속 또는 합금을 포함할 것이다. 사실, 불투명 층(42b)은 많은 서브-층들을 포함할 것이다. 그러나, 다음에서 명백하게되는 것처럼, 에칭 조건들은 층들(42a, 42b)의 상대적인 에칭 속도를 고려하여 선택되어야 하며, 다수의 서브-층들을 이용하면 에칭 프로세스를 복잡하게 할 것이다.

마스크(60)가 제 1 전극 층들 위에 제공되며, 이것은 아래에 놓인 제 1 전극 층들을 에칭할 수 있기 위해서 개구부(62)를 제공하도록 패턴화된다. 마스크(60)는 저항 층들을 사용하는 종래의 포토리쏘그래피(photolithography) 기법에 의해 제공될 수 있을 것이다.

후속적으로, 제 1 전극 층들이 동일한 진공 조건들에서 증착될 것이다. 마스크(60)는 습식 에칭 프로세스를 사용하는 두 층(42a, 42b)의 후속적인 에칭에 사용된다. 이러한 습식 에칭 프로세스는 도 7c에 도시된 바와 같이 개구부(62)에서 투명 층(42a)과 불투명 층(42b)을 제거한다. 그러나, 습식 에칭 프로세스를 연속적으로 사용하면 결국 내부 벽(64)의 측면으로부터 층의 물질을 제거하게된다. 선택된 에칭제는 두 층(42a, 42b)에 대해 다른 에칭 속도를 야기하며, 특히 불투명 층은 더 높은 에칭 속도를 갖는다. 그에 따라, 추가적인 에칭은 결국, 도 7d에 도시된 바와 같이 투명 층의 가장자리(66)가 불투명 층의 가장자리(68)를 초과하여 확장하는 제 1 전극 패턴을 야기하며, 여기서 마스크 층(60)은 제거되었다. 그러나, 두 층(42a, 42b)은 서로 정렬된다.

오프셋(51)은 습식 에칭 프로세스의 타이밍을 조정함으로써 제어될 수 있다. 도 8은, 에칭제로 암모늄 세륨 질산염(Ammonium Ceric Nitrate) 및 질산 수용액을 사용하는 ITO 투명 층(예컨대, 20nm 내지 40nm의 두께를 가짐) 및 CrN 불투명 층(예컨대, 40nm 내지 120nm의 두께를 가짐)에 대한 에칭 시간과 오프셋(51) 거리 사이의 전형적인 관계를 도시한다.

도 9는 도 5a에 예시된 상부 게이트 박막 트랜지스터를 생성하는데 필요한 단계들을 도시한다.

도 9a는 기판(40)을 도시하며, 이 기판의 위에는 제 1 전극 패턴(42)이 도 7에 예시된 단계들을 사용하여 제공되고 준비된다. 반도체 층(16)은 도 9a에 도시된 구조 위에 증착되며, 이것은 트랜지스터 장치의 채널을 한정한다. 반도체 층은, 원하는 장치 특성에 따라서 무정형 실리콘 또는 미정질(microcrystalline) 실리콘을 포함한다. 무정형 실리콘의 경우, 바람직하게는, 추가적인 처리 단계들이 소스(47) 및 드레인(48) 금속 층과 실리콘 층 사이의 접촉 저항을 개선하기 위해서 수행된다. 이를 위해, 도 9a에 도시된 구조에 대한 인화수소(phosphine) 이온의 플래시 도핑(flash doping)이 수행되어, 주입된 인화수소 이온들이 후속적으로 무정형 실리콘 층으로 이동하여 무정형 실리콘 층과 소스 및 드레인 접촉들 사이의 접촉 지점에서 도핑된 표면 영역들을 형성하게 한다. 이러한 기법은 당업자에게 알려질 것이다. 대안적으로, 반도체 층(16)은 미정질 실리콘을 포함하며, 이것은 상당한 추가적인 처리의 복잡도를 유도하지 않은 채 더 높은 이동도를 갖는 장치를 발생시킬 것이다. 미정질 실리콘의 사용은, 층이 증착됨에 따라 실리콘 층의 품질이 개선되어, 더 높은 품질을 갖는 층이 트랜지스터의 게이트 영역에 존재하게되는 상부 게이트 구조에서 특히 유익하다. 다른 대안으로서, 다결정 실리콘층은, 예컨대 무정형 실리콘 층을 증착하며, 후속적으로 레이저 어닐링(annealing) 프로세스를 수행함으로서 형성될 수 도 있다.

게이트 유전 층(18)이, 높은 순도의 유전체를 생성하기 위해서 바람직하게는 화학 증기 증착을 통해 전체 조직 위에 증착된다. 바람직하게, 유전체는 실리콘 질화물이지만, 실리콘 다이옥사이드(dioxide) 또는 다른 유전체들일 수 도 있다.

상부, 제 2 전극 층(46)은 트랜지스터의 게이트를 한정하며, 유전 층(18)의 위에 놓이며, 예컨대 인듐 주석 산화물과 같은 투명 층이다.

결국, 음의 저항 층(70)이 종래의 방식으로 증착되며, 기판(40)의 반대편으로부터 자외선 방사광을 사용하여 노광된다.

제 1 전극 층의 투명 층(42a)은 UV 방사광을 통과하게 하는 반면, 불투명 층(42b)은 이러한 방사광을 차폐한다. 본 상세한 설명과 청구항에서, " 투명" 층에 대한 언급은, 사실 음의 저항 층(70)의 노광을 위해 선택된 방사광에 대한 층의 투명도를 나타낸다. 물론, 트랜지스터 구조를 형성하는 층들은, 100% 투명하지는 않지만, 이들은 결국 방사광 신호를 얼마간 흡수하고 반사할 것이다. 그러므로, 용어 " 투명" 은, 구조의 층들이 구조의 후속적인 처리를 위해 광저항 층을 정확하게 사용할 수 있도록 음의 저항 층(70)을 선택적으로 노광시킬만큼 충분히 투명함만을 나타내고자 한다.

음의 저항 층(70)의 노광은 결국 소스 영역(47)과 드레인 영역(48)의 불투명 층(42b) 사이의 간격에 대체로 대응하는 노광된 영역을 야기한다. 도 1 내지 도 3에 관련되어 기술된 산란은, 결국 저항 층(70)의 노광된 영역이 위에서 언급된 간격보다 약간 더 크게 한다. 그러나, 게이트(43)와 소스(47) 및 드레인(48) 사이의 중첩(26)의 레벨은 훨씬 더 정확하게 제어 가능하게 될 것이며, 예측 불가능한 산란 효과로부터 야기된 중첩 레벨의 변동은 제 1 전극 패턴을 한정하는 층(42a, 42b) 사이의 정확하게 제어 가능한 중첩에 비교해서 덜 중요하게 된다. 도 9c는, 노광된 음의 저항 층(70)이 제 2 전극 층(46)을 에칭하는 동안에 마스크로 사용될 때의 최종 구조를 도시한다. 도 9c에 도시된 구조는 도 5a에 도시된 구조에 대응한다. 위에서 언급된 바와 같이, 도 5a의 트랜지스터를 형성하기 위한 절차와 유사하며, 도 9a 내지 도 9c와 관련하여 기술되는 절차는, 반도체 층(16)이 소스 층(47) 및 드레인 층(48) 아래에 그리고 기판의 위에 증착되도록 단계들의 순서를 변경함으로서 도 5b의 동일 평면상에 있는 구조를 조직하도록 쉽게 변경될 수 있음을 인식할 것이다.

도 10은 도 4a에 예시된 하부 게이트 후면 채널 에칭된 구조를 형성하는데 필요한 처리 단계들을 도시한다.

도 10a에 도시된 바와 같이, 층(42a, 42b)이 기판(40) 위에 증착되며, 트랜지스터 장치의 중앙 게이트 컨덕터를 한정하도록 패턴화된다.

게이트 절연체(18)와 반도체 층(16)이 도 10a에 도시된 구조 위에 증착된다. 반도체 층으로 무정형 실리콘이 사용되는 경우, 이때 또한 더 얇은 도핑된 무정형 실리콘 층(17)이 진성(intrinsic) 무정형 실리콘 위에 증착되며, 이것은 다시 트랜지스터의 소스 및 드레인 접촉과 무정형 실리콘 몸체 사이에 접촉 저항을 감소시키기 위해서 제공된다. 투명 제 2 전극 층(46)이 도 10b에 도시된 바와 같이 도핑된 무정형 실리콘 층(17) 위에 놓인다.

도 9를 참조하여 기술되는 것과 유사한 방식으로, 음의 저항 층이 최종 구조 위에 제공되며, 이것은 기판을 통과하여 노광되며, 제 1 전극 패턴의 불투명 층(42b)은 차폐물로 동작한다. 후속적으로 노광되지 않은 음의 광저항 층(70)을 제거하고, 그 아래 놓인 제 2 전극 층(46)과 그 아래 놓인 도핑된 무정형 실리콘 층(17)을 에칭하면, 결국 도 10c에 도시된 구조가 된다. 에칭 조건은 후면 채널 에칭된 구조를 형성하기 위해서 무정형 실리콘 층(16)의 상부 표면을 부분적으로 에칭하며, 도시된 바와 같이 도핑된 무정형 실리콘 층(17)의 모든 부분이 구조의 상기 영역에서 제거됨을 보장하도록 선택될 것이다.

도 10d는 광저항 층이 제거되어진 최종 구조를 도시한다. 다시, 중첩(26)은 도 4a에 도시된 구조를 야기하기 위한 제 1 전극 패턴의 처리에 따라서 정확하게 제어 가능하게된다.

도 11은 도 4b에 도시된 동일 평면상에 있는 하부 게이트 트랜지스터 조직에 포함되는 단계들을 예시한다.

초기에, 도 10에 도시된 바와 같이, 전극 층(42a 및 42b)이 기판(40) 위에 증착되며, 트랜지스터의 중앙 하부 게이트를 한정하기 위해서 패턴화된다. 이때, 실리콘 질화물을 포함하는 게이트 절연 층(18)이, 예컨대 게이트 전극 위에 증착된다. 그 다음으로, 도 10의 프로세스와는 대조적으로, 도핑된 무정형 실리콘 층(17)이 증착되며, 그 다음에 음의 광저항 층(70)이 증착된다(도 11a 참조바람). 도핑된 층은 상대적으로 얇으며, 즉 대략 30nm 내지 50nm 일 것이다. 그리하여, UV 광(88)이 기판(40)의 후면을 비춘다. 불투명 게이트 전극(42b)에 의해 가려진 광저항 층은 도 11b에 도시된 바와 같이 제거된다.

도 11c에 도시된 바와 같이, 이때 도핑된 실리콘 층(17)의 노광된 부분은 에칭되어 없어진다(etched away). 습식 에칭 또는 건식 에칭이 사용될 수 있다. 건식 에칭의 경우, 에칭 방법은 실리콘 질화물에 대한 무정형 실리콘의 높은 선택도를 가져야 한다. 적합한 습식 에칭제의 예로 이소프로필 알콜(isopropyl alcohol)을 갖는 수산화 칼륨(potassium hydroxide)이 있다.

후속적으로, 진성 무정형 실리콘 층은 아일랜드(island)(90)를 형성하기 위해서 증착되어 패턴화되며, 이 아일랜드(90)는 소스(47) 및 드레인(48)과 중첩된다. 실리콘 화합물 층(92)이 최종 구조 위에 증착된다. 그런 다음, 제 2 UV 후면 노광이 수행되어 반도체 아일랜드(90)로부터 실리콘 화합물을 제거한다. 음의 광저항 층에 UV가 인가되어 이 저항 층에 비춰지며, 이때 불투명 게이트(42b), 및 전극(47, 48)과 반도체 아일랜드(90)의 중첩된 부분인 두꺼운 결합 부분이 차폐물로서 사용된다. 그런 다음, 노광되지 않은 광저항 층이 도 11f에 도시된 바와 같이 에칭되어 없어진다. 그런 다음에 노광된 실리콘 화합물 층(92)이 에칭되어 없어지고, 이후 나머지 광저항 층(70)이 제거되어 소스(47) 및 드레인(48) 위에 실리콘 화합물이 남게된다(도 11g). 결국, 소스 접촉(84) 및 드레인 접촉(86)은 도 11h에 도시된 바와 같이 형성하여 장치 구조를 완성한다. 위에서 언급된 바와 같이, 소스 전극(47)과 드레인 전극(48) 사이에 포함된 실리콘 화합물 층과 이들 전극의 각 접촉(84, 86)은 트랜지스터의 접촉 저항을 감소시키는데 도움이 된다.

도 12는 도 6에 도시된 에칭 정지 층 하부 게이트 트랜지스터를 형성하는데 필요한 단계들을 도시한다.

구조를 위한 출발점은 게이트 전극을 한정하는 제 1 전극 패턴이다. 따라서, 도 12a는 도 10a에 대응한다. 후속적으로, 도 12b에 도시된 바와 같이, 게이트 유전 층(18) 및 반도체 층(16)이 이러한 구조 위에 형성되며, 그 다음에 에칭 정지 층을 형성하는 절연 층(72)이 형성된다. 절연 층(72)은 실리콘 질화물을 포함할 것이다.

이때, 에칭 정지 층(72)은, 예컨대 스피닝(spinning)에 의한 도 12b에 도시된 구조 위에 제공되는 양의 저항 층(74)의 후면 노광을 사용하여 패턴화된다. 후면 노광은, 결국 불투명 층(42b)의 위에 놓이는 양의 저항 층(74) 영역의 차폐를 야기하며, 노광된 양의 저항 층 및 그 아래에 있는 절연 층(72)에 대한 후속적인 제거는 결국 도 12c에 도시된 구조를 야기한다. 따라서, 에칭 정지 층은 게이트(43)의 불투명 부분과 자기-정렬된다.

도핑된 무정형 실리콘 층(17)이 도 12c 에 도시된 구조 위에 제공되며, 이것 위에 제 2 전극 층(46)이 제공된다. 불투명 층(42b)에 의해 차폐되는 음의 저항 층의 노광은 결국 도 12d에 도시된 구조를 야기하며, 여기서 소스 전극(47) 및 드레인 전극(48)은 산란 효과의 결과로 에칭 정지 층(60) 위에 놓인다.

도 12d에 도시된 에칭 정지 장치의 처리는 저항 층의 기판을 통한 두 번의 노광을 포함한다. 이것은 네 개의 다른 중첩 영역(OL_1 내지 OL_4)을 야기한다. 중첩(OL_1)은 도 7을 참조하여 설명된 바와 같이 제 1 전극 패턴 처리 도중에 결정된다. 에칭 정지 층(60)을 형성하기 위한 양의 저항 층(74)에 대한 후면 노광은 결국 에칭 정지 층이 게이트(43)의 불투명 층(42b) 보다 OL_2의 양만큼 더 작게 되도록 한정하는 절연 층(72)을 야기한다. 투명 소스 접촉 및 드레인 접촉을 형성하기 위한 후면 노광은 음의 저항 층을 사용하여 중첩(OL_3)을 생성하며, 이것은 더 두꺼운 전체 구조를 관통하는 증가된 산란의 결과로 OL_2보다 더 크다. 이것은 에칭 정지 층이 작용하기 위해서 필요하며, 이는 소스 전극(47)과 드레인 전극(48)이 에칭 정지 층(60)의 가장자리 위에 놓이도록 중첩(OL_4)이 필요하기 때문이다.

중첩(OL_2)을 가능한 작게 하는 것이 바람직하다. 이것은 에칭 정지 절연 층(72)을 자기-정렬하기 위해서 최소한의 후면 노광의 1회 투사량(dose)을 사용함으로써 달성될 수 있다. 게다가, 소스 접촉 및 드레인 접촉을 자기-정렬하기 위해 사용되는 노광의 1회 투사량은 OL_4가 양이 됨을 보장하는데 필요한 최소량보다 더 커야 한다. 분명히, 하부 게이트 에칭 정지 층 디자인을 조직하기 위한, 도 9 내지 도 11을 참조하여 기술된 프로세스들 보다 더 작은 프로세스 윈도우가 있을 것이다.

본 개시를 읽음으로써, 많은 변동 및 변형들이 당업자에게 분명해질 것이다. 이러한 변동 및 변형은 다른 물질, 다른 프로세스 및 다른 장치 특성을 포함할 것이며, 이러한 특성들은 박막 트랜지스터의 디자인 제조 및 이용에 이미 알려져 있다. 따라서, 예컨대, 하부 게이트 실시예에서, 전극(47 및 48){게이트 부분(42b)과 정렬됨}을 제공하는 제 2 전극 층(46)은, 예컨대 투명하고 얇은 실리콘 화합물 층 또는 인듐 주석 산화물(ITO : Indium Tin Oxide)을 포함할 수 도 있을 것이다. 하부 게이트 트랜지스터의 도핑된 층(17)은 무정형 실리콘으로 이루어지거나, 도핑된 다결정질 실리콘 또는 미정질 실리콘으로 이루어질 수 도 있을 것이다. 층(17)에 대해 무정형 실리콘 대신에 다결정질 실리콘 도는 미정질 실리콘을 사용하면, 소스 전극(47) 및 드레인 전극(48)과의 더 낮은 접촉 저항이 가능하게 된다. 소스 전극(47) 및 드레인 전극(48)이 얇은 실리콘 화합물을 포함할 때, 추가적으로 더 두꺼운 알루미늄(예컨대) 금속 층이 트랜지스터의 맞은편 끝에서 이러한 전극(47 및 48)에 대한 연결로서 제공될 수 도 있을 것이다.

여러 가지의 추가적인 처리 단계들이 트랜지스터 구조를 형성하기 위해서 선택된 물질의 특정한 속성에 따라서 필요하게 될 수 도 있을 것이다. 예컨대, 상부 게이트 구조의 경우, 위에서 기술된 프로세스들만이 게이트 전극의 형성을 야기하며, 이러한 게이트들에 대한 연결 또는 이러한 게이트들 사이의 연결을 제공하지는 않는다. 추가적인 증착 및 패턴화 단계들이 이를 위해 필요하게 된다. 하부 게이트 구조의 경우, 위에서 기술된 프로세스들은 트랜지스터 영역의 바깥쪽에서 소스 와 드레인 사이의 연결을 제거하지 않는다. 소스 전극과 드레인 전극을 한정하는 층에 대한 추가적인 패턴화가 이를 위해서 필요하게 된다.

비록 도면에는 도시되지 않았지만, 제 1 전극 구조는 단계의 적용범위 문제를 방지하기 위해서 테이퍼링(tapering)될 수 도 있을 것이다. 하부 게이트 TFT의 경우, 이것은 투명 층 및 불투명 층 모두에서의 테이퍼링을 의미하는 반면, 상부 게이트 TFT의 경우, 투명 층만을 테이퍼링하는 것으로 충분할 것이다. 테이퍼링된 구조를 생성하기 위한 여러 방식들이 당업자에게 명백할 것이다.

습식 에칭 프로세스는 제어 가능한 중첩을 생성하기 위한 제 1 전극 층의 에칭에 대해서 설명되어졌다. 그러나, 이와 마찬가지로 건식 에칭 프로세스도 적용 가능하며, 이것은 사용되는 플라즈마 상태 또는 가스에 따라서 등방성이거나 이방성일 수 있다.

산업상 이용 가능성

박막 트랜지스터의 실제 제작을 위한 특정한 고려사항들이 당업자에게는 분명할 것이며, 기존의 트랜지스터 디자인에 적용되어야하는 고려사항들은 본 발명에 따른 트랜지스터의 디자인에도 적용되어야 한다. 고유한 사항인 정밀한 프로세스 조건들은 본 명세서에서는 설명되지 않았으며, 이는 이러한 조건들이 당업자에게는 대개 일반적인 디자인 절차이기 때문이다.

(57) 청구의 범위

청구항 1.

박막(thin film) 트랜지스터를 형성하는 방법으로서,

하부 투명 층과 상부 불투명 층을 포함하는 제 1 전극 층을 투명 기판 위에 제공하는 단계와;

상기 투명 층의 가장자리 영역이 상기 불투명 층의 가장자리 영역을 초과하여 확장하는 제 1 전극 패턴을 한정하기 위해서 상기 제 1 전극 층을 패턴화(patterning)하는 단계와;

트랜지스터의 채널 영역을 한정하는 반도체 층과 게이트 절연 층을 포함하는 상기 트랜지스터 몸체를 제공하는 단계와;

투명 제 2 전극 층을 제공하는 단계와;

음의 저항 층(a layer of negative resist)을 상기 제 2 전극 층 위에 제공하는 단계와;

상기 제 1 전극 패턴의 불투명 층에 의해 가려진 상기 음의 저항 층 영역들이 노광(exposing)되지 않은 채 유지되도록 상기 음의 저항 층을 기판을 관통하여 노광시키는 단계와;

상기 제 1 전극 패턴의 불투명 층과 대체로 정렬되는 제 2 전극 패턴을 한정하기 위해서, 상기 노광되지 않은 음의 저항 층과 그 아래 놓이는 제 2 전극 층을 제거하는 단계를,

포함하는 박막 트랜지스터 형성 방법.

청구항 2.

제 1항에 있어서, 상기 제 1 전극 층에 대한 패턴화는, 상기 하부 투명 층과 상기 상부 불투명 층을 다른 속도로 에칭(etching)하는 에칭제(etchant)를 사용하여 에칭하는 단계를 포함하는, 박막 트랜지스터 형성 방법.

청구항 3.

제 2항에 있어서, 에칭 시간은, 상기 투명 층의 가장자리 영역이 상기 불투명 층의 가장자리 영역을 초과하여 확장하게 하는 원하는 중첩의 정도를 생성하기 위해서 선택되는, 박막 트랜지스터 형성 방법.

청구항 4.

제 1항 내지 제 3항중 어느 한 항에 있어서, 하부(bottom) 게이트 박막 트랜지스터를 형성하기 위한 방법으로서, 상기 제 1 전극 패턴은 게이트 전극을 한정하며, 상기 게이트 절연 층은 상기 제 1 전극 패턴 위에 제공되며, 상기 반도체 층은 상기 게이트 절연 층 위에 제공되며, 상기 제 2 전극 패턴은 상기 반도체 층 위에서 소스 전극 및 드레인 전극을 한정하는, 박막 트랜지스터 형성 방법.

청구항 5.

제 4항에 있어서, 상기 노광되지 않은 음의 저항 층과 그 아래 놓이는 제 2 전극 층을 제거하는 단계는 상기 노광되지 않은 음의 저항 층 아래에 놓이는 상기 반도체 층의 일부분을 제거하는 단계를 더 포함하는, 박막 트랜지스터 형성 방법.

청구항 6.

제 4항에 있어서, 상기 트랜지스터 몸체 위에 에칭 정지(stop) 층을 형성하는 단계를 더 포함하며, 상기 에칭 정지 층이 상기 불투명 층과 대체로 정렬되도록 한정하기 위해서, 상기 에칭 정지 층은 상기 제 1 전극 층의 불투명 층을 사용하여 패턴화되며, 상기 노광되지 않은 음의 저항 층 아래에 놓이는 상기 제 2 전극 층을 제거하여, 결국 상기 에칭 정지 층의 가장자리 영역들과 중첩되는 소스 전극 및 드레인 전극을 야기하는, 박막 트랜지스터 형성 방법.

청구항 7.

제 1항 내지 제 3항중 어느 한 항에 있어서, 하부 게이트 박막 트랜지스터를 형성하기 위한 방법으로서, 상기 제 1 전극 패턴은 게이트 전극을 한정하며, 상기 게이트 절연 층은 상기 제 1 전극 패턴 위에 제공되며, 상기 제 2 전극 패턴은 상기 게이트 절연 층 위에 소스 전극 및 드레인 전극을 한정하며, 상기 반도체 층은 상기 제 2 전극 패턴 위에 제공되는, 박막 트랜지스터 형성 방법.

청구항 8.

제 7항에 있어서, 상기 제 2 전극 패턴 위에 실리콘 화합물 층을 제공하는 단계를 포함하는, 박막 트랜지스터 형성 방법.

청구항 9.

제 1항 내지 제 3항중 어느 한 항에 있어서, 상부(top) 게이트 박막 트랜지스터를 형성하기 위한 방법으로서, 상기 제 1 전극 패턴은 일정한 간격 떨어진 소스 전극 및 드레인 전극을 한정하며, 상기 반도체 층은 상기 제 1 전극 패턴 위에 제공되며, 상기 게이트 절연 층은 상기 반도체 층 위에 제공되며, 상기 제 2 전극 패턴은 게이트 전극을 한정하는, 박막 트랜지스터 형성 방법.

청구항 10.

제 1항 내지 제 3항중 어느 한 항에 있어서, 상부 게이트 박막 트랜지스터를 형성하기 위한 방법으로서, 상기 제 1 전극 패턴은 상기 반도체 층 위에 제공되며, 상기 게이트 절연 층은 상기 제 1 전극 패턴 위에 제공되며, 상기 제 2 전극 패턴은 게이트 전극을 한정하는, 박막 트랜지스터 형성 방법.

청구항 11.

제 1항 내지 제 10항중 어느 한 항에 있어서, 상기 반도체 층은 미정질(microcrystalline) 실리콘을 포함하는, 박막 트랜지스터 형성 방법.

청구항 12.

투명 층의 가장자리 영역이 불투명 층의 가장자리 영역을 초과하여 확장하는, 하부 투명 층과 상부 불투명 층을 포함하는 제 1 전극 패턴으로서, 기판 위에 제공되는 제 1 전극 패턴과;

트랜지스터의 채널 영역을 한정하는 반도체 층과 게이트 절연 층을 포함하는 상기 트랜지스터 몸체와;

상기 제 1 전극 패턴의 불투명 층과 대체로 정렬되는 투명 제 2 전극 패턴을,

포함하는 박막 트랜지스터.

청구항 13.

제 12항에 있어서, 상기 제 1 전극 패턴은 하부 게이트 박막 트랜지스터의 게이트 전극을 한정하며, 상기 게이트 절연 층은 상기 제 1 전극 패턴 위에서 한정되며, 상기 반도체 층은 상기 게이트 절연 층 위에서 한정되며, 상기 제 2 전극 패턴은 소스 전극과 드레인 전극을 한정하며, 상기 소스 전극과 드레인 전극 사이의 간격은 상기 제 1 전극 패턴의 상부 불투명 층과 대체로 정렬되는, 박막 트랜지스터.

청구항 14.

제 13항에 있어서, 상기 소스 전극과 드레인 전극 사이의 간격과 정렬되는 상기 반도체 층의 일부분은 상기 소스 전극과 드레인 전극 바로 밑에 있는 반도체 층보다 더 얇은, 박막 트랜지스터.

청구항 15.

제 13항에 있어서, 상기 트랜지스터의 게이트 영역에서의 트랜지스터 몸체 위에 에칭 정지 층을 더 포함하며, 상기 제 2 전극 패턴은 상기 에칭 정지 층의 가장자리 영역 위에 놓이는, 박막 트랜지스터.

청구항 16.

제 12항에 있어서, 상기 제 1 전극 패턴은 하부 게이트 박막 트랜지스터의 게이트 전극을 한정하며, 상기 게이트 절연 층은 상기 제 1 전극 패턴 위에 제공되며, 상기 제 2 전극 패턴은 상기 게이트 절연 층 위에 소스 전극과 드레인 전극을 한정하며, 상기 반도체 층은 상기 제 2 전극 패턴 위에 제공되는, 박막 트랜지스터.

청구항 17.

제 16항에 있어서, 상기 제 2 전극 패턴 위에 실리콘 화합물 층을 포함하는, 박막 트랜지스터.

청구항 18.

제 12항에 있어서, 상기 제 1 전극 패턴은 상부 게이트 박막 트랜지스터의 소스 전극 및 드레인 전극을 한정하며, 상기 반도체 층은 상기 제 1 전극 패턴 위에 제공되며, 상기 게이트 절연 층은 상기 반도체 층 위에 제공되며, 상기 제 2 전극 패턴은 게이트 전극을 한정하는, 박막 트랜지스터.

청구항 19.

제 12항에 있어서, 상기 제 1 전극 패턴은 상부 게이트 박막 트랜지스터의 상기 소스 전극 및 드레인 전극을 한정하며, 상기 반도체 층 위에 제공되며, 상기 게이트 절연 층은 상기 제 1 전극 패턴 위에 제공되며, 상기 제 2 전극 패턴은 게이트 전극을 한정하는, 박막 트랜지스터.

청구항 20.

제 18항 또는 제 19항에 있어서, 상기 소스 전극과 드레인 전극 사이의 간격이 한정되며, 상기 소스 전극과 드레인 전극의 불투명 층 사이의 간격은 상기 소스 전극과 드레인 전극의 투명 층 사이의 간격보다 더 크며, 상기 제 2 전극 패턴은 상기 소스 전극과 드레인 전극의 상부 불투명 층 사이의 간격과 대체로 정렬되는, 박막 트랜지스터.

청구항 21.

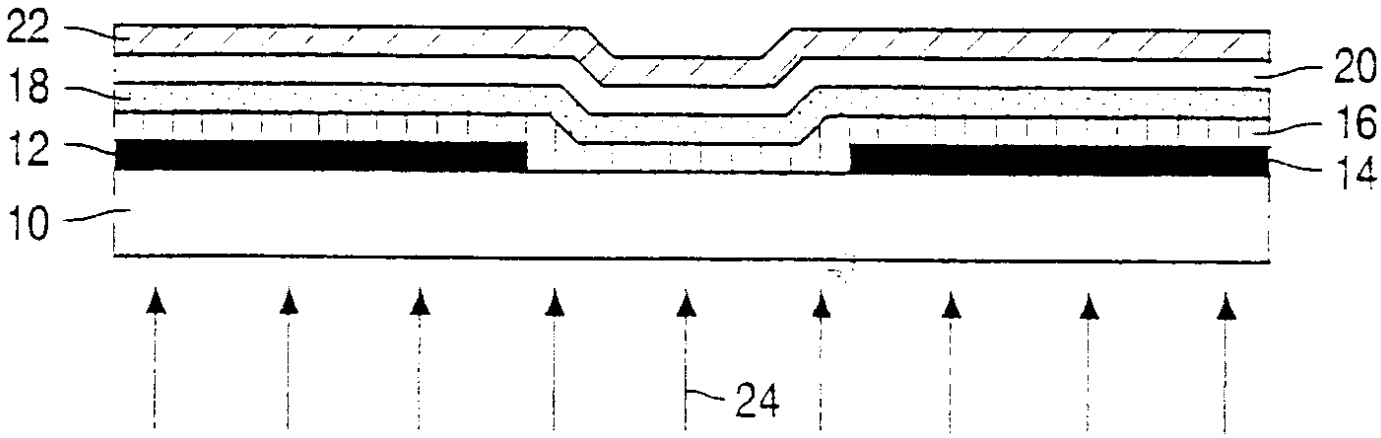
제 12항 내지 제 20항중 어느 한 항에서 기재된 박막 트랜지스터를 포함하는 전자 장치.

청구항 22.

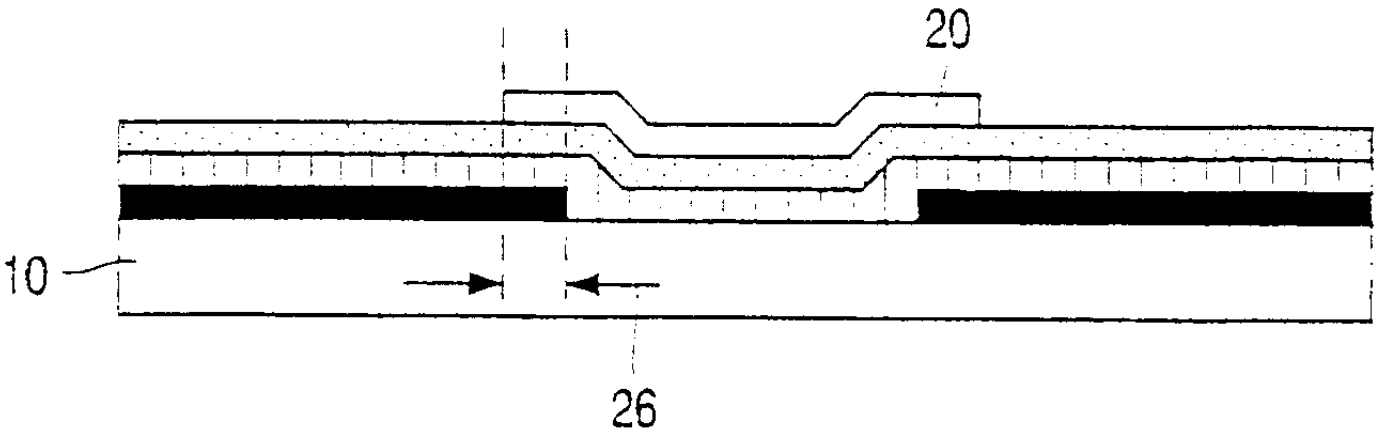
제 12항 내지 제 20항중 어느 한 항에서 기재된 박막 트랜지스터 어레이를 포함하는 기판을 포함하는 액정 디스플레이.

도면

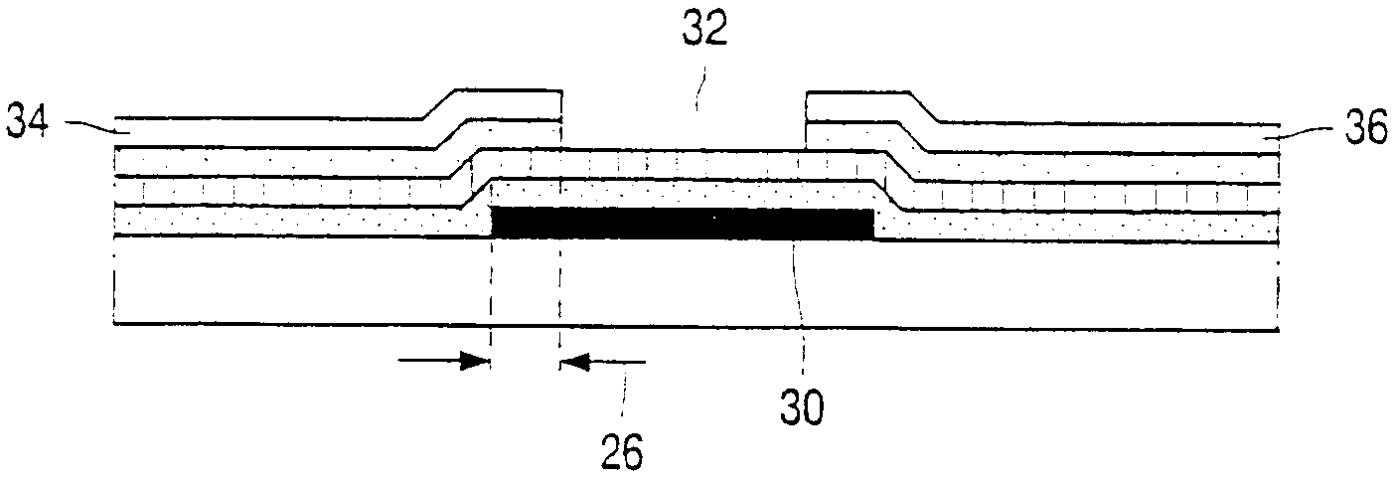
도면 1



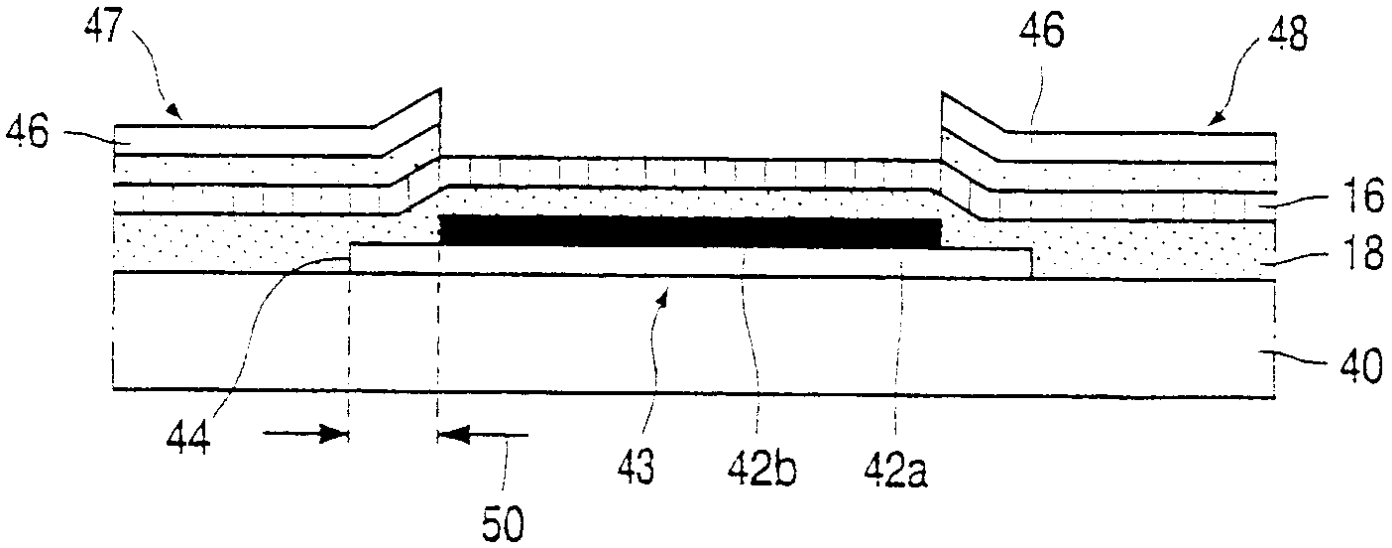
도면 2



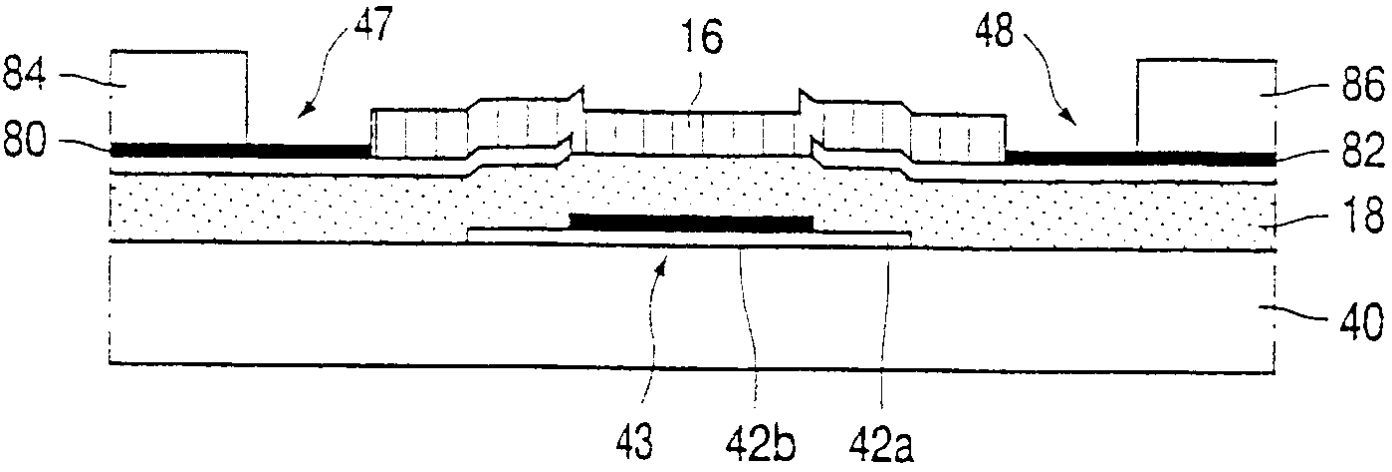
도면 3



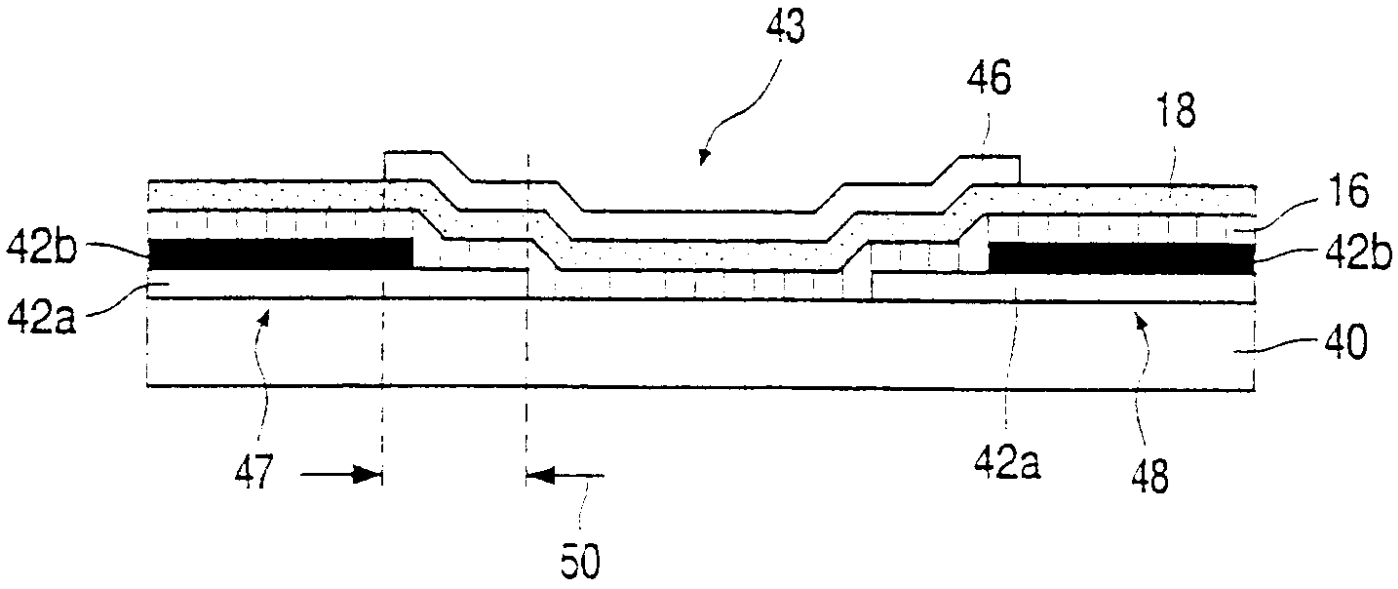
도면 4a



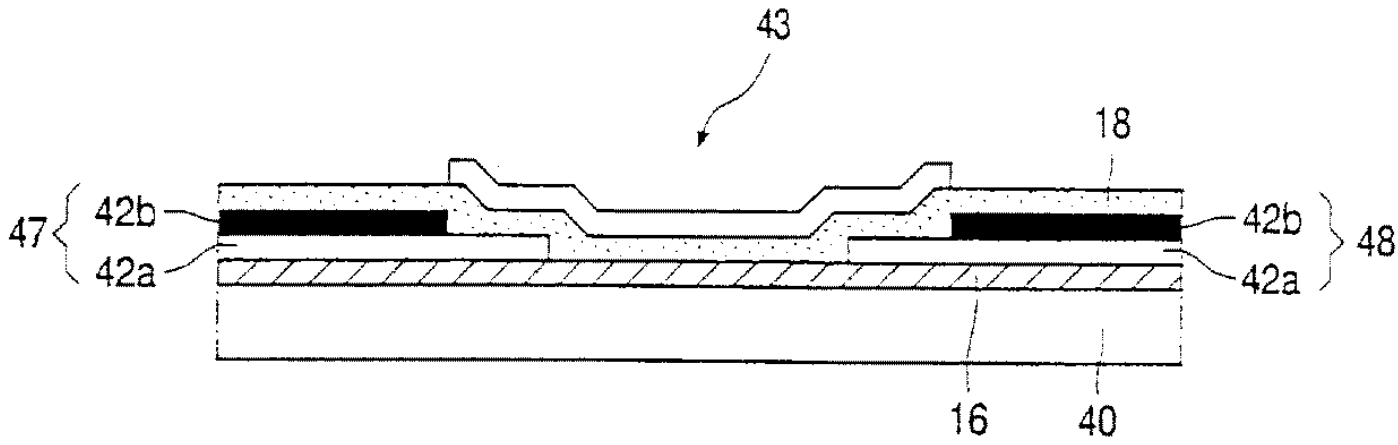
도면 4b



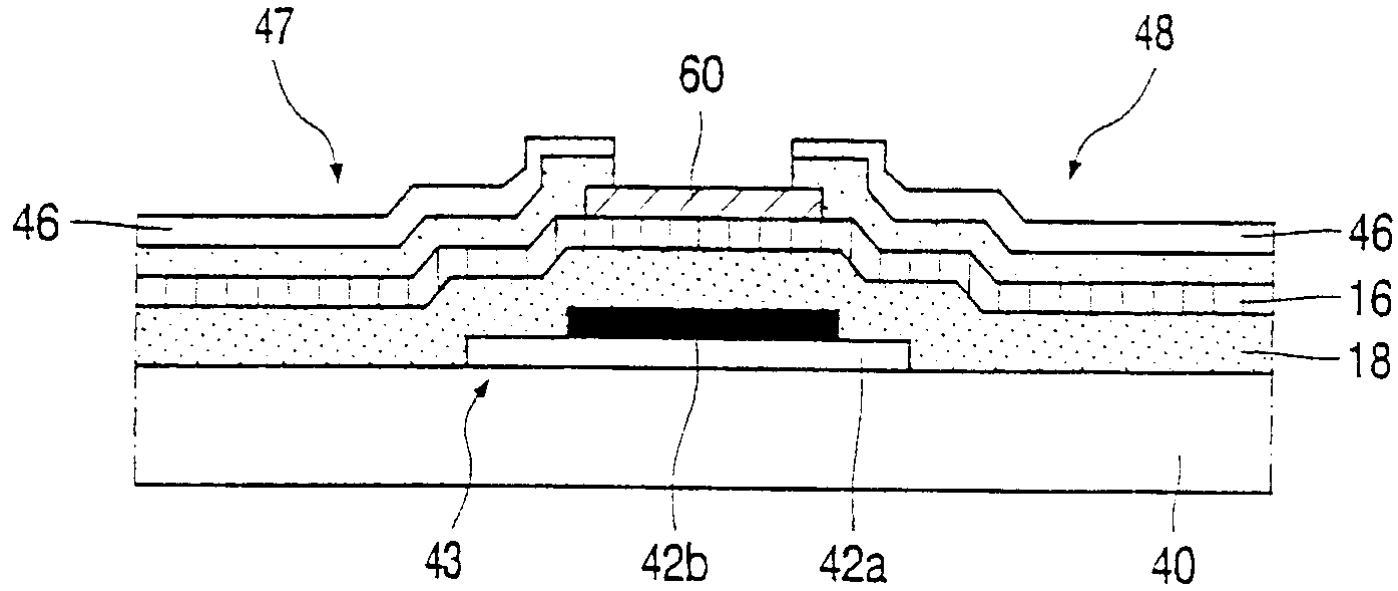
도면 5a



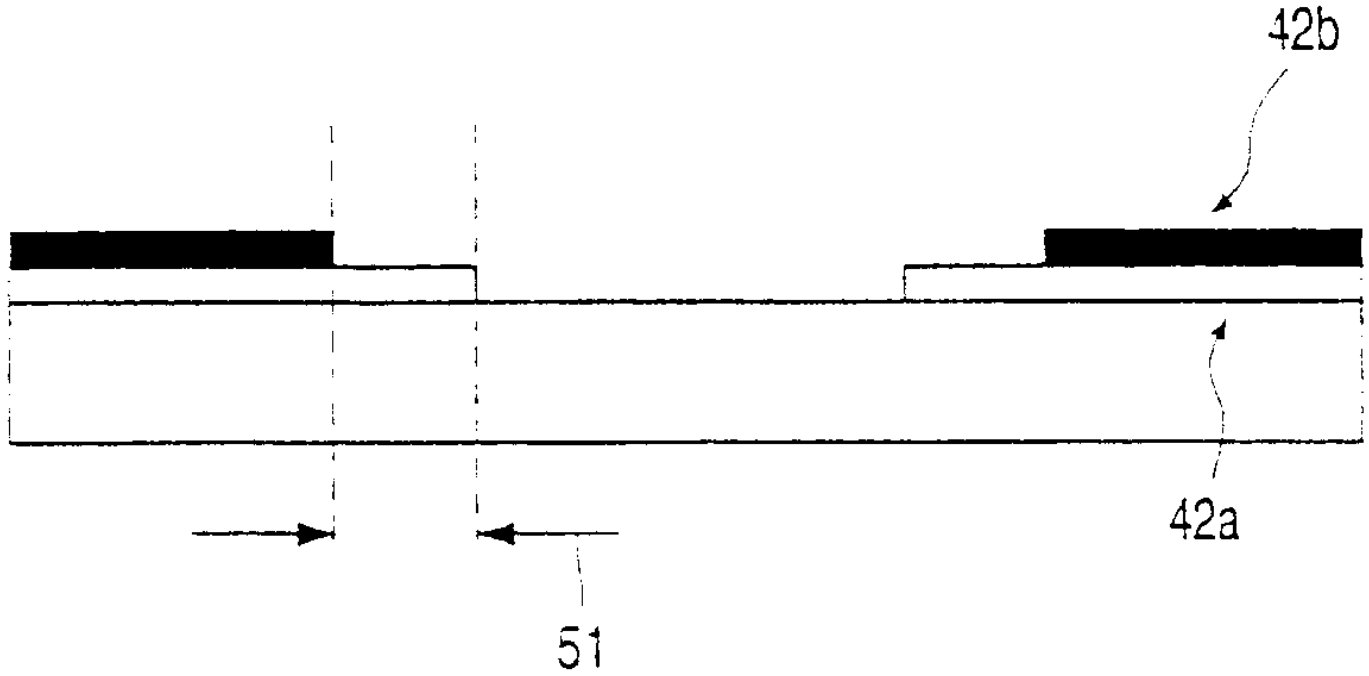
도면 5b



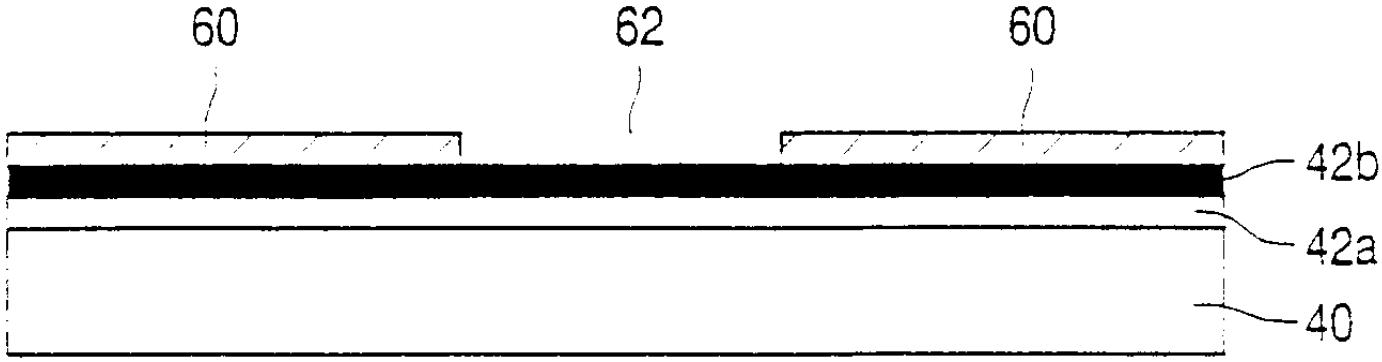
도면 6



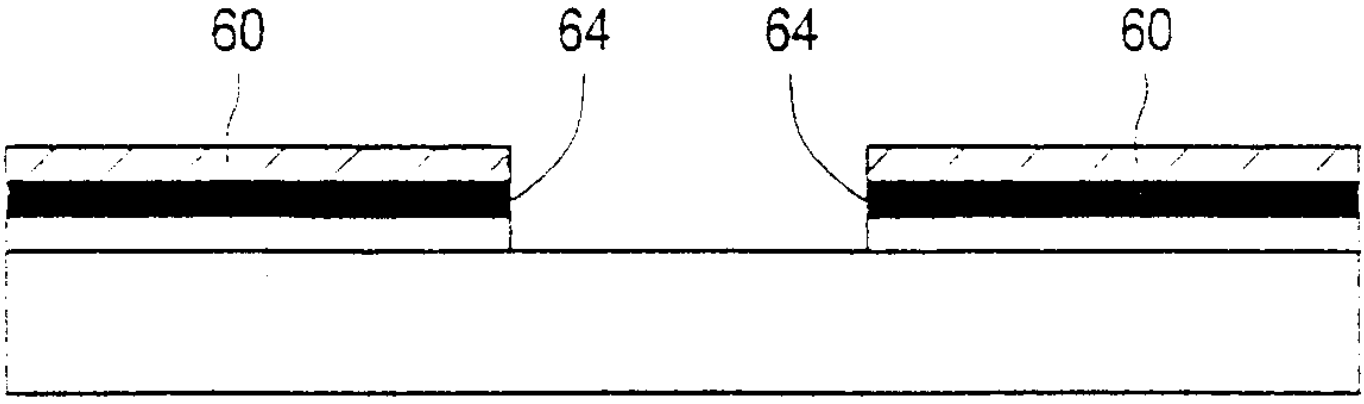
도면 7a



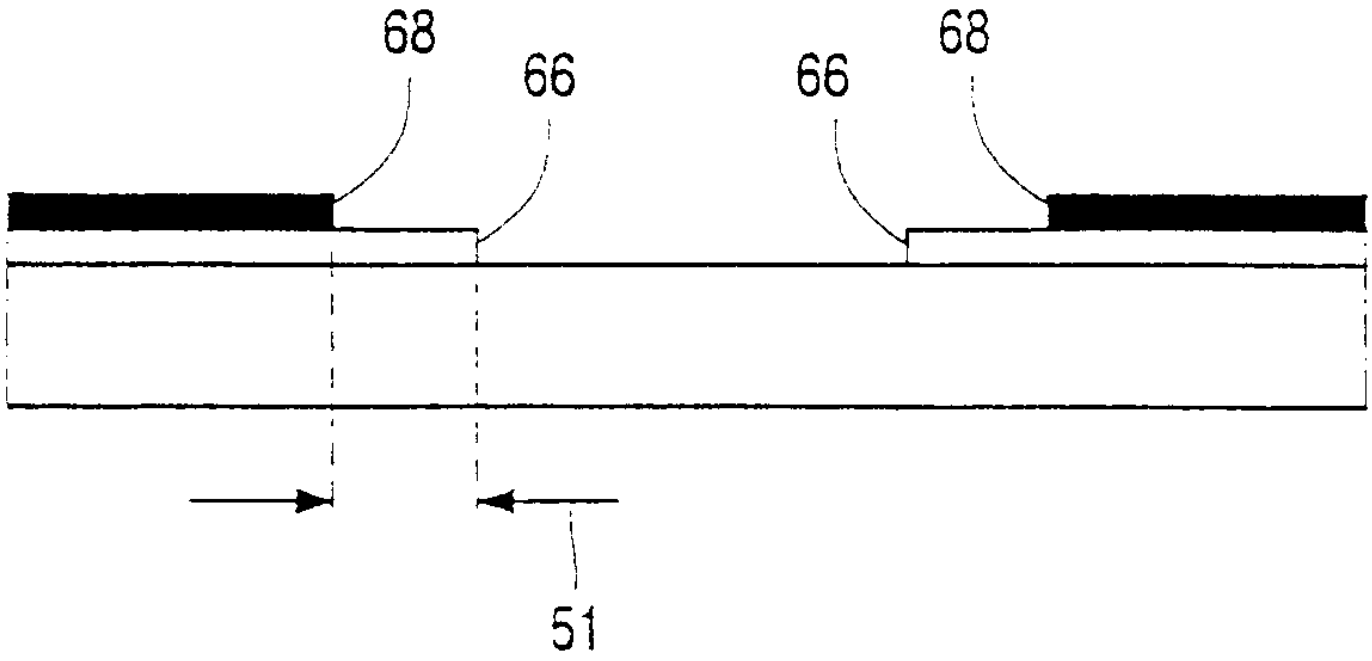
도면 7b



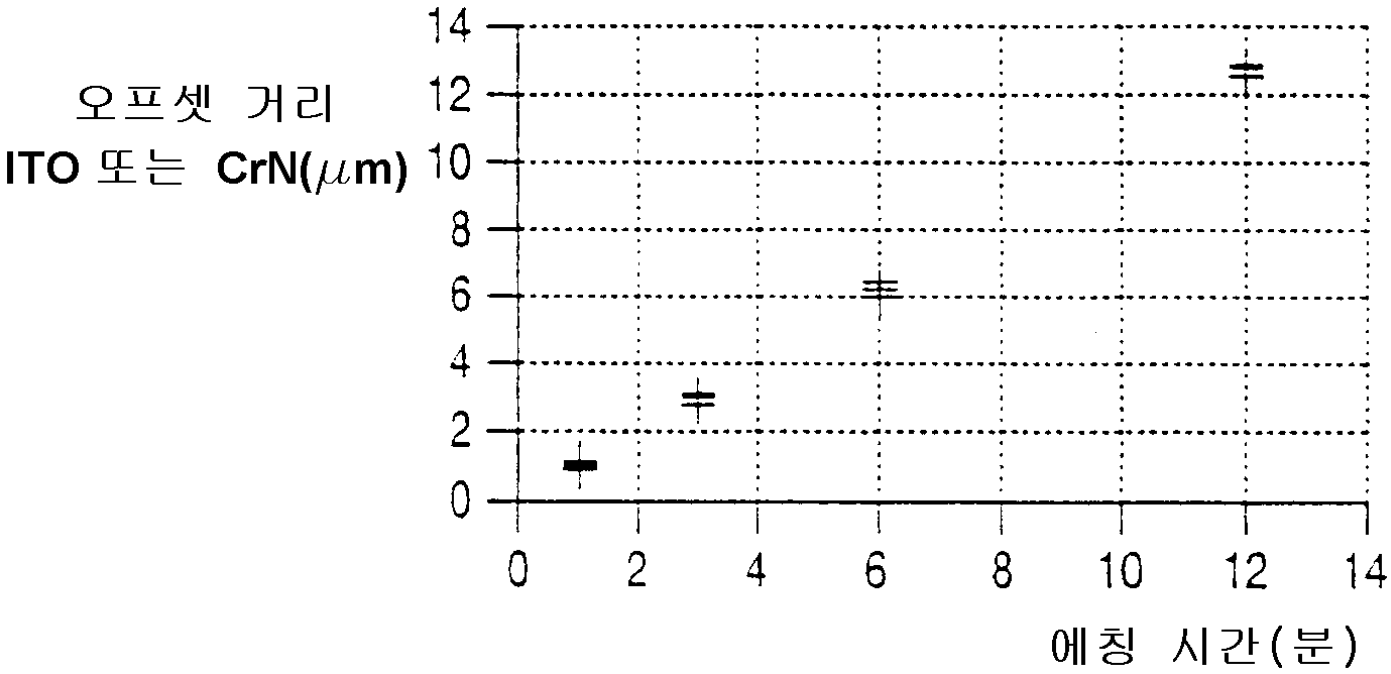
도면 7c



도면 7d

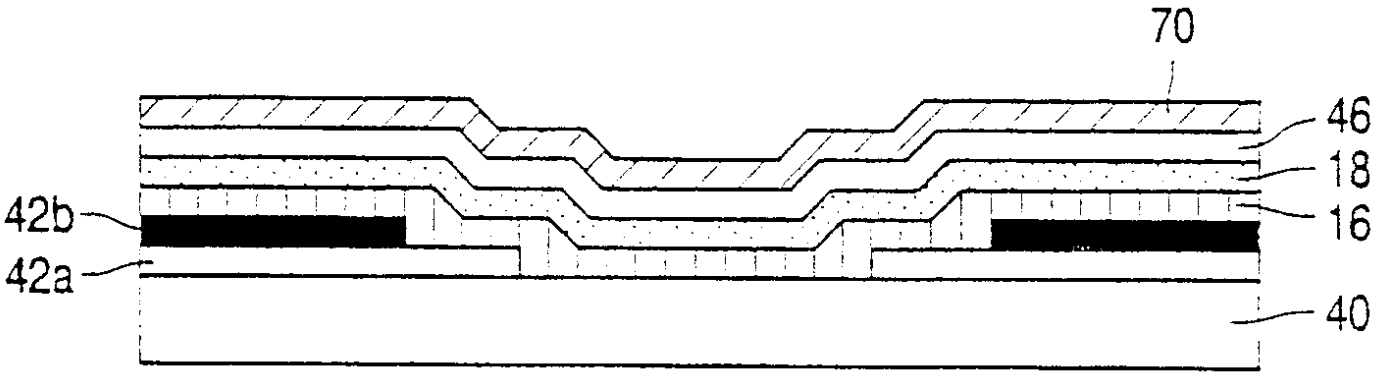


도면 8

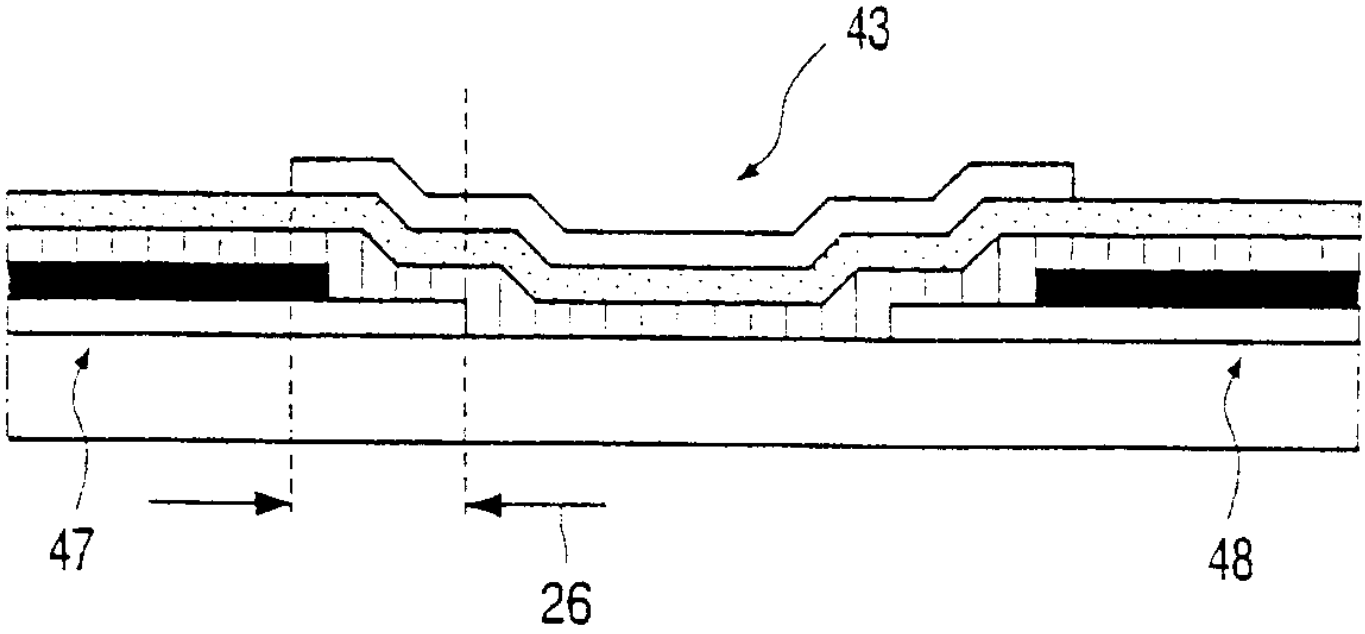


도면 9a

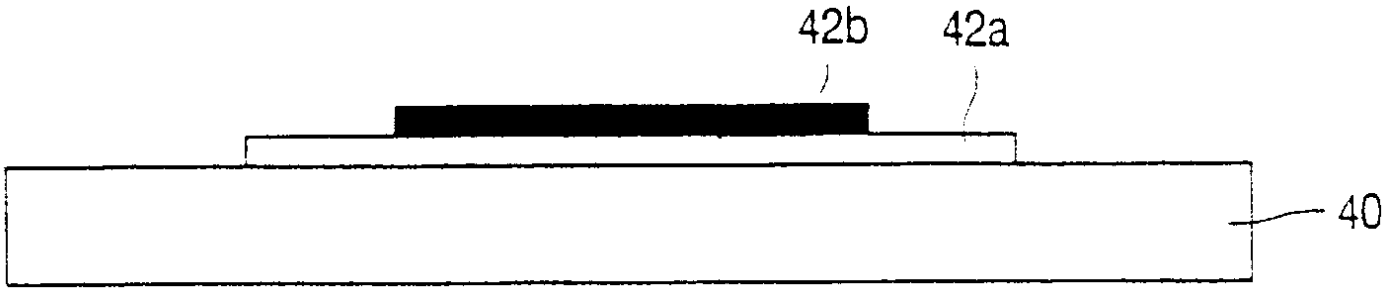
도면 9b



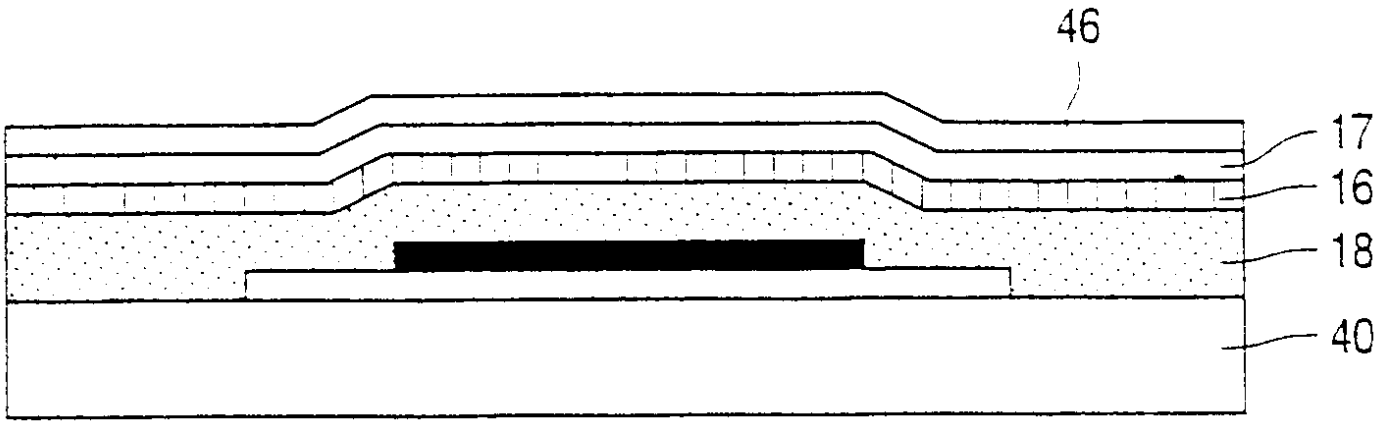
도면 9c



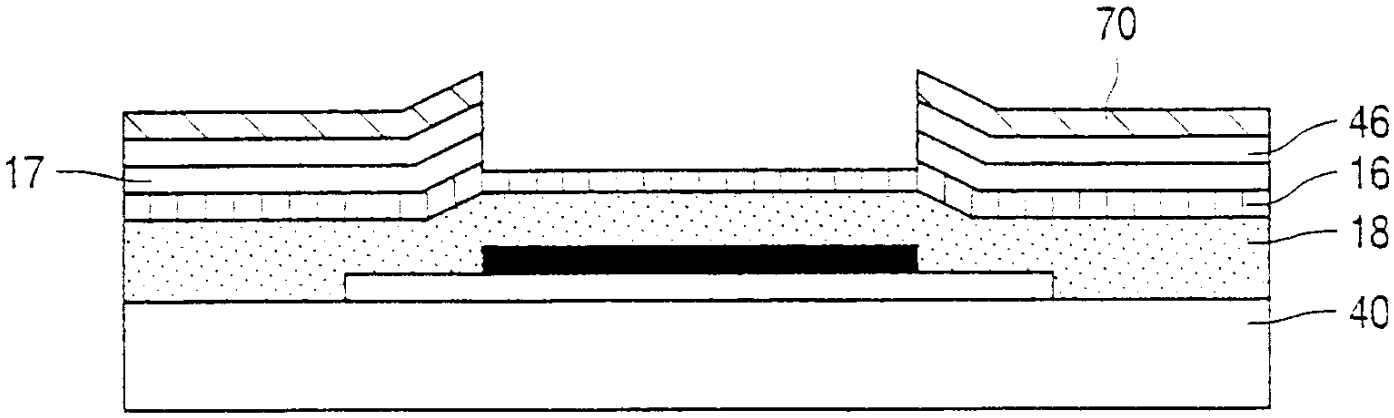
도면 10a



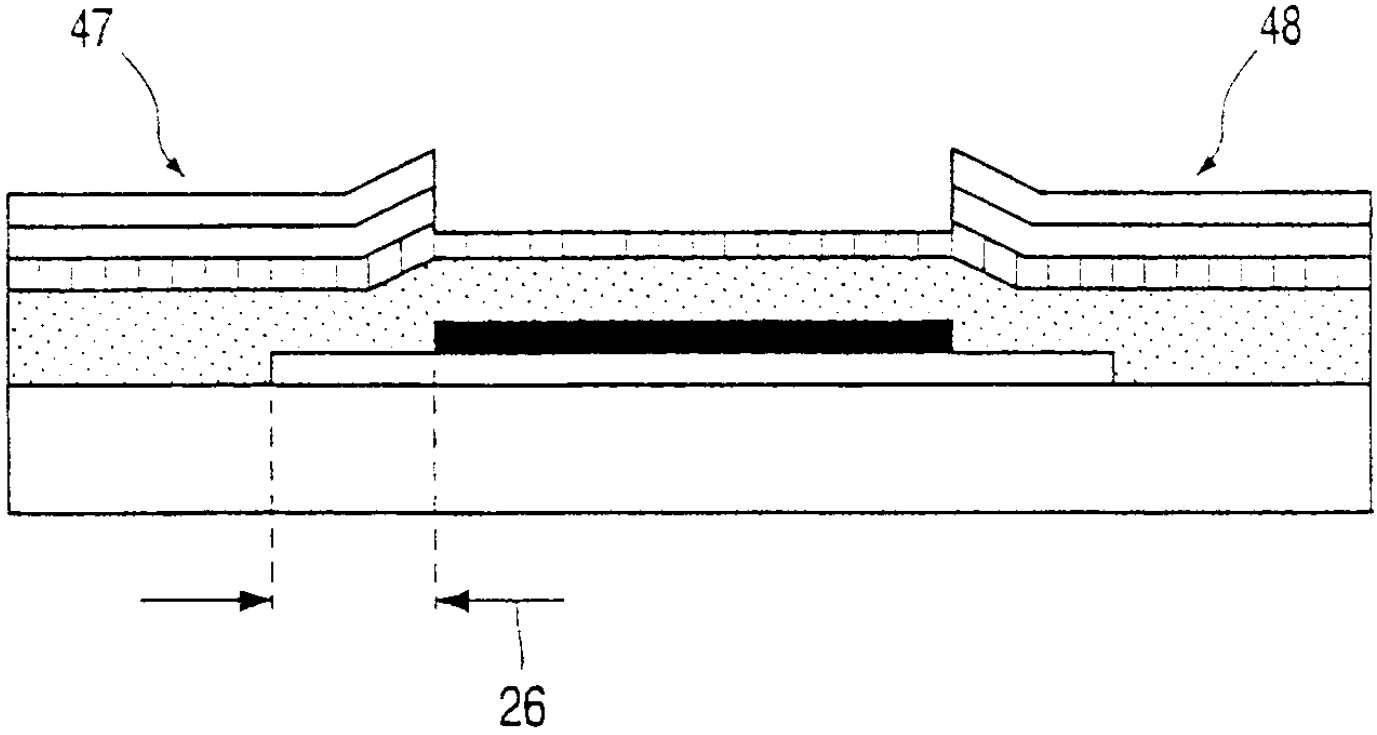
도면 10b



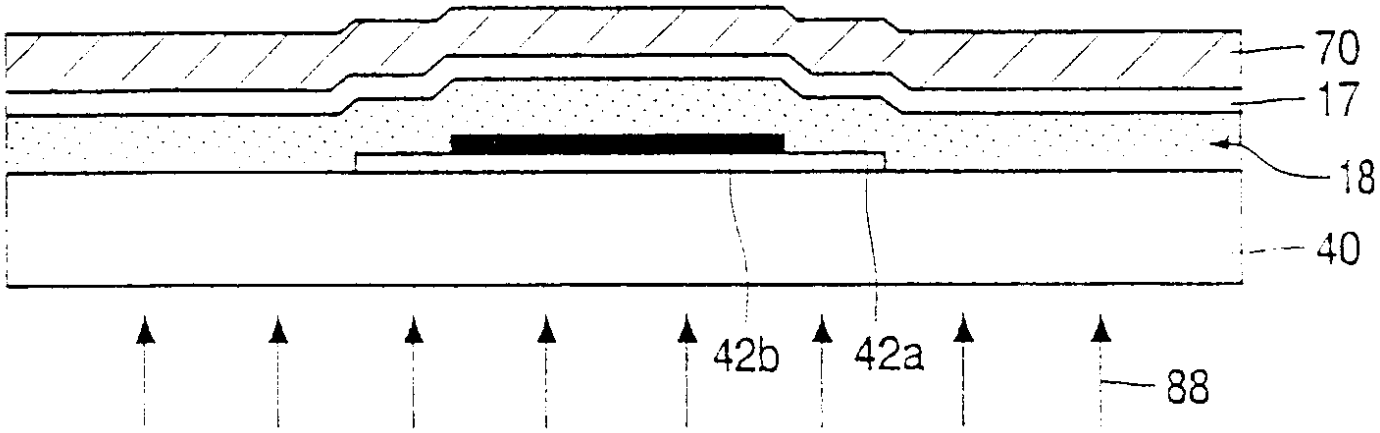
도면 10c



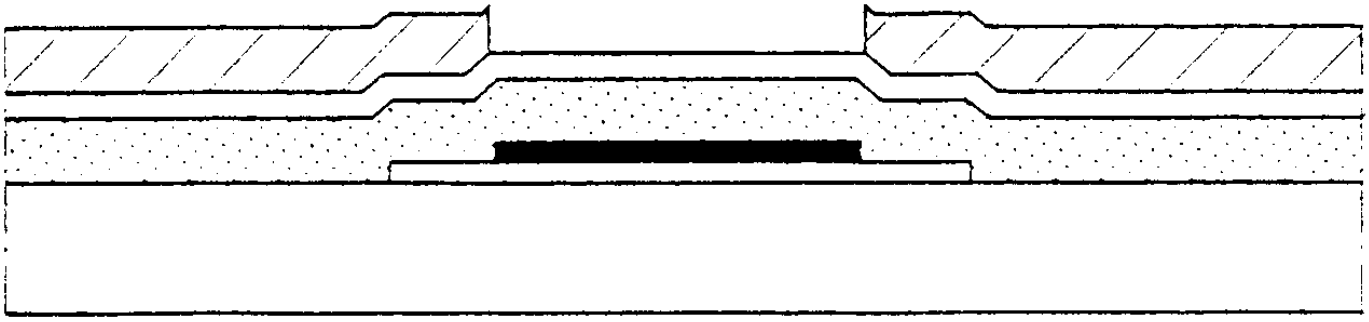
도면 10d



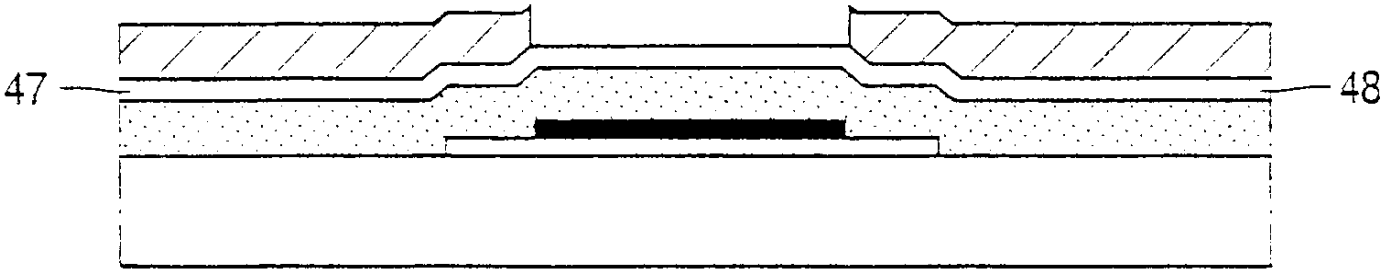
도면 11a



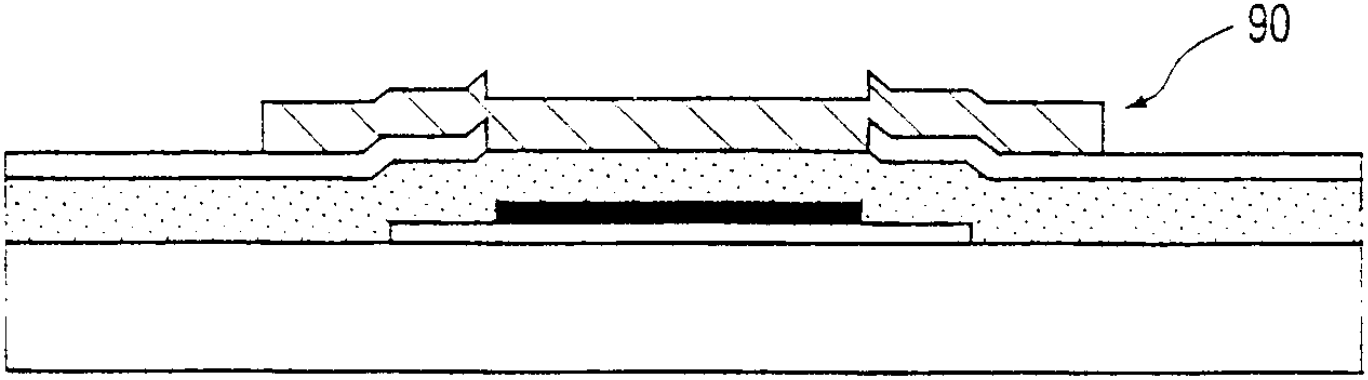
도면 11b



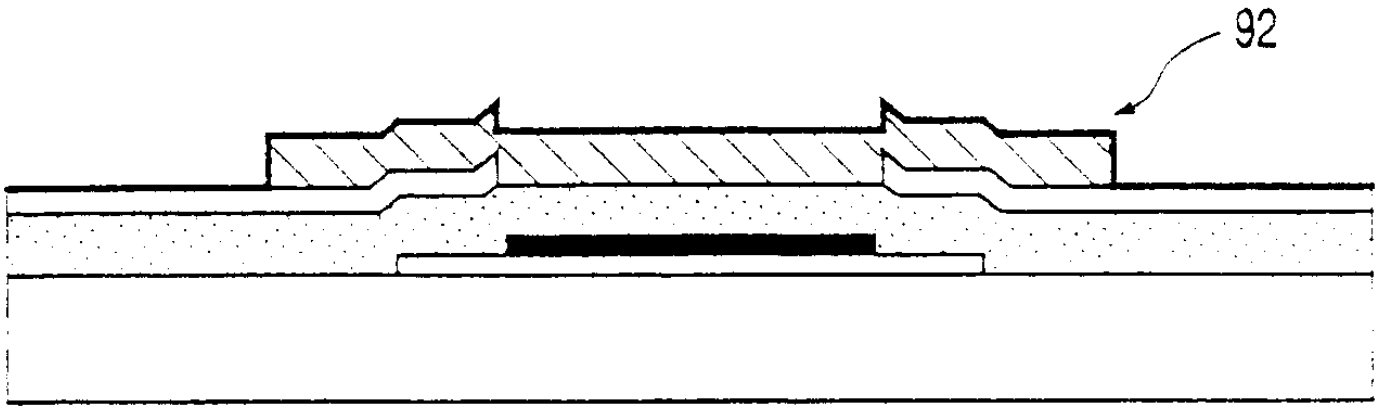
도면 11c



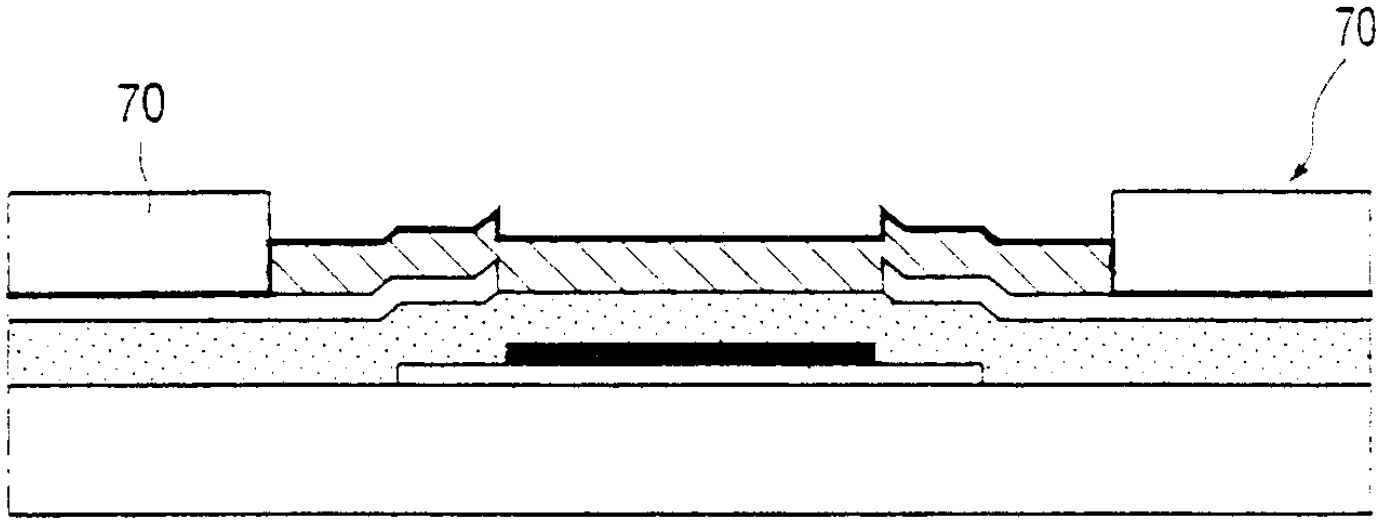
도면 11d



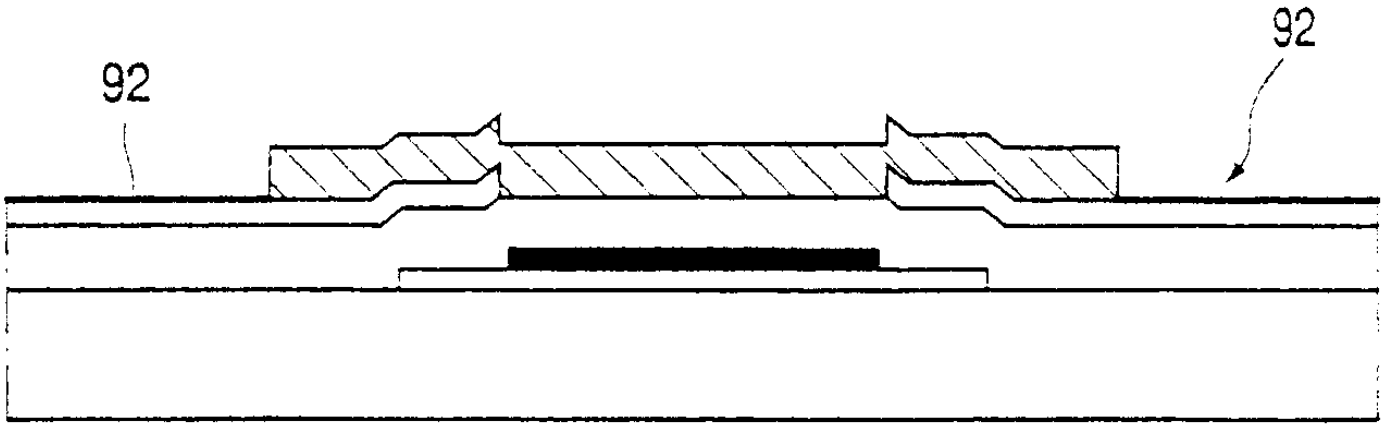
도면 11e



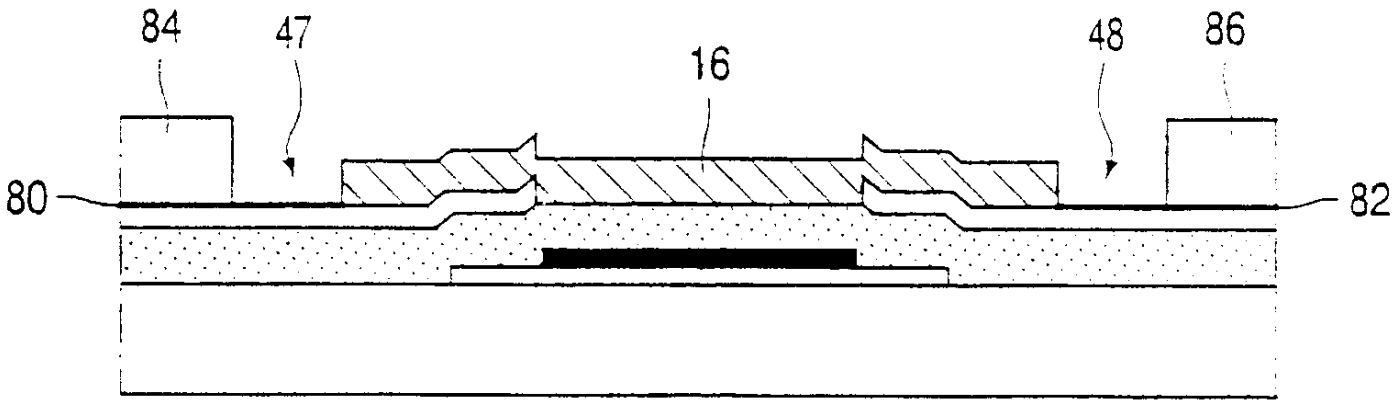
도면 11f



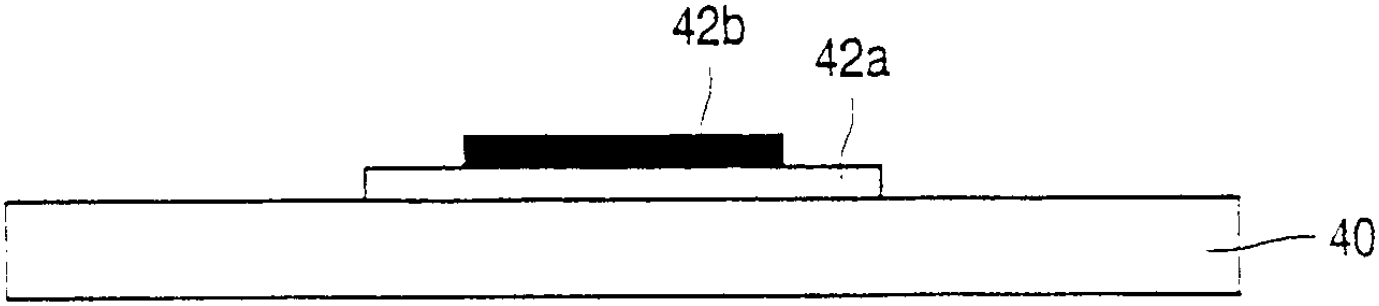
도면 11g



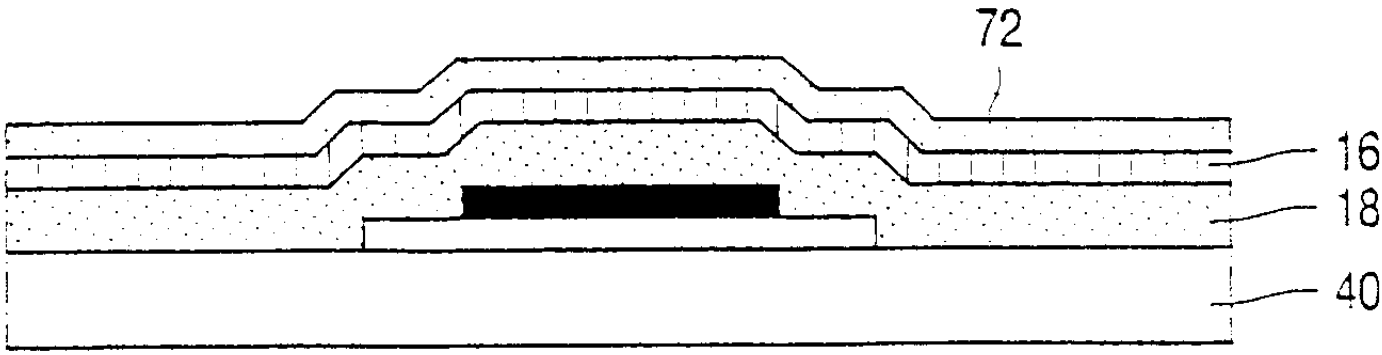
도면 11h



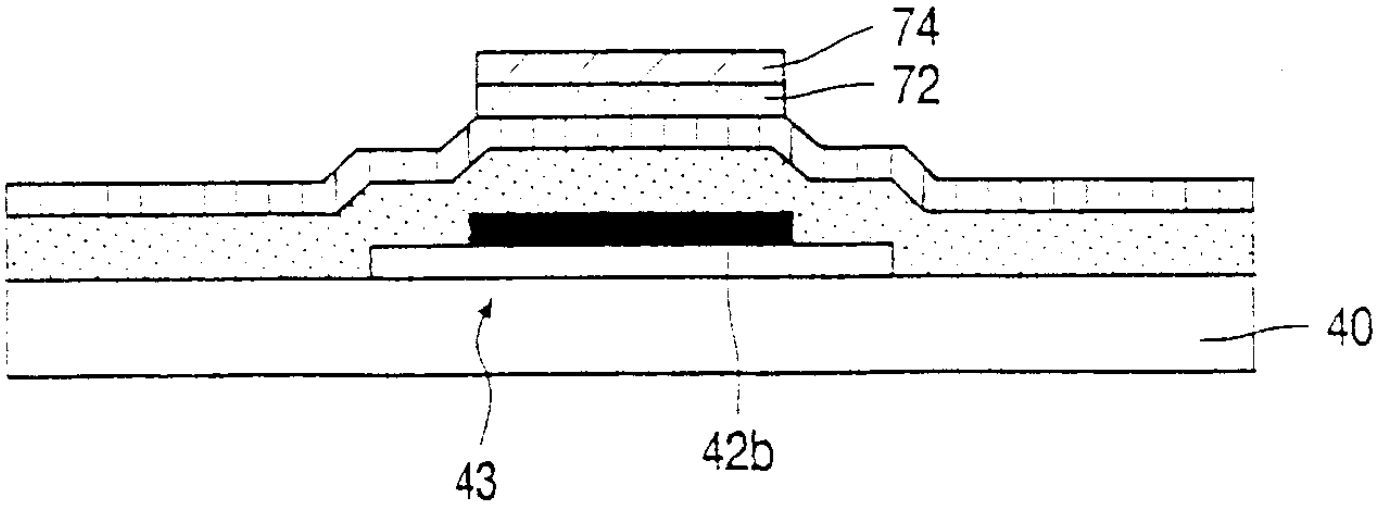
도면 12a



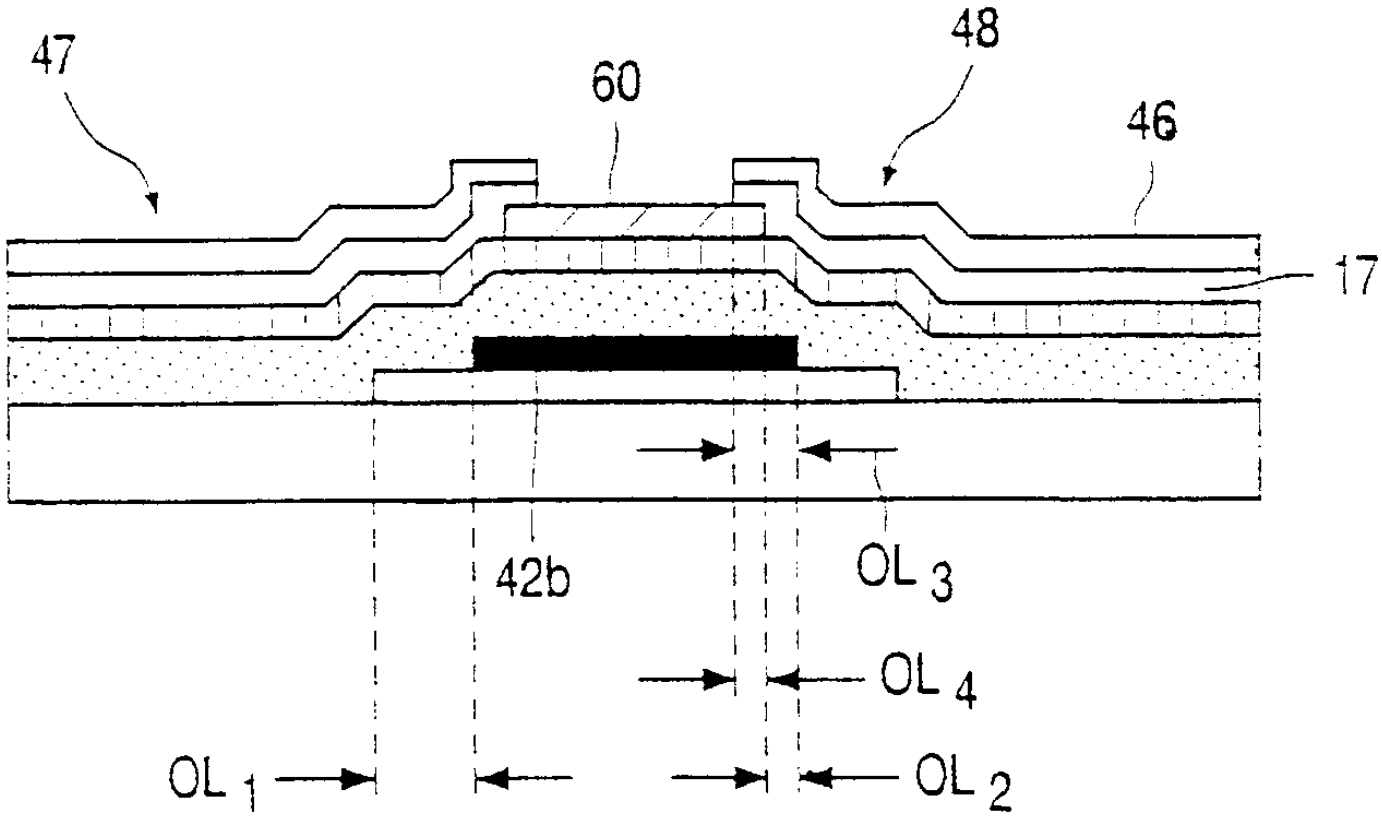
도면 12b



도면 12c



도면 12d



专利名称(译)	薄膜晶体管及其制造方法，电子设备和液晶显示器		
公开(公告)号	KR1020010080289A	公开(公告)日	2001-08-22
申请号	KR1020017005033	申请日	2000-08-23
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	科宁欣克利凯恩菲利普斯日元.V.		
当前申请(专利权)人(译)	科宁欣克利凯恩菲利普斯日元.V.		
[标]发明人	GREEN PETER 그린페터 POWELL MARTIN J 포벨마르틴요트		
发明人	그린,페터 포벨,마르틴,요트.		
IPC分类号	G02F1/136 H01L29/786 G03F7/20 G02F1/1362 G02F1/1368 H01L21/336 H01L29/423 H01L29/49		
CPC分类号	G02F1/136 H01L29/786 G03F7/20 G02F2001/13625 G02F2001/136281 H01L29/42384 H01L29/458 H01L29/4908 H01L29/66757 H01L29/66765		
代理人(译)	文京的 Johyeonseok		
优先权	1999019913 1999-08-24 GB		
其他公开文献	KR100681895B1		
外部链接	Espacenet		

摘要(译)

形成薄膜晶体管的方法包括在透明基板40上提供第一电极层42，其中第一电极层包括下透明层42a和上不透明层42b。 图案化第一电极层以限定第一电极图案，其中透明层42a的边缘区域延伸超过不透明层42b的边缘区域。 在第一电极图案42上方设置有晶体管主体区域，该晶体管主体区域包括限定晶体管的沟道区域的半导体层16和栅极绝缘层18。 还提供透明的第二电极层46。 负电阻层70通过基板40暴露，并且被第一电极图案42的不透明层42b遮盖的负电阻层70区域未被暴露。 。 去除这些区域和下面的第二电极层46以限定第二电极图案，该第二电极图案通常与第一电极图案42的不透明层42b对准。 该方法可用于顶栅TFT或底栅TFT，并提供一种自对准栅结构，在源/漏和栅之间有重叠，可对半导体本体进行进一步处理 没有必要。 图5a

도면1