



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년09월24일
(11) 등록번호 10-0983716
(24) 등록일자 2010년09월15일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2006-0134203

(22) 출원일자 2006년12월26일

심사청구일자 2008년09월10일

(65) 공개번호 10-2008-0003187

(43) 공개일자 2008년01월07일

(30) 우선권주장

1020060060902 2006년06월30일 대한민국(KR)

(56) 선행기술조사문헌

KR1020000010168 A*

KR1020020092722 A*

KR1020050068847 A*

KR1020030075921 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

정지현

울산 동구 서부동 257-4 서부아파트 121동 203호

김동영

경북 의성군 봉양면 풍리1리 932번지 (5/1)

(74) 대리인

박장원

전체 청구항 수 : 총 32 항

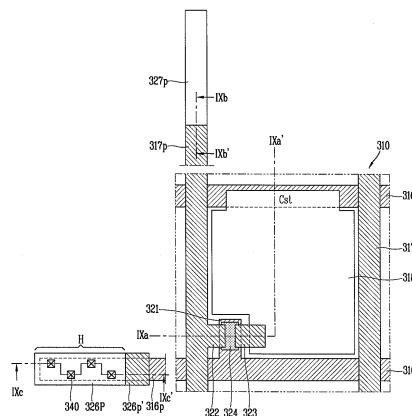
심사관 : 임동재

(54) 액정표시장치 및 그 제조방법

(57) 요약

본 발명의 액정표시장치 및 그 제조방법은 소오스/드레인전극과 화소전극 및 패드부전극을 한번의 마스크공정을 통해 패터닝하고 화소영역과 패드부를 동시에 오픈시킴으로써 마스크수를 감소시켜 제조공정을 단순화하며, 게이트패드의 구조를 변경함으로써 게이트패드라인의 침식 및 신호지연을 방지하기 위한 것으로, 특히 이와 같이 구성된 본 발명의 액정표시장치 및 그 제조방법은 액티브패턴이 게이트전극 상부에만 아일랜드 형태로 형성되고 데이터라인 하부에는 존재하지 않게 됨으로써 화소부의 개구영역을 증가시킬 수 있으며, 또한 빛에 의해 노출되지 않기 때문에 빛에 노출되었을 때 발생하였던 웨이비 노이즈(wavy noise) 현상을 방지할 수 있는 것을 특징으로 한다.

대표도 - 도9



특허청구의 범위

청구항 1

화소부와 제 1 패드부 및 제 2 패드부로 구분되는 제 1 기판을 제공하는 단계;

제 1 마스크공정을 통해 상기 제 1 기판의 화소부에 제 1 도전막으로 이루어진 게이트전극과 게이트라인을 형성하며, 상기 제 1 패드부에 상기 제 1 도전막으로 이루어진 게이트패드라인을 형성하는 단계;

상기 게이트전극과 게이트라인 및 게이트패드라인이 형성된 제 1 기판 위에 제 1 절연막, 비정질 실리콘 박막, n+ 비정질 실리콘 박막 및 제 2 도전막을 형성하는 단계;

제 2 마스크공정을 통해 상기 제 1 절연막, 비정질 실리콘 박막, n+ 비정질 실리콘 박막 및 제 2 도전막을 선택적으로 제거하여 상기 게이트전극 상부에만 상기 비정질 실리콘 박막으로 이루어진 아일랜드 형태의 액티브패턴을 형성하며, 상기 게이트패드라인을 노출시키는 콘택홀을 형성하는 단계;

상기 제 2 마스크공정을 통해 상기 액티브패턴 위에 각각 상기 n+ 비정질 실리콘 박막 및 제 2 도전막으로 이루어진 n+ 비정질 실리콘 박막패턴 및 제 2 도전막패턴을 형성하는 단계;

상기 액티브패턴이 형성된 제 1 기판 위에 제 3 도전막과 제 4 도전막을 형성하는 단계;

제 3 마스크공정을 통해 상기 제 3 도전막과 제 4 도전막을 선택적으로 제거하여 상기 제 1 기판의 화소부에 상기 제 4 도전막으로 이루어진 소오스전극과 드레인전극을 형성하며, 상기 게이트라인과 교차하여 화소영역을 정의하는 데이터라인을 형성하는 단계;

상기 제 3 마스크공정을 통해 상기 화소영역에 상기 제 3 도전막으로 이루어진 화소전극을 형성하며, 상기 화소전극 위에 상기 제 4 도전막으로 이루어지되 상기 화소전극과 동일한 형태로 화소전극패턴을 형성하는 단계;

상기 제 3 마스크공정을 통해 상기 n+ 비정질 실리콘 박막패턴과 제 2 도전막패턴을 선택적으로 제거하여 각각 상기 + 비정질 실리콘 박막과 제 2 도전막으로 이루어진 오믹-콘택층과 베리어메탈층을 형성하는 단계;

제 4 마스크공정을 통해 상기 제 1 기판 위에 제 2 절연막을 형성하는 단계;

상기 제 4 마스크공정을 통해 상기 화소전극패턴 상부의 상기 제 2 절연막을 선택적으로 제거하는 한편, 상기 화소전극패턴을 제거하여 상기 화소전극을 노출시키는 단계; 및

상기 제 1 기판과 제 2 기판을 합착하는 단계를 포함하는 액정표시장치의 제조방법.

청구항 2

제 1 항에 있어서, 상기 제 3 도전막은 투명한 도전물질로 형성하며, 상기 제 4 도전막은 저저항 불투명 도전물질로 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 3

제 1 항에 있어서, 상기 n+ 비정질 실리콘 박막패턴과 제 2 도전막패턴은 상기 액티브패턴과 동일한 형태로 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 4

제 1 항에 있어서, 상기 제 2 도전막패턴은 폴리브덴과 같은 저저항 도전물질을 이용하여 50Å~100Å 두께로 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 5

삭제

청구항 6

제 2 항에 있어서, 상기 소오스전극과 드레인전극 및 데이터라인 하부에 상기 제 3 도전막으로 이루어지며, 각각 상기 소오스전극과 드레인전극 및 데이터라인과 동일한 형태로 패터닝된 소오스전극패턴과 드레인전극패턴 및 데이터라인패턴을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 7

제 1 항에 있어서, 상기 콘택홀은 상기 게이트패드라인과 평행한 방향으로 길게 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 8

제 1 항에 있어서, 상기 콘택홀은 상기 게이트패드라인의 양측에 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 9

제 1 항에 있어서, 상기 콘택홀은 상기 게이트패드라인 위에 다수개 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 10

삭제

청구항 11

삭제

청구항 12

제 6 항에 있어서, 상기 베리어메탈층은 상기 n+ 비정질 실리콘 박막으로 이루어진 오믹-콘택층과 투명한 도전 물질로 이루어진 상기 소오스·드레인전극패턴 사이의 접촉저항을 감소시키는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 13

삭제

청구항 14

제 6 항에 있어서, 상기 드레인전극패턴은 화소영역으로 연장되어 상기 화소전극을 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 15

제 1 항에 있어서, 상기 제 3 마스크공정을 통해 상기 제 1 기판의 제 2 패드부에 데이터패드라인을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 16

제 7 항 내지 제 9 항 중 어느 한 항에 있어서, 상기 제 3 마스크공정을 이용하여 형성하되, 상기 콘택홀을 통해 상기 게이트패드라인과 전기적으로 접속하는 게이트패드전극을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 17

제 15 항에 있어서, 상기 제 4 마스크공정을 통해 상기 제 1 기판의 제 2 패드부에 상기 데이터패드라인과 전기적으로 접속하는 데이터패드전극을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 18

제 16 항에 있어서, 상기 제 4 마스크공정을 통해 상기 제 2 절연막을 선택적으로 제거하여 상기 게이트패드전극을 노출시키는 오픈홀을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 19

제 18 항에 있어서, 상기 오픈홀과 콘택홀은 서로 다른 위치에 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 20

제 18 항에 있어서, 상기 오픈홀은 상기 콘택홀을 포함하도록 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 21

제 18 항에 있어서, 상기 콘택홀이 위치한 게이트패드전극과 게이트패드라인 사이에는 상기 제 1 절연막이 개재되어 있는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 22

화소부와 제 1 패드부 및 제 2 패드부로 구분되는 제 1 기관;

상기 제 1 기관의 화소부에 형성되는 게이트전극과 게이트라인;

상기 게이트전극과 게이트라인이 형성된 제 1 기관 위에 형성된 제 1 절연막;

비정질 실리콘 박막으로 이루어지며, 상기 게이트전극 상부에만 상기 게이트전극보다 폭이 줄어든 아일랜드 형태로 형성된 액티브패턴;

상기 액티브패턴의 소오스·드레인영역 위에 형성되며, 각각 n+ 비정질 실리콘 박막 및 저저항 도전물질로 이루어진 오믹-콘택층 및 베리어메탈층;

상기 제 1 기관의 화소부에 형성되며, 상기 오믹-콘택층과 베리어메탈층을 통해 상기 액티브패턴의 소오스·드레인영역과 전기적으로 접속하는 소오스·드레인전극;

상기 제 1 기관의 화소부에 형성되며, 상기 게이트라인과 교차하여 화소영역을 정의하는 데이터라인;

상기 소오스전극과 드레인전극 및 데이터라인 하부에 형성되며, 투명한 도전물질로 이루어지며 각각 상기 소오스전극과 드레인전극 및 데이터라인과 동일한 형태로 패터닝된 소오스전극패턴과 드레인전극패턴 및 데이터라인패턴;

상기 제 1 절연막 위에 형성되며, 상기 드레인전극과 전기적으로 접속하는 화소전극;

상기 제 1 기관 위에 형성되며, 상기 화소영역의 화소전극을 노출시키는 제 2 절연막; 및

상기 제 1 기관과 대향하여 합착되는 제 2 기관을 포함하며, 상기 베리어메탈층은 상기 n+ 비정질 실리콘 박막으로 이루어진 오믹-콘택층과 상기 투명한 도전물질로 이루어진 소오스·드레인전극패턴 사이의 접촉저항을 감소시키는 것을 특징으로 하는 액정표시장치.

청구항 23

제 22 항에 있어서, 상기 게이트전극을 구성하는 제 1 도전막으로 형성되며, 상기 제 1 기관의 제 1 패드부에 형성된 게이트패드라인을 추가로 포함하는 것을 특징으로 하는 액정표시장치.

청구항 24

제 22 항에 있어서, 상기 베리어메탈층은 몰리브덴과 같은 저저항 도전물질로 이루어지며 50Å~100Å 두께를 가지는 것을 특징으로 하는 액정표시장치.

청구항 25

삭제

청구항 26

제 23 항에 있어서, 상기 제 1 절연막이 선택적으로 제거되어 상기 게이트패드라인을 노출시키는 콘택홀을 추가로 포함하는 것을 특징으로 하는 액정표시장치.

청구항 27

제 26 항에 있어서, 상기 콘택홀은 상기 게이트패드라인과 평행한 방향으로 길게 형성되는 것을 특징으로 하는 액정표시장치.

청구항 28

제 26 항에 있어서, 상기 콘택홀은 상기 게이트패드라인의 양측에 형성되는 것을 특징으로 하는 액정표시장치.

청구항 29

제 26 항에 있어서, 상기 콘택홀은 상기 게이트패드라인 위에 다수개 형성되는 것을 특징으로 하는 액정표시장치.

청구항 30

삭제

청구항 31

제 22 항에 있어서, 상기 드레인전극패턴은 화소영역으로 연장되어 상기 화소전극을 구성하는 것을 특징으로 하는 액정표시장치.

청구항 32

제 22 항에 있어서, 상기 소오스전극과 드레인전극을 구성하는 제 2 도전막으로 형성되며, 상기 제 1 기판의 제 2 패드부에 형성된 데이터패드라인을 추가로 포함하는 것을 특징으로 하는 액정표시장치.

청구항 33

제 27 항 내지 제 29 항 중 어느 한 항에 있어서, 상기 소오스전극과 드레인전극을 구성하는 제 2 도전막으로 형성되며, 상기 콘택홀을 통해 상기 게이트패드라인과 전기적으로 접속하는 게이트패드전극을 추가로 포함하는 것을 특징으로 하는 액정표시장치.

청구항 34

제 32 항에 있어서, 상기 소오스전극과 드레인전극을 구성하는 제 2 도전막으로 형성되며, 상기 제 1 기판의 제 2 패드부에 형성되어 상기 데이터패드라인과 전기적으로 접속하는 데이터패드전극을 추가로 포함하는 것을 특징으로 하는 액정표시장치.

청구항 35

제 33 항에 있어서, 상기 제 2 절연막이 선택적으로 제거되어 상기 게이트패드전극을 노출시키는 오픈홀을 추가로 포함하는 것을 특징으로 하는 액정표시장치.

청구항 36

제 35 항에 있어서, 상기 오픈홀과 콘택홀은 서로 다른 위치에 형성되는 것을 특징으로 하는 액정표시장치.

청구항 37

제 35 항에 있어서, 상기 오픈홀은 상기 콘택홀을 포함하도록 형성되는 것을 특징으로 하는 액정표시장치.

청구항 38

제 35 항에 있어서, 상기 콘택홀이 위치한 게이트패드전극과 게이트패드라인 사이에는 상기 제 1 절연막이 개재되어 있는 것을 특징으로 하는 액정표시장치.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0019] 본 발명은 액정표시장치 및 그 제조방법에 관한 것으로, 보다 상세하게는 마스크수를 감소시켜 제조공정을 단순화하고 수율을 향상시키는 동시에 웨이비 노이즈가 발생하지 않아 고화질을 구현할 수 있는 액정표시장치 및 그 제조방법에 관한 것이다.
- [0020] 최근 정보 디스플레이에 관한 관심이 고조되고 휴대가 가능한 정보매체를 이용하려는 요구가 높아지면서 기존의 표시장치인 브라운관(Cathode Ray Tube; CRT)을 대체하는 경량 박막형 평판표시장치(Flat Panel Display; FPD)에 대한 연구 및 상업화가 중점적으로 이루어지고 있다. 특히, 이러한 평판표시장치 중 액정표시장치(Liquid Crystal Display; LCD)는 액정의 광학적 이방성을 이용하여 이미지를 표현하는 장치로서, 해상도와 컬러표시 및 화질 등에서 우수하여 노트북이나 데스크탑 모니터 등에 활발하게 적용되고 있다.
- [0021] 상기 액정표시장치는 크게 컬러필터(color filter) 기판과 어레이(array) 기판 및 상기 컬러필터 기판과 어레이 기판 사이에 형성된 액정층(liquid crystal layer)으로 구성된다.
- [0022] 상기 액정표시장치에 주로 사용되는 구동 방식인 능동 매트릭스(Active Matrix; AM) 방식은 비정질 실리콘 박막 트랜지스터(Amorphous Silicon Thin Film Transistor; a-Si TFT)를 스위칭소자로 사용하여 화소부의 액정을 구동하는 방식이다.
- [0023] 상기 액정표시장치의 제조공정은 기본적으로 박막 트랜지스터를 포함하는 어레이 기판의 제작에 다수의 마스크 공정(즉, 포토리소그래피(photolithography)공정)를 필요로 하므로 생산성 면에서 상기 마스크수를 줄이는 방법이 요구되어지고 있다.
- [0024] 이하, 도 1을 참조하여 일반적인 액정표시장치의 구조에 대해서 상세히 설명한다.
- [0025] 도 1은 일반적인 액정표시장치를 개략적으로 나타내는 분해사시도이다.
- [0026] 도면에 도시된 바와 같이, 상기 액정표시장치는 크게 컬러필터 기판(5)과 어레이 기판(10) 및 상기 컬러필터 기판(5)과 어레이 기판(10) 사이에 형성된 액정층(liquid crystal layer)(30)으로 구성된다.
- [0027] 상기 컬러필터 기판(5)은 적(Red; R), 녹(Green; G) 및 청(Blue; B)의 색상을 구현하는 다수의 서브-컬러필터(7)로 구성된 컬러필터(C)와 상기 서브-컬러필터(7) 사이를 구분하고 액정층(30)을 투과하는 광을 차단하는 블랙매트릭스(black matrix)(6), 그리고 상기 액정층(30)에 전압을 인가하는 투명한 공통전극(8)으로 이루어져 있다.
- [0028] 또한, 상기 어레이 기판(10)은 중형으로 배열되어 복수개의 화소영역(P)을 정의하는 복수개의 게이트라인(16)과 데이터라인(17), 상기 게이트라인(16)과 데이터라인(17)의 교차영역에 형성된 스위칭소자인 박막 트랜지스터(T) 및 상기 화소영역(P) 위에 형성된 화소전극(18)으로 이루어져 있다.
- [0029] 이와 같이 구성된 상기 컬러필터 기판(5)과 어레이 기판(10)은 화상표시 영역의 외곽에 형성된 실런트(sealant)(미도시)에 의해 대향하도록 합착되어 액정표시패널을 구성하며, 상기 컬러필터 기판(5)과 어레이 기판(10)의 합착은 상기 컬러필터 기판(5) 또는 어레이 기판(10)에 형성된 합착키(미도시)를 통해 이루어진다.
- [0030] 도 2a 내지 도 2e는 도 1에 도시된 액정표시장치에 있어서, 어레이 기판의 제조공정을 순차적으로 나타내는 단면도이다.
- [0031] 도 2a에 도시된 바와 같이, 어레이 기판(10) 위에 포토리소그래피공정(제 1 마스크공정)을 이용하여 도전성 금속물질로 이루어진 게이트전극(21)을 형성한다.
- [0032] 다음으로, 도 2b에 도시된 바와 같이, 상기 게이트전극(21)이 형성된 어레이 기판(10) 전면(全面)에 차례대로 제 1 절연막(15a)과 비정질 실리콘 박막 및 n+ 비정질 실리콘 박막을 증착한 후, 포토리소그래피공정(제 2 마스크공정)을 이용하여 상기 비정질 실리콘 박막과 n+ 비정질 실리콘 박막을 선택적으로 패터닝함으로써 상기 게이트전극(21) 위에 상기 비정질 실리콘 박막으로 이루어진 액티브패턴(24)을 형성한다.
- [0033] 이때, 상기 액티브패턴(24) 위에는 상기 액티브패턴(24)과 동일한 형태로 패터닝된 n+ 비정질 실리콘 박막 패턴(25)이 형성되게 된다.
- [0034] 이후, 도 2c에 도시된 바와 같이, 상기 어레이 기판(10) 전면에 도전성 금속물질을 증착한 후 포토리소그래피공

정(제 3 마스크공정)을 이용하여 선택적으로 패터닝함으로써 상기 액티브패턴(24) 상부에 소오스전극(22)과 드레인전극(23)을 형성한다. 이때, 상기 액티브패턴(24) 위에 형성되어 있는 n+ 비정질 실리콘 박막 패턴은 상기 제 3 마스크공정을 통해 소정영역이 제거되어 상기 액티브패턴(24)과 소오스/드레인전극(22, 23) 사이에서 옴릭-콘택(ohmic contact)층(25')을 형성하게 된다.

[0035] 다음으로, 도 2d에 도시된 바와 같이, 상기 소오스전극(22)과 드레인전극(23)이 형성된 어레이 기판(10) 전면에 제 2 절연막(15b)을 증착한 후, 포토리소그래피공정(제 4 마스크공정)을 통해 상기 제 2 절연막(15b)의 일부 영역을 제거하여 상기 드레인전극(23)의 일부를 노출시키는 콘택홀(40)을 형성한다.

[0036] 마지막으로, 도 2e에 도시된 바와 같이, 투명한 도전성 금속물질을 어레이 기판(10) 전면에 증착한 후 포토리소그래피공정(제 5 마스크공정)을 이용하여 선택적으로 패터닝함으로써 상기 콘택홀(40)을 통해 드레인전극(23)과 전기적으로 접속하는 화소전극(18)을 형성한다.

[0037] 상기에 설명된 바와 같이 박막 트랜지스터를 포함하는 어레이 기판의 제조에는 게이트전극, 액티브패턴, 소오스/드레인전극, 콘택홀 및 화소전극 등을 패터닝하는데 총 5번의 포토리소그래피공정을 필요로 한다.

[0038] 상기 포토리소그래피공정은 마스크에 그려진 패턴을 박막이 증착된 기판 위에 전사시켜 원하는 패턴을 형성하는 일련의 공정으로 감광액 도포, 노광, 현상공정 등 다수의 공정으로 이루어지며, 다수의 포토리소그래피공정은 생산 수율을 떨어뜨리게 된다.

[0039] 특히, 패턴을 형성하기 위하여 설계된 마스크는 매우 고가이어서, 공정에 적용되는 마스크수가 증가하면 액정표시장치의 제조비용이 이에 비례하여 상승하게 된다.

[0040] 이때, 회절마스크를 이용하여 액티브패턴과 소오스/드레인전극을 한번의 마스크공정으로 형성함으로써 총 4번의 마스크공정으로 어레이 기판을 제작할 수 있는 기술이 개발되었다.

[0041] 그러나, 상기 구조의 액정표시장치는 회절마스크를 이용함으로써 두 번의 식각공정을 거쳐 액티브패턴과 소오스/드레인전극을 패터닝하게 됨에 따라 상기 소오스전극과 드레인전극 및 데이터라인의 하부 주변으로 액티브패턴이 돌출하여 남아있게 된다.

[0042] 상기 액티브패턴은 순수한 비정질 실리콘 박막으로 이루어지며, 상기 돌출된 액티브패턴은 하부의 백라이트 광에 노출됨으로써 상기 백라이트 광에 의해 광전류가 발생하게 된다. 이때, 상기 백라이트 광의 미세한 깜빡임으로 인해 상기 비정질 실리콘 박막은 미세하게 반응하여 활성화와 비활성화 상태가 반복되게 되며, 이로 인해 광전류에 변화가 발생하게 된다. 이와 같은 광전류 성분은 이웃하는 화소전극에 흐르는 신호와 함께 커플링(coupling)되어 상기 화소전극에 위치한 액정의 움직임을 왜곡시키게 한다. 그 결과 액정표시장치의 화면에는 물결무늬의 가는 선이 나타나는 웨이비 노이즈(wavy noise)가 발생하게 된다.

[0043] 또한, 상기 데이터라인의 하부에 위치한 액티브패턴은 상기 데이터라인의 양측으로 소정거리 돌출됨으로써 화소부의 개구영역이 상기 돌출된 거리만큼 잠식됨에 따라 액정표시장치의 개구율이 감소하게 된다.

발명이 이루고자 하는 기술적 과제

[0044] 본 발명은 상기한 문제를 해결하기 위한 것으로, 4번의 마스크공정으로 어레이 기판을 제작하도록 한 액정표시장치 및 그 제조방법을 제공하는데 목적이 있다.

[0045] 본 발명의 다른 목적은 웨이비 노이즈가 발생하지 않아 고화질을 구현할 수 있는 액정표시장치 및 그 제조방법을 제공하는데 있다.

[0046] 본 발명의 또 다른 목적은 개구영역을 확대하여 고휘도를 구현하는 동시에 공정 중에 발생하는 게이트패드라인의 침식 및 신호지연을 방지한 액정표시장치 및 그 제조방법을 제공하는데 있다.

[0047] 본 발명의 다른 목적 및 특징들은 후술되는 발명의 구성 및 특허청구범위에서 설명될 것이다.

발명의 구성 및 작용

[0048] 상기한 목적을 달성하기 위하여, 본 발명의 액정표시장치는 화소부와 제 1 패드부 및 제 2 패드부로 구분되는 제 1 기판; 상기 제 1 기판의 화소부에 형성되는 게이트전극과 게이트라인; 상기 게이트전극과 게이트라인이 형성된 제 1 기판 위에 형성된 제 1 절연막; 비정질 실리콘 박막으로 이루어지며, 상기 게이트전극 상부에만 상기 게이트전극보다 폭이 줄어든 아일랜드 형태로 형성된 액티브패턴; 상기 액티브패턴의 소오스·드레인영역 위에

형성되며, 각각 $n+$ 비정질 실리콘 박막 및 저저항 도전물질로 이루어진 오믹-콘택층 및 베리어메탈층; 상기 제 1 기판의 화소부에 형성되며, 상기 오믹-콘택층과 베리어메탈층을 통해 상기 액티브패턴의 소오스·드레인영역과 전기적으로 접속하는 소오스·드레인전극; 상기 제 1 기판의 화소부에 형성되며, 상기 게이트라인과 교차하여 화소영역을 정의하는 데이터라인; 상기 소오스전극과 드레인전극 및 데이터라인 하부에 형성되며, 투명한 도전물질로 이루어지며 각각 상기 소오스전극과 드레인전극 및 데이터라인과 동일한 형태로 패터닝된 소오스전극패턴과 드레인전극패턴 및 데이터라인패턴; 상기 제 1 절연막 위에 형성되며, 상기 드레인전극과 전기적으로 접속하는 화소전극; 상기 제 1 기판 위에 형성되며, 상기 화소영역의 화소전극을 노출시키는 제 2 절연막; 및 상기 제 1 기판과 대향하여 합착되는 제 2 기판을 포함하며, 상기 베리어메탈층은 상기 $n+$ 비정질 실리콘 박막으로 이루어진 오믹-콘택층과 상기 투명한 도전물질로 이루어진 소오스·드레인전극패턴 사이의 접촉저항을 감소시키는 것을 특징으로 한다.

[0049] 또한, 본 발명의 액정표시장치의 제조방법은 화소부와 제 1 패드부 및 제 2 패드부로 구분되는 제 1 기판을 제공하는 단계; 제 1 마스크공정을 통해 상기 제 1 기판의 화소부에 제 1 도전막으로 이루어진 게이트전극과 게이트라인을 형성하며, 상기 제 1 패드부에 상기 제 1 도전막으로 이루어진 게이트패드라인을 형성하는 단계; 상기 게이트전극과 게이트라인 및 게이트패드라인이 형성된 제 1 기판 위에 제 1 절연막, 비정질 실리콘 박막, $n+$ 비정질 실리콘 박막 및 제 2 도전막을 형성하는 단계; 제 2 마스크공정을 통해 상기 제 1 절연막, 비정질 실리콘 박막, $n+$ 비정질 실리콘 박막 및 제 2 도전막을 선택적으로 제거하여 상기 게이트전극 상부에만 상기 비정질 실리콘 박막으로 이루어진 아일랜드 형태의 액티브패턴을 형성하며, 상기 게이트패드라인을 노출시키는 콘택홀을 형성하는 단계; 상기 제 2 마스크공정을 통해 상기 액티브패턴 위에 각각 상기 $n+$ 비정질 실리콘 박막 및 제 2 도전막으로 이루어진 $n+$ 비정질 실리콘 박막패턴 및 제 2 도전막패턴을 형성하는 단계; 상기 액티브패턴이 형성된 제 1 기판 위에 제 3 도전막과 제 4 도전막을 형성하는 단계; 제 3 마스크공정을 통해 상기 제 3 도전막과 제 4 도전막을 선택적으로 제거하여 상기 제 1 기판의 화소부에 상기 제 4 도전막으로 이루어진 소오스전극과 드레인전극을 형성하며, 상기 게이트라인과 교차하여 화소영역을 정의하는 데이터라인을 형성하는 단계; 상기 제 3 마스크공정을 통해 상기 화소영역에 상기 제 3 도전막으로 이루어진 화소전극을 형성하며, 상기 화소전극 위에 상기 제 4 도전막으로 이루어지되 상기 화소전극과 동일한 형태로 화소전극패턴을 형성하는 단계; 상기 제 3 마스크공정을 통해 상기 $n+$ 비정질 실리콘 박막패턴과 제 2 도전막패턴을 선택적으로 제거하여 각각 상기 $n+$ 비정질 실리콘 박막과 제 2 도전막으로 이루어진 오믹-콘택층과 베리어메탈층을 형성하는 단계; 제 4 마스크공정을 통해 상기 제 1 기판 위에 제 2 절연막을 형성하는 단계; 상기 제 4 마스크공정을 통해 상기 화소전극패턴 상부의 상기 제 2 절연막을 선택적으로 제거하는 한편, 상기 화소전극패턴을 제거하여 상기 화소전극을 노출시키는 단계; 및 상기 제 1 기판과 제 2 기판을 합착하는 단계를 포함한다.

[0050] 이하, 첨부한 도면을 참조하여 본 발명에 따른 액정표시장치 및 그 제조방법의 바람직한 실시예를 상세히 설명한다.

[0051] 도 3은 본 발명의 제 1 실시예에 따른 액정표시장치의 어레이 기판 일부를 개략적으로 나타내는 평면도로써, 설명의 편의를 위해 게이트패드부와 데이터패드부 및 화소부의 박막 트랜지스터를 포함하는 하나의 화소를 나타내고 있다.

[0052] 실제의 액정표시장치에서는 N 개의 게이트라인과 M 개의 데이터라인이 교차하여 $M \times N$ 개의 화소가 존재하지만 설명을 간단하게 하기 위해 도면에는 하나의 화소를 나타내고 있다.

[0053] 도면에 도시된 바와 같이, 상기 제 1 실시예의 어레이 기판(110)에는 상기 어레이 기판(110) 위에 종횡으로 배열되어 화소영역을 정의하는 게이트라인(116)과 데이터라인(117)이 형성되어 있다. 또한, 상기 게이트라인(116)과 데이터라인(117)의 교차영역에는 스위칭소자인 박막 트랜지스터가 형성되어 있으며, 상기 화소영역 내에는 상기 박막 트랜지스터에 연결되어 컬러필터 기판(미도시)의 공통전극과 함께 액정(미도시)을 구동시키는 화소전극(118)이 형성되어 있다.

[0054] 이때, 상기 어레이 기판(110)의 가장자리 영역에는 상기 게이트라인(116)과 데이터라인(117)에 각각 전기적으로 접속하는 게이트패드전극(126p)과 데이터패드전극(127p)이 형성되어 있으며, 외부의 구동회로부(미도시)로부터 인가 받은 주사신호와 데이터신호를 각각 상기 게이트라인(116)과 데이터라인(117)에 전달하게 된다.

[0055] 즉, 상기 게이트라인(116)과 데이터라인(117)은 구동회로부 쪽으로 연장되어 각각 해당하는 게이트패드라인(116p)과 데이터패드라인(117p)에 연결되며, 상기 게이트패드라인(116p)과 데이터패드라인(117p)은 상기 게이트패드라인(116p)과 데이터패드라인(117p)에 각각 전기적으로 접속된 게이트패드전극(126p)과 데이터패드전극(127p)을 통해 구동회로부로부터 각각 주사신호와 데이터신호를 인가 받게 된다.

- [0056] 이때, 도면부호 140은 게이트패드부 콘택홀을 나타내며, 상기 게이트패드전극(126p)은 상기 게이트패드부 콘택홀(140)을 통해 상기 게이트패드라인(117p)과 전기적으로 접속하게 된다. 또한, 도면부호 H는 게이트패드부 오픈홀을 나타내며, 상기 게이트패드부 오픈홀(H)을 통해 상기 게이트패드전극(126p)의 일부가 외부로 노출되게 된다.
- [0057] 상기 박막 트랜지스터는 게이트라인(116)에 연결된 게이트전극(121), 데이터라인(117)에 연결된 소오스전극(122) 및 화소전극(118)에 연결된 드레인전극(123)으로 구성되어 있다. 또한, 상기 박막 트랜지스터는 상기 게이트전극(121)에 공급되는 게이트 전압에 의해 상기 소오스전극(122)과 드레인전극(123) 간에 전도채널(conductive channel)을 형성하는 액티브패턴(124)을 포함한다.
- [0058] 상기 본 발명에 따른 액티브패턴(124)은 비정질 실리콘 박막으로 이루어지며, 상기 게이트전극(121) 상부에만 아일랜드 형태로 형성됨으로써 박막 트랜지스터의 오프전류를 감소시킬 수 있게 된다.
- [0059] 이때, 불투명한 도전물질로 이루어진 상기 소오스전극(122)과 드레인전극(123) 및 데이터라인(117)은 그 하부에 투명한 도전물질로 이루어지며 각각 상기 소오스전극(122)과 드레인전극(123) 및 데이터라인(117)과 동일한 형태로 패터닝된 소오스전극패턴(미도시)과 드레인전극패턴(미도시) 및 데이터라인패턴(미도시)이 형성되어 있다.
- [0060] 상기 소오스전극(122)의 일부는 일방향으로 연장되어 상기 데이터라인(117)의 일부를 구성하며, 상기 드레인전극패턴의 일부는 화소영역 쪽으로 연장되어 상기 화소전극(118)을 구성하게 된다.
- [0061] 이때, 전단 게이트라인(116')의 일부는 제 1 절연막(미도시)을 사이에 두고 그 상부의 화소전극(118)의 일부와 중첩되어 스토리지 커패시터(storage capacitor)(Cst)를 형성하게 된다. 상기 스토리지 커패시터(Cst)는 액정 커패시터에 인가된 전압을 다음 신호가 들어올 때까지 일정하게 유지시키는 역할을 한다. 즉, 상기 어레이 기관(110)의 화소전극(118)은 컬러필터 기관의 공통전극과 함께 액정 커패시터를 이루는데, 일반적으로 상기 액정 커패시터에 인가된 전압은 다음 신호가 들어올 때까지 유지되지 못하고 누설되어 사라진다. 따라서, 인가된 전압을 유지하기 위해서는 스토리지 커패시터(Cst)를 액정 커패시터에 연결해서 사용해야 한다.
- [0062] 이러한 스토리지 커패시터(Cst)는 신호 유지 이외에도 계조(gray scale) 표시의 안정과 플리커(flicker) 및 잔상(afterimage) 감소 등의 효과를 가진다.
- [0063] 여기서, 본 발명의 소오스/드레인전극(122, 123)과 화소전극(118) 및 패드부전극(126p, 127p)은 한번의 마스크 공정을 통해 형성하고 화소영역과 패드부를 동시에 오픈시킴으로써 총 4번의 마스크공정을 통해 어레이 기관(110)을 제작할 수 있게 되는데, 이를 다음의 액정표시장치의 제조방법을 통해 상세히 설명한다.
- [0064] 도 4a 내지 도 4d는 도 3에 도시된 어레이 기관의 IIIa-IIIa'선과 IIIb-IIIb'선 및 IIIc-IIIc'선에 따른 제조 공정을 순차적으로 나타내는 단면도로서, 좌측에는 화소부의 어레이 기관을 제조하는 공정을 나타내며 우측에는 차례대로 데이터패드부와 게이트패드부의 어레이 기관을 제조하는 공정을 나타내고 있다.
- [0065] 또한, 도 5a 내지 도 5d는 도 3에 도시된 어레이 기관의 제조공정을 순차적으로 나타내는 평면도이다.
- [0066] 도 4a 및 도 5a에 도시된 바와 같이, 유리와 같은 투명한 절연물질로 이루어진 어레이 기관(110)의 화소부에 게이트전극(121)과 게이트라인(116, 116')을 형성하며 게이트패드부에 게이트패드라인(116p)을 형성한다.
- [0067] 이때, 상기 도면부호 116'은 해당화소에 대한 전단의 게이트라인을 의미하며, 해당화소의 게이트라인(116)과 상기 전단 게이트라인(116')은 동일한 방식으로 형성된다.
- [0068] 이때, 상기 게이트전극(121)과 게이트라인(116, 116') 및 게이트패드라인(116p)은 제 1 도전막을 상기 어레이 기관(110) 전면에 증착한 후 포토리소그래피공정(제 1 마스크공정)을 통해 선택적으로 패터닝하여 형성하게 된다.
- [0069] 여기서, 상기 제 1 도전막으로 알루미늄(aluminium; Al), 알루미늄 합금(Al alloy), 텅스텐(tungsten; W), 구리(copper; Cu), 크롬(chromium; Cr), 몰리브덴(molybdenum; Mo) 등과 같은 저저항 불투명 도전물질을 사용할 수 있다. 또한, 상기 제 1 도전막은 상기 저저항 도전물질이 두 가지 이상 적층된 다층구조로 형성할 수도 있다.
- [0070] 다음으로, 도 4b 및 도 5b에 도시된 바와 같이, 상기 게이트전극(121)과 게이트라인(116, 116') 및 게이트패드라인(116p)이 형성된 어레이 기관(110) 전면에 제 1 절연막(115b), 비정질 실리콘 박막, n+ 비정질 실리콘 박막 및 제 2 도전막을 형성한 후, 포토리소그래피공정(제 2 마스크공정)을 통해 선택적으로 제거함으로써 상기 게이트전극(121) 상부에 상기 비정질 실리콘 박막으로 이루어진 액티브패턴(124)을 형성하는 동시에 상기 게이트패드

드라인(116p)의 일부를 노출시키는 게이트패드부 콘택홀(140)을 형성한다.

- [0071] 이때, 상기 액티브패턴(124) 상부에는 상기 n+ 비정질 실리콘 박막 및 제 2 도전막으로 이루어지며 상기 액티브패턴(124)과 동일한 형태로 패터닝된 n+ 비정질 실리콘 박막패턴(125') 및 제 2 도전막패턴(130')이 남아있게 된다.
- [0072] 또한, 상기 제 1 실시예에 따른 게이트패드부 콘택홀(140)은 상기 게이트패드라인(116p)과 평행한 방향으로 길게 형성할 수 있다.
- [0073] 여기서, 본 발명의 제 1 실시예에 따른 상기 액티브패턴(124)은 상기 제 1 절연막(115a)을 사이에 두고 상기 게이트전극(121) 상부에만 아일랜드 형태로 형성되며, 상기 액티브패턴(124)과 게이트패드부 콘택홀(140)은 하프-톤 마스크 또는 회절마스크(이하, 하프-톤 마스크를 지칭하는 경우에는 회절마스크를 포함하는 것으로 한다)를 이용하여 한번의 마스크공정(제 2 마스크공정)으로 동시에 형성하게 되는데, 이하 도면을 참조하여 상기 제 2 마스크공정을 상세히 설명한다.
- [0074] 도 6a 내지 도 6f는 도 4b 및 도 5b에 도시된 제 2 마스크공정을 구체적으로 나타내는 단면도이다.
- [0075] 도 6a에 도시된 바와 같이, 상기 게이트전극(121)과 게이트라인(116, 116') 및 게이트패드라인(116p)이 형성된 어레이 기판(110) 전면에서 제 1 절연막(115b), 비정질 실리콘 박막(120), n+ 비정질 실리콘 박막(125) 및 제 2 도전막(130)을 형성한다.
- [0076] 이때, 상기 제 2 도전막(130)은 후술할 n+ 비정질 실리콘 박막으로 이루어진 오믹-콘택층과 투명 도전막으로 이루어진 소오스/드레인전극패턴 사이의 접촉저항을 감소시키는 배리어메탈(barrier metal)층으로 사용되며, 몰리브덴과 같은 도전물질을 이용하여 50Å~100Å 두께로 형성할 수 있다.
- [0077] 이후, 도 6b에 도시된 바와 같이, 상기 어레이 기판(110) 전면에서 포토레지스트와 같은 감광성물질로 이루어진 감광막(170)을 형성한 후 제 1 실시예의 하프-톤 마스크(180)를 통해 상기 감광막(170)에 선택적으로 광을 조사한다.
- [0078] 이때, 상기 제 1 실시예에 사용한 하프-톤 마스크(180)에는 조사된 광을 모두 투과시키는 제 1 투과영역(I)과 광의 일부만 투과시키고 일부는 차단하는 제 2 투과영역(II) 및 조사된 모든 광을 차단하는 차단영역(III)이 마련되어 있으며, 상기 하프-톤 마스크(180)를 투과한 광만이 감광막(170)에 조사되게 된다.
- [0079] 이어서, 상기 하프-톤 마스크(180)를 통해 노광된 감광막(170)을 현상하고 나면, 도 6c에 도시된 바와 같이, 상기 차단영역(III)과 제 2 투과영역(II)을 통해 광이 모두 차단되거나 일부만 차단된 영역에는 소정 두께의 제 1 감광막패턴(170a)과 제 2 감광막패턴(170b)이 남아있게 되고, 모든 광이 투과된 제 1 투과영역(I)에는 상기 감광막이 완전히 제거되어 상기 제 2 도전막(130) 표면이 노출되게 된다.
- [0080] 이때, 상기 차단영역(III)에 형성된 제 1 감광막패턴(170a)은 제 2 투과영역(II)을 통해 형성된 제 2 감광막패턴(170b)보다 두껍게 형성된다. 또한, 상기 제 1 투과영역(I)을 통해 광이 모두 투과된 영역에는 감광막이 완전히 제거되는데, 이것은 포지티브 포토레지스트를 사용했기 때문이며, 본 발명이 이에 한정되는 것은 아니며 네거티브 포토레지스트를 사용하여도 무방하다.
- [0081] 다음으로, 도 6d에 도시된 바와 같이, 상기와 같이 형성된 제 1 감광막패턴(170a)과 제 2 감광막패턴(170b)을 마스크로 하여, 그 하부에 형성된 제 1 절연막(115b), 비정질 실리콘 박막(120), n+ 비정질 실리콘 박막(125) 및 제 2 도전막(130)을 선택적으로 제거하게 되면, 상기 어레이 기판(110)의 게이트패드부에 상기 게이트패드라인(116p)의 일부를 노출시키는 게이트패드부 콘택홀(140)이 형성된다.
- [0082] 이후, 상기 제 1 감광막패턴(170a)과 제 2 감광막패턴(170b)의 두께 일부를 제거하는 애싱공정을 진행하게 되면, 도 6e에 도시된 바와 같이, 상기 제 2 투과영역(II)의 제 2 감광막패턴이 완전히 제거되게 된다.
- [0083] 이때, 상기 제 1 감광막패턴은 상기 제 2 감광막패턴의 두께만큼이 제거된 제 3 감광막패턴(170a')으로 상기 차단영역(III)에 대응하는 액티브패턴영역에만 남아있게 된다.
- [0084] 이후, 도 6f에 도시된 바와 같이, 상기 남아있는 제 3 감광막패턴(170a')을 마스크로 하여 상기 비정질 실리콘 박막과 n+ 비정질 실리콘 박막 및 제 2 도전막의 일부를 제거함으로써 상기 게이트전극(121) 상부에 상기 비정질 실리콘 박막으로 이루어진 아일랜드 형태의 액티브패턴(124)을 형성한다.
- [0085] 이때, 상기 액티브패턴(124) 상부에는 상기 n+ 비정질 실리콘 박막 및 제 2 도전막으로 이루어지며 상기 액티브

패턴(124)과 동일한 형태로 패터닝된 n+ 비정질 실리콘 박막패턴(125') 및 제 2 도전막패턴(130')이 남아있게 된다.

- [0086] 이와 같이 본 발명에 따른 액티브패턴(124)은 상기 게이트전극(124) 상부에만 아일랜드 형태로 형성됨에 따라 박막 트랜지스터의 오프전류가 감소되는 이점을 제공한다.
- [0087] 다음으로, 도 4c 및 도 5c에 도시된 바와 같이, 상기 액티브패턴(124)이 형성된 어레이 기판(110) 전면에서 제 3 도전막과 제 4 도전막을 증착한 후, 포토리소그래피공정(제 3 마스크공정)을 이용하여 상기 제 3 도전막과 제 4 도전막의 일부영역을 제거함으로써 상기 어레이 기판(110)의 화소부에 상기 제 3 도전막으로 이루어진 화소전극(118)을 형성하는 동시에 상기 제 4 도전막으로 이루어진 소오스전극(122)과 드레인전극(123) 및 데이터라인(117)을 형성한다.
- [0088] 또한, 상기 제 3 마스크공정을 통해 상기 어레이 기판(110)의 데이터패드부 및 게이트패드부에는 각각 상기 제 3 도전막으로 이루어진 데이터패드전극(127p) 및 게이트패드전극(126p)이 형성되게 된다.
- [0089] 이때, 상기 소오스전극(122)과 드레인전극(123) 및 데이터라인(117)의 하부에는 각각 상기 제 3 도전막으로 이루어지며 상기 소오스전극(122)과 드레인전극(123) 및 데이터라인(117)의 형태대로 패터닝된 소오스전극패턴(122')과 드레인전극패턴(123') 및 데이터라인패턴(미도시)이 형성되게 된다.
- [0090] 또한, 상기 화소전극(118)과 데이터패드전극(127p) 및 게이트패드전극(126p)의 상부에는 각각 상기 제 4 도전막으로 이루어지며 상기 화소전극(118)과 데이터패드전극(127p) 및 게이트패드전극(126p)의 형태대로 패터닝된 화소전극패턴(150')과 데이터패드전극패턴(150'') 및 제 1 게이트패드전극패턴(150''')이 남아있게 된다.
- [0091] 또한, 상기 액티브패턴(124) 위에 형성되어 있는 n+ 비정질 실리콘 박막패턴은 상기 제 3 마스크공정을 통해 소정영역이 제거되어 상기 액티브패턴(124)과 소오스/드레인전극(122, 123) 사이를 오믹-콘택시키는 오믹-콘택(ohmic contact)층(125'')을 형성하게 되며, 상기 오믹-콘택층(125'') 상부에는 상기 제 2 도전막으로 이루어지며 상기 오믹-콘택층(125'')과 동일한 형태로 패터닝된 베리어메탈층(130'')이 형성되게 된다.
- [0092] 이때, 상기 게이트패드전극(126p)은 상기 게이트패드부 콘택홀을 통해 하부의 게이트패드라인(116p)과 전기적으로 접속하게 되며, 상기 화소전극(118)은 상기 드레인전극패턴(123')에 연결되어 상기 드레인전극(123)과 전기적으로 접속하게 된다.
- [0093] 여기서, 상기 제 3 도전막은 상기 화소전극(118)과 데이터패드전극(127p) 및 게이트패드전극(126p)을 구성하기 위해 인듐-틴-옥사이드(Indium Tin Oxide; ITO) 또는 인듐-징크-옥사이드(Indium Zinc Oxide; IZO)와 같은 투과율이 뛰어난 투명한 도전물질층을 포함한다.
- [0094] 또한, 상기 제 4 도전막은 상기 소오스전극(122)과 드레인전극(123) 및 데이터라인을 구성하기 위해 알루미늄(aluminium; Al), 알루미늄 합금(Al alloy), 텅스텐(tungsten; W), 구리(copper; Cu), 크롬(chromium; Cr), 몰리브덴(molybdenum; Mo) 등과 같은 저저항 불투명 도전물질로 이루어질 수 있다.
- [0095] 상기 본 발명의 제 1 실시예에 따른 데이터라인은 그 하부에 비정질 실리콘 박막으로 이루어진 액티브패턴의 테일(tail)이 존재하지 않아 상기 액티브패턴의 테일에 의한 상기 데이터라인의 신호간섭이 없게 된다. 참고로, 상기 액티브패턴의 테일은 회절마스크를 이용하여 액티브패턴과 소오스/드레인전극 및 데이터라인을 한번의 마스크공정으로 형성하는 과정에서 상기 데이터라인의 하부에 형성되게 되며, 상기 데이터라인의 폭보다 넓은 폭을 가지게 됨에 따라 상기 데이터라인의 신호간섭 및 개구율의 저하를 유발하게 된다.
- [0096] 그리고, 도 4d 및 도 5d에 도시된 바와 같이, 상기 어레이 기판(110) 전면에서 제 2 절연막(115b)을 형성한 후, 포토리소그래피공정(제 4 마스크공정)을 이용하여 상기 제 2 절연막(115b)을 선택적으로 제거함으로써 화소영역과 패드부를 오픈시킨다. 이때, 상기 제 2 절연막(115b)은 액정의 응답시간(response time)과 관련하여 액정표시장치의 셀갭을 줄이기 위해 그 두께를 얇게 할 수 있다.
- [0097] 이때, 상기 제 4 마스크공정을 통해 상기 화소전극패턴(150')과 데이터패드전극패턴(150'') 및 제 1 게이트패드전극패턴(150''')의 일부를 제거하여 상기 화소전극(118)과 데이터패드전극(127p) 및 게이트패드전극(126p)의 일부를 노출시킨다.
- [0098] 이때, 상기 데이터패드전극패턴과 제 1 게이트패드전극패턴은 그 일부가 제거되어 각각 데이터패드라인(117p)과 제 2 게이트패드전극패턴(126p')으로 남아있게 되며, 상기 데이터패드전극(127p)은 상기 데이터패드라인(117p)과 직접 전기적으로 접속하게 된다.

- [0099] 또한, 상기 해당 화소전극(118)의 일부는 전단 게이트라인(116')의 일부와 오버랩되도록 형성되어 그 하부의 제 1 절연막(115a)을 사이에 두고 상기 전단 게이트라인(116')과 함께 스토리지 커패시터(Cst)를 형성하게 된다.
- [0100] 이때, 도면부호 H는 상기 게이트패드전극(126p)의 일부를 노출시키는 게이트패드부 오픈홀을 나타낸다.
- [0101] 이때, 상기 제 1 실시예의 경우에는 상기 게이트패드부를 오픈하여 게이트패드부 오픈홀(H)을 형성할 때, 상기 제 4 도전막을 식각하는 과정에서 식각액이 하부의 제 3 도전막, 즉 상기 게이트패드전극(126p)을 뚫고 상기 게이트패드라인(116p)의 일부를 침식시키는 현상이 발생하기도 한다.
- [0102] 이하, 상기 게이트패드라인이 침식되는 현상을 방지하도록 한 본 발명의 제 2 실시예에 따른 액정표시장치 및 그 제조방법을 도면을 참조하여 상세히 설명한다.
- [0103] 도 7은 본 발명의 제 2 실시예에 따른 액정표시장치의 어레이 기판 일부를 개략적으로 나타내는 평면도로써, 게이트패드부의 구조를 제외하고는 상기 제 1 실시예의 어레이 기판과 동일한 구조로 되어 있다.
- [0104] 즉, 상기 제 2 실시예는 게이트패드라인의 일부를 노출시키는 게이트패드부 콘택홀과 상기 게이트패드부를 오픈시키는 게이트패드부 오픈홀의 위치를 서로 달리하여 형성함으로써 상기 게이트패드부를 오픈시키는 과정에서 상기 게이트패드라인의 침식을 방지할 수 있게 되는 것을 특징으로 한다.
- [0105] 도면에 도시된 바와 같이, 상기 제 2 실시예의 어레이 기판(210)에는 상기 어레이 기판(210) 위에 중첩으로 배열되어 화소영역을 정의하는 게이트라인(216)과 데이터라인(217)이 형성되어 있다. 또한, 상기 게이트라인(216)과 데이터라인(217)의 교차영역에는 스위칭소자인 박막 트랜지스터가 형성되어 있으며, 상기 화소영역 내에는 상기 박막 트랜지스터에 연결되어 컬러필터 기판(미도시)의 공통전극과 함께 액정(미도시)을 구동시키는 화소전극(218)이 형성되어 있다.
- [0106] 이때, 상기 어레이 기판(210)의 가장자리 영역에는 상기 게이트라인(216)과 데이터라인(217)에 각각 전기적으로 접속하는 게이트패드전극(226p)과 데이터패드전극(227p)이 형성되어 있으며, 외부의 구동회로부(미도시)로부터 인가 받은 주사신호와 데이터신호를 각각 상기 게이트라인(216)과 데이터라인(217)에 전달하게 된다.
- [0107] 즉, 상기 게이트라인(216)과 데이터라인(217)은 구동회로부 쪽으로 연장되어 각각 해당하는 게이트패드라인(216p)과 데이터패드라인(217p)에 연결되며, 상기 게이트패드라인(216p)과 데이터패드라인(217p)은 상기 게이트패드라인(216p)과 데이터패드라인(217p)에 각각 전기적으로 접속된 게이트패드전극(226p)과 데이터패드전극(227p)을 통해 구동회로부로부터 각각 주사신호와 데이터신호를 인가 받게 된다.
- [0108] 이때, 도면부호 240은 게이트패드부 콘택홀을 나타내며, 상기 게이트패드전극(226p)은 상기 게이트패드부 콘택홀(240)을 통해 상기 게이트패드라인(217p)과 전기적으로 접속하게 된다. 또한, 도면부호 H는 게이트패드부 오픈홀을 나타내며, 상기 게이트패드부 오픈홀(H)을 통해 상기 게이트패드전극(226p)의 일부가 외부로 노출되게 된다.
- [0109] 여기서, 상기 제 2 실시예의 게이트패드부 콘택홀(240)과 게이트패드부 오픈홀(H)은 서로 다른 위치에 형성되는 것을 특징으로 한다.
- [0110] 상기 박막 트랜지스터는 게이트라인(216)에 연결된 게이트전극(221), 데이터라인(217)에 연결된 소오스전극(222) 및 화소전극(218)에 연결된 드레인전극(223)으로 구성되어 있다. 또한, 상기 박막 트랜지스터는 상기 게이트전극(221)에 공급되는 게이트 전압에 의해 상기 소오스전극(222)과 드레인전극(223) 간에 전도채널을 형성하는 액티브패턴(224)을 포함한다.
- [0111] 이때, 불투명한 도전물질로 이루어진 상기 소오스전극(222)과 드레인전극(223) 및 데이터라인(217)은 그 하부에 투명한 도전물질로 이루어지며 각각 상기 소오스전극(222)과 드레인전극(223) 및 데이터라인(217)과 동일한 형태로 패터닝된 소오스전극패턴(미도시)과 드레인전극패턴(미도시) 및 데이터라인패턴(미도시)이 형성되어 있다.
- [0112] 상기 소오스전극(222)의 일부는 일방향으로 연장되어 상기 데이터라인(217)의 일부를 구성하며, 상기 드레인전극패턴의 일부는 화소영역 쪽으로 연장되어 상기 화소전극(218)을 구성하게 된다.
- [0113] 이때, 전단 게이트라인(216')의 일부는 제 1 절연막(미도시)을 사이에 두고 그 상부의 화소전극(218)의 일부와 중첩되어 스토리지 커패시터(Cst)를 형성하게 된다.
- [0114] 전술한 바와 같이 상기 제 2 실시예의 경우에는 상기 게이트패드부 콘택홀과 게이트패드부 오픈홀의 위치를 서로 달리하여 형성함으로써 상기 게이트패드부를 오픈시키는 과정에서 상기 게이트패드라인의 침식을 방지할 수

있게 되는데, 이를 다음의 액정표시장치의 제조방법을 통해 상세히 설명한다.

- [0115] 도 8a 내지 도 8d는 도 7에 도시된 어레이 기판의 VIIa-VIIa'선과 VIIb-VIIb'선 및 VIIc-VIIc'선에 따른 제조 공정을 순차적으로 나타내는 단면도로써, 좌측에는 화소부의 어레이 기판을 제조하는 공정을 나타내며 우측에는 차례대로 데이터패드부와 게이트패드부의 어레이 기판을 제조하는 공정을 나타내고 있다.
- [0116] 도 8a에 도시된 바와 같이, 유리wa와 같은 투명한 절연물질로 이루어진 어레이 기판(210)의 화소부에 게이트전극(221)과 게이트라인(216, 216')을 형성하며 게이트패드부에 게이트패드라인(216p)을 형성한다.
- [0117] 이때, 상기 도면부호 216'은 해당화소에 대한 전단의 게이트라인을 의미하며, 해당화소의 게이트라인(216)과 상기 전단 게이트라인(216')은 동일한 방식으로 형성된다.
- [0118] 이때, 상기 게이트전극(221)과 게이트라인(216, 216') 및 게이트패드라인(216p)은 제 1 도전막을 상기 어레이 기판(210) 전면에 증착한 후 포토리소그래피공정(제 1 마스크공정)을 통해 선택적으로 패터닝하여 형성하게 된다.
- [0119] 다음으로, 도 8b에 도시된 바와 같이, 상기 게이트전극(221)과 게이트라인(216, 216') 및 게이트패드라인(216p)이 형성된 어레이 기판(210) 전면에 제 1 절연막(215b), 비정질 실리콘 박막, n+ 비정질 실리콘 박막 및 제 2 도전막을 형성한 후, 포토리소그래피공정(제 2 마스크공정)을 통해 선택적으로 제거함으로써 상기 게이트전극(221) 상부에 상기 비정질 실리콘 박막으로 이루어진 액티브패턴(224)을 형성하는 동시에 상기 게이트패드라인(216p)의 일부를 노출시키는 게이트패드부 콘택홀(240)을 형성한다.
- [0120] 이때, 상기 액티브패턴(224) 상부에는 상기 n+ 비정질 실리콘 박막 및 제 2 도전막으로 이루어지며 상기 액티브패턴(224)과 동일한 형태로 패터닝된 n+ 비정질 실리콘 박막패턴(225') 및 제 2 도전막패턴(230')이 남아있게 된다.
- [0121] 이때, 상기 제 2 실시예에 따른 게이트패드부 콘택홀(240)은 상기 게이트패드라인(216p)의 양측에 적어도 하나씩 형성할 수 있으며, 다만 본 발명이 상기 게이트패드부 콘택홀(240)의 개수에 한정되는 것은 아니다.
- [0122] 여기서, 본 발명의 제 2 실시예에 따른 액티브패턴(224)은 전술한 제 1 실시예의 경우와 동일하게 상기 제 1 절연막(215a)을 사이에 두고 상기 게이트전극(221) 상부에만 아일랜드 형태로 형성되며, 상기 액티브패턴(224)과 게이트패드부 콘택홀(240)은 하프-톤 마스크를 이용하여 한번의 마스크공정(제 2 마스크공정)으로 동시에 형성하게 된다.
- [0123] 다음으로, 도 8c에 도시된 바와 같이, 상기 액티브패턴(224)이 형성된 어레이 기판(210) 전면에 제 3 도전막과 제 4 도전막을 증착한 후, 포토리소그래피공정(제 3 마스크공정)을 이용하여 상기 제 3 도전막과 제 4 도전막의 일부영역을 제거함으로써 상기 어레이 기판(210)의 화소부에 상기 제 3 도전막으로 이루어진 화소전극(218)을 형성하는 동시에 상기 제 4 도전막으로 이루어진 소오스전극(222)과 드레인전극(223) 및 데이터라인(미도시)을 형성한다.
- [0124] 또한, 상기 제 3 마스크공정을 통해 상기 어레이 기판(210)의 데이터패드부 및 게이트패드부에는 각각 상기 제 3 도전막으로 이루어진 데이터패드전극(227p) 및 게이트패드전극(226p)이 형성되게 된다.
- [0125] 이때, 상기 소오스전극(222)과 드레인전극(223) 및 데이터라인의 하부에는 각각 상기 제 3 도전막으로 이루어지며 상기 소오스전극(222)과 드레인전극(223) 및 데이터라인의 형태대로 패터닝된 소오스전극패턴(222')과 드레인전극패턴(223') 및 데이터라인패턴(미도시)이 형성되게 된다.
- [0126] 또한, 상기 화소전극(218)과 데이터패드전극(227p) 및 게이트패드전극(226p)의 상부에는 각각 상기 제 4 도전막으로 이루어지며 상기 화소전극(218)과 데이터패드전극(227p) 및 게이트패드전극(226p)의 형태대로 패터닝된 화소전극패턴(250')과 데이터패드전극패턴(250'') 및 제 1 게이트패드전극패턴(250''')이 남아있게 된다.
- [0127] 또한, 상기 액티브패턴(224) 위에 형성되어 있는 n+ 비정질 실리콘 박막패턴은 상기 제 3 마스크공정을 통해 소정영역이 제거되어 상기 액티브패턴(224)과 소오스/드레인전극(222, 223) 사이를 오믹-콘택시키는 오믹-콘택층(225'')을 형성하게 되며, 상기 오믹-콘택층(225'') 상부에는 상기 제 2 도전막으로 이루어지며 상기 오믹-콘택층(225'')과 동일한 형태로 패터닝된 베리어메탈층(230'')이 형성되게 된다.
- [0128] 이때, 상기 게이트패드전극(226p)은 상기 게이트패드부 콘택홀을 통해 하부의 게이트패드라인(216p)과 전기적으로 접속하게 되며, 상기 화소전극(218)은 상부의 드레인전극패턴(223')을 통해 상기 드레인전극(223)과 전기적으로 접속하게 된다.

- [0129] 여기서, 본 발명의 제 2 실시예의 액정표시장치는 상기 게이트패드부 콘택홀이 위치하는 얇은 게이트패드전극(226p)과 게이트패드라인(216p) 사이에 제 1 절연막(215a)이 개재되어 있는 것을 특징으로 한다.
- [0130] 그리고, 도 8d에 도시된 바와 같이, 상기 어레이 기관(210) 전면에서 제 2 절연막(215b)을 형성한 후, 포토리소그래피공정(제 4 마스크공정)을 이용하여 상기 제 2 절연막(215b)을 선택적으로 제거함으로써 화소영역과 패드부를 오픈시킨다.
- [0131] 이때, 상기 제 4 마스크공정을 통해 상기 화소전극패턴(250')과 데이터패드전극패턴(250") 및 제 1 게이트패드전극패턴(250')의 일부를 제거하여 상기 화소전극(218)과 데이터패드전극(227p) 및 게이트패드전극(226p)의 일부를 노출시킨다.
- [0132] 이때, 상기 데이터패드전극패턴과 제 1 게이트패드전극패턴은 그 일부가 제거되어 각각 데이터패드라인(217p)과 제 2 게이트패드전극패턴(226p')으로 남아있게 되며, 상기 데이터패드전극(227p)은 상기 데이터패드라인(217p)과 직접 전기적으로 접속하게 된다.
- [0133] 또한, 상기 해당 화소전극(218)의 일부는 전단 게이트라인(216')의 일부와 오버랩되도록 형성되어 그 하부의 제 1 절연막(215a)을 사이에 두고 상기 전단 게이트라인(216')과 함께 스토리지 커패시터를 형성하게 된다.
- [0134] 이때, 도면부호 H는 상기 게이트패드전극(226p)의 일부를 노출시키는 게이트패드부 오픈홀을 나타낸다.
- [0135] 이때, 전술한 바와 같이 상기 제 2 실시예의 경우에는 상기 게이트패드부 오픈홀(H)이 상기 게이트패드부 콘택홀이 형성되지 않은 위치에 형성되며, 상기 위치의 게이트패드전극(226p)과 게이트패드라인(216p) 사이에는 제 1 절연막(215a)이 개재되어 있기 때문에, 상기 제 4 도전막을 식각하는 과정에서 하부의 제 3 도전막, 즉 상기 게이트패드전극(226p)이 일부 식각 되더라도 상기 게이트패드라인(216p)의 상부에는 제 1 절연막(215a)이 형성되어 있어 상기 게이트패드라인(216p)이 침식되는 현상이 발생하지 않게 된다.
- [0136] 다만, 상기 제 2 실시예의 경우에는 오토-프로브(auto probe) 검사공정을 진행할 때 전류가 상기 투명 도전막으로 이루어진 게이트패드전극(226p)으로만 흐르기 때문에 저항에 의한 신호지연이 발생하게 된다.
- [0137] 이하, 상기 게이트패드라인의 침식 및 신호지연을 방지하도록 한 본 발명의 제 3 실시예에 따른 액정표시장치 및 그 제조방법을 도면을 참조하여 상세히 설명한다.
- [0138] 도 9는 본 발명의 제 3 실시예에 따른 액정표시장치의 어레이 기관 일부를 개략적으로 나타내는 평면도로써, 게이트패드부의 구조를 제외하고는 상기 제 1 실시예와 제 2 실시예의 어레이 기관과 동일한 구조로 되어 있다.
- [0139] 즉, 상기 제 3 실시예는 제 2 절연막을 식각할 때 게이트패드부 콘택홀 상부에 상기 제 2 절연막을 남겨놓아 게이트패드라인의 침식을 방지하는 동시에 상기 게이트패드부 콘택홀을 다수개 형성하여 상기 게이트패드라인과 게이트패드전극의 접속을 강화함으로써 신호지연을 방지할 수 있게 되는 것을 특징으로 한다.
- [0140] 도면에 도시된 바와 같이, 상기 제 3 실시예의 어레이 기관(310)에는 상기 어레이 기관(310) 위에 중첩으로 배열되어 화소영역을 정의하는 게이트라인(316)과 데이터라인(317)이 형성되어 있다. 또한, 상기 게이트라인(316)과 데이터라인(317)의 교차영역에는 스위칭소자인 박막 트랜지스터가 형성되어 있으며, 상기 화소영역 내에는 상기 박막 트랜지스터에 연결되어 컬러필터 기관(미도시)의 공통전극과 함께 액정(미도시)을 구동시키는 화소전극(318)이 형성되어 있다.
- [0141] 이때, 상기 어레이 기관(310)의 가장자리 영역에는 상기 게이트라인(316)과 데이터라인(317)에 각각 전기적으로 접속하는 게이트패드전극(326p)과 데이터패드전극(327p)이 형성되어 있으며, 외부의 구동회로부(미도시)로부터 인가 받은 주사신호와 데이터신호를 각각 상기 게이트라인(316)과 데이터라인(317)에 전달하게 된다.
- [0142] 즉, 상기 게이트라인(316)과 데이터라인(317)은 구동회로부 쪽으로 연장되어 각각 해당하는 게이트패드라인(316p)과 데이터패드라인(317p)에 연결되며, 상기 게이트패드라인(316p)과 데이터패드라인(317p)은 상기 게이트패드라인(316p)과 데이터패드라인(317p)에 각각 전기적으로 접속된 게이트패드전극(326p)과 데이터패드전극(327p)을 통해 구동회로부로부터 각각 주사신호와 데이터신호를 인가 받게 된다.
- [0143] 이때, 도면부호 340은 게이트패드부 콘택홀을 나타내며, 상기 게이트패드전극(326p)은 상기 게이트패드부 콘택홀(340)을 통해 상기 게이트패드라인(317p)과 전기적으로 접속하게 된다. 또한, 도면부호 H는 게이트패드부 오픈홀을 나타내며, 상기 게이트패드부 오픈홀(H)을 통해 상기 게이트패드전극(326p)의 일부가 외부로 노출되게 된다.

- [0144] 여기서, 상기 제 3 실시예의 게이트패드부 콘택홀(340)은 상기 게이트패드부 오픈홀(H)이 위치하는 영역에 다수 개 형성되며, 상기 게이트패드부 콘택홀(340)의 상부에는 제 2 절연막(미도시)이 남아있는 것을 특징으로 한다.
- [0145] 상기 박막 트랜지스터는 게이트라인(316)에 연결된 게이트전극(321), 데이터라인(317)에 연결된 소오스전극(322) 및 화소전극(318)에 연결된 드레인전극(323)으로 구성되어 있다. 또한, 상기 박막 트랜지스터는 상기 게이트전극(321)에 공급되는 게이트 전압에 의해 상기 소오스전극(322)과 드레인전극(323) 간에 전도채널을 형성하는 액티브패턴(324)을 포함한다.
- [0146] 이때, 불투명한 도전물질로 이루어진 상기 소오스전극(322)과 드레인전극(323) 및 데이터라인(317)은 그 하부에 투명한 도전물질로 이루어지며 각각 상기 소오스전극(322)과 드레인전극(323) 및 데이터라인(317)과 동일한 형태로 패터닝된 소오스전극패턴(미도시)과 드레인전극패턴(미도시) 및 데이터라인패턴(미도시)이 형성되어 있다.
- [0147] 상기 소오스전극(322)의 일부는 일방향으로 연장되어 상기 데이터라인(317)의 일부를 구성하며, 상기 드레인전극패턴의 일부는 화소영역 쪽으로 연장되어 상기 화소전극(318)을 구성하게 된다.
- [0148] 이때, 전단 게이트라인(316')의 일부는 제 1 절연막(미도시)을 사이에 두고 그 상부의 화소전극(318)의 일부와 중첩되어 스토리지 커패시터(Cst)를 형성하게 된다.
- [0149] 전술한 바와 같이 상기 제 3 실시예의 경우에는 상기 제 2 절연막을 식각할 때 상기 게이트패드부 콘택홀 상부에 상기 제 2 절연막을 남겨놓아 상기 게이트패드라인의 침식을 방지하는 동시에 상기 게이트패드부 콘택홀을 다수개 형성하여 상기 게이트패드라인과 게이트패드전극의 접촉을 강화함으로써 신호지연을 방지할 수 있게 되는데, 이를 다음의 액정표시장치의 제조방법을 통해 상세히 설명한다.
- [0150] 도 10a 내지 도 10d는 도 9에 도시된 어레이 기판의 IXa-IXa'선과 IXb-IXb'선 및 IXc-IXc'선에 따른 제조공정을 순차적으로 나타내는 단면도로서, 좌측에는 화소부의 어레이 기판을 제조하는 공정을 나타내며 우측에는 차례대로 데이터패드부와 게이트패드부의 어레이 기판을 제조하는 공정을 나타내고 있다.
- [0151] 도 10a에 도시된 바와 같이, 유리wafer와 같은 투명한 절연물질로 이루어진 어레이 기판(310)의 화소부에 게이트전극(321)과 게이트라인(316, 316')을 형성하며 게이트패드부에 게이트패드라인(316p)을 형성한다.
- [0152] 이때, 상기 도면부호 316'은 해당화소에 대한 전단의 게이트라인을 의미하며, 해당화소의 게이트라인(316)과 상기 전단 게이트라인(316')은 동일한 방식으로 형성된다.
- [0153] 이때, 상기 게이트전극(321)과 게이트라인(316, 316') 및 게이트패드라인(316p)은 제 1 도전막을 상기 어레이 기판(310) 전면에 증착한 후 포토리소그래피공정(제 1 마스크공정)을 통해 선택적으로 패터닝하여 형성하게 된다.
- [0154] 다음으로, 도 10b에 도시된 바와 같이, 상기 게이트전극(321)과 게이트라인(316, 316') 및 게이트패드라인(316p)이 형성된 어레이 기판(310) 전면에 제 1 절연막(315b), 비정질 실리콘 박막, n+ 비정질 실리콘 박막 및 제 2 도전막을 형성한 후, 포토리소그래피공정(제 2 마스크공정)을 통해 선택적으로 제거함으로써 상기 게이트전극(321) 상부에 상기 비정질 실리콘 박막으로 이루어진 액티브패턴(324)을 형성하는 동시에 상기 게이트패드라인(316p)의 일부를 노출시키는 게이트패드부 콘택홀(340)을 형성한다.
- [0155] 이때, 상기 액티브패턴(324) 상부에는 상기 n+ 비정질 실리콘 박막 및 제 2 도전막으로 이루어지며 상기 액티브패턴(324)과 동일한 형태로 패터닝된 n+ 비정질 실리콘 박막패턴(325') 및 제 2 도전막패턴(330')이 남아있게 된다.
- [0156] 이때, 상기 제 3 실시예에 따른 게이트패드부 콘택홀(340)은 상기 게이트패드라인(316p) 위에 다수개 형성되는 것을 특징으로 한다.
- [0157] 다음으로, 도 10c에 도시된 바와 같이, 상기 액티브패턴(324)이 형성된 어레이 기판(310) 전면에 제 3 도전막과 제 4 도전막을 증착한 후, 포토리소그래피공정(제 3 마스크공정)을 이용하여 상기 제 3 도전막과 제 4 도전막의 일부영역을 제거함으로써 상기 어레이 기판(310)의 화소부에 상기 제 3 도전막으로 이루어진 화소전극(318)을 형성하는 동시에 상기 제 4 도전막으로 이루어진 소오스전극(322)과 드레인전극(323) 및 데이터라인(미도시)을 형성한다.
- [0158] 또한, 상기 제 3 마스크공정을 통해 상기 어레이 기판(310)의 데이터패드부 및 게이트패드부에는 각각 상기 제 3 도전막으로 이루어진 데이터패드전극(327p) 및 게이트패드전극(326p)이 형성되게 된다.

- [0159] 이때, 상기 소오스전극(322)과 드레인전극(323) 및 데이터라인의 하부에는 각각 상기 제 3 도전막으로 이루어지며 상기 소오스전극(322)과 드레인전극(323) 및 데이터라인의 형태대로 패터닝된 소오스전극패턴(322')과 드레인전극패턴(323') 및 데이터라인패턴(미도시)이 형성되게 된다.
- [0160] 또한, 상기 화소전극(318)과 데이터패드전극(327p) 및 게이트패드전극(326p)의 상부에는 각각 상기 제 4 도전막으로 이루어지며 상기 화소전극(318)과 데이터패드전극(327p) 및 게이트패드전극(326p)의 형태대로 패터닝된 화소전극패턴(350')과 데이터패드전극패턴(350'') 및 제 1 게이트패드전극패턴(350''')이 남아있게 된다.
- [0161] 또한, 상기 액티브패턴(324) 위에 형성되어 있는 n+ 비정질 실리콘 박막패턴은 상기 제 3 마스크공정을 통해 소정영역이 제거되어 상기 액티브패턴(324)과 소오스/드레인전극(322, 323) 사이를 오믹-콘택시키는 오믹-콘택층(325'')을 형성하게 되며, 상기 오믹-콘택층(325'') 상부에는 상기 제 2 도전막으로 이루어지며 상기 오믹-콘택층(325'')과 동일한 형태로 패터닝된 베리어메탈층(330'')이 형성되게 된다.
- [0162] 이때, 상기 게이트패드전극(326p)은 상기 게이트패드부 콘택홀을 통해 하부의 게이트패드라인(316p)과 전기적으로 접속하게 되며, 상기 화소전극(318)은 상부의 드레인전극패턴(323')을 통해 상기 드레인전극(323)과 전기적으로 접속하게 된다.
- [0163] 여기서, 본 발명의 제 3 실시예의 액정표시장치는 상기 제 2 실시예의 액정표시장치와 동일하게 상기 게이트패드부 콘택홀이 위치하는 얇은 게이트패드전극(326p)과 게이트패드라인(316p) 사이에 제 1 절연막(315a)이 개재되어 있는 것을 특징으로 한다.
- [0164] 그리고, 도 10d에 도시된 바와 같이, 상기 어레이 기판(310) 전면에서 제 2 절연막(315b)을 형성한 후, 포토리소그래피공정(제 4 마스크공정)을 이용하여 상기 제 2 절연막(315b)을 선택적으로 제거함으로써 화소영역 및 패드부를 오픈시킨다.
- [0165] 이때, 상기 제 4 마스크공정을 통해 상기 화소전극패턴(350')과 데이터패드전극패턴(350'') 및 제 1 게이트패드전극패턴(350''')의 일부를 제거하여 상기 화소전극(318)과 데이터패드전극(327p) 및 게이트패드전극(326p)의 일부를 노출시킨다.
- [0166] 이때, 상기 데이터패드전극패턴과 제 1 게이트패드전극패턴은 그 일부가 제거되어 각각 데이터패드라인(317p)과 제 2 게이트패드전극패턴(326p')으로 남아있게 되며, 상기 데이터패드전극(327p)은 상기 데이터패드라인(317p)과 직접 전기적으로 접속하게 된다.
- [0167] 또한, 상기 해당 화소전극(318)의 일부는 전단 게이트라인(316')의 일부와 오버랩되도록 형성되어 그 하부의 제 1 절연막(315a)을 사이에 두고 상기 전단 게이트라인(316')과 함께 스토리지 커패시터를 형성하게 된다.
- [0168] 이때, 도면부호 H는 상기 게이트패드전극(326p)의 일부를 노출시키는 게이트패드부 오픈홀을 나타낸다.
- [0169] 이때, 전술한 바와 같이 상기 제 3 실시예의 경우에는 상기 제 2 절연막(315b)을 식각할 때 상기 게이트패드부 콘택홀(340) 상부에 상기 제 2 절연막(315b)이 남아있도록 하며 상기 게이트패드전극(326p)과 게이트패드라인(316p) 사이에 제 1 절연막(315a)을 개재시킴으로써 상기 제 4 마스크공정을 진행하는 과정에서 상기 게이트패드라인(316p)이 침식되는 현상이 발생하지 않게 된다. 또한, 상기 제 3 실시예의 경우에는 상기 게이트패드부 콘택홀(340)을 다수개 형성하여 상기 게이트패드라인(316p)과 게이트패드전극(326p)의 접속을 강화함으로써 신호손실을 방지할 수 있게 된다.
- [0170] 이와 같이 구성된 상기 제 1 실시예 내지 제 3 실시예의 어레이 기판은 화상표시 영역의 외곽에 형성된 실린드에 의해 컬러필터 기판과 대향하여 합착되게 되는데, 이때 상기 컬러필터 기판에는 상기 박막 트랜지스터와 게이트라인 및 데이터라인으로 빛이 새는 것을 방지하는 블랙매트릭스와 적, 녹 및 청색의 컬러를 구현하기 위한 컬러필터가 형성되어 있다.
- [0171] 이때, 상기 컬러필터 기판과 어레이 기판의 합착은 상기 컬러필터 기판 또는 어레이 기판에 형성된 합착키를 통해 이루어진다.
- [0172] 전술한 바와 같이 상기 본 발명의 제 1 실시예 내지 제 3 실시예에 따른 액티브패턴은 비정질 실리콘 박막으로 이루어지며, 상기 게이트전극 상부에만 아일랜드 형태로 형성됨으로써 박막 트랜지스터의 오프전류를 감소시킬 수 있게 된다.
- [0173] 그리고, 상기 본 발명의 제 1 실시예 내지 제 3 실시예에 따른 데이터라인은 그 하부에 비정질 실리콘 박막으로 이루어진 액티브패턴의 테일(tail)이 존재하지 않아 상기 액티브패턴의 테일에 의한 상기 데이터라인의 신호간

섭이 없게 되며, 상기 액티브패턴의 테일 폭만큼 개구율이 증가하게 된다. 또한, 상기 액티브패턴의 테일이 존재하지 않음으로 웨이비 노이즈가 발생하지 않아 고화질의 액정표시장치를 제작 할 수 있게 된다.

[0174] 다만, 상기 제 1 실시예 내지 제 3 실시예는 액티브패턴으로 비정질 실리콘 박막을 이용한 비정질 실리콘 박막 트랜지스터를 예를 들어 설명하고 있으나, 본 발명이 이에 한정되는 것은 아니며 본 발명은 상기 액티브패턴으로 다결정 실리콘 박막을 이용한 다결정 실리콘 박막 트랜지스터에도 적용된다.

[0175] 또한, 본 발명은 액정표시장치뿐만 아니라 박막 트랜지스터를 이용하여 제작하는 다른 표시장치, 예를 들면 구동 트랜지스터에 유기전계발광소자(Organic Light Emitting Diodes; OLED)가 연결된 유기전계발광 디스플레이장치에도 이용될 수 있다.

[0176] 상기한 설명에 많은 사항이 구체적으로 기재되어 있으나 이것은 발명의 범위를 한정하는 것이라기보다 바람직한 실시예의 예시로서 해석되어야 한다. 따라서 발명은 설명된 실시예에 의하여 정할 것이 아니고 특허청구범위와 특허청구범위에 균등한 것에 의하여 정하여져야 한다.

발명의 효과

[0177] 상술한 바와 같이, 본 발명에 따른 액정표시장치 및 그 제조방법은 박막 트랜지스터 제조에 사용되는 마스크수를 줄여 제조공정 및 비용을 절감시키는 효과를 제공한다.

[0178] 또한, 본 발명에 따른 액정표시장치 및 그 제조방법은 액티브패턴의 테일이 존재하지 않아 데이터라인의 신호간섭이 없으며 상기 액티브패턴의 테일 폭만큼 개구율이 증가하게 된다.

[0179] 또한, 본 발명에 따른 액정표시장치 및 그 제조방법은 웨이브 노이즈가 발생하지 않아 고화질의 액정표시장치를 제작 할 수 있는 효과를 제공한다.

[0180] 또한, 본 발명에 따른 액정표시장치 및 그 제조방법은 게이트패드부의 구조를 개선하여 게이트패드라인이 침식되는 현상 및 신호지연을 방지함으로써 불량률을 낮출 수 있기 때문에 생산수율을 개선할 수 있는 효과가 있다.

도면의 간단한 설명

[0001] 도 1은 일반적인 액정표시장치를 개략적으로 나타내는 분해사시도.

[0002] 도 2a 내지 도 2e는 도 1에 도시된 액정표시장치에 있어서, 어레이 기관의 제조공정을 순차적으로 나타내는 단면도.

[0003] 도 3은 본 발명의 제 1 실시예에 따른 액정표시장치의 어레이 기관 일부를 개략적으로 나타내는 평면도.

[0004] 도 4a 내지 도 4d는 도 3에 도시된 어레이 기관의 IIIa-IIIa'선과 IIIb-IIIb'선 및 IIIc-IIIc'선에 따른 제조공정을 순차적으로 나타내는 단면도.

[0005] 도 5a 내지 도 5d는 도 3에 도시된 어레이 기관의 제조공정을 순차적으로 나타내는 평면도.

[0006] 도 6a 내지 도 6f는 도 4b 및 도 5b에 도시된 제 2 마스크공정을 구체적으로 나타내는 단면도.

[0007] 도 7은 본 발명의 제 2 실시예에 따른 액정표시장치의 어레이 기관 일부를 개략적으로 나타내는 평면도.

[0008] 도 8a 내지 도 8d는 도 7에 도시된 어레이 기관의 VIIa-VIIa'선과 VIIb-VIIb'선 및 VIIc-VIIc'선에 따른 제조공정을 순차적으로 나타내는 단면도.

[0009] 도 9는 본 발명의 제 3 실시예에 따른 액정표시장치의 어레이 기관 일부를 개략적으로 나타내는 평면도.

[0010] 도 10a 내지 도 10d는 도 9에 도시된 어레이 기관의 IXa-IXa'선과 IXb-IXb'선 및 IXc-IXc'선에 따른 제조공정을 순차적으로 나타내는 단면도.

[0011] ** 도면의 주요부분에 대한 부호의 설명 **

[0012] 110,210,310 : 어레이 기관 116,216,316 : 게이트라인

[0013] 116p,216p,316p : 게이트패드라인 117,217,317 : 데이터라인

[0014] 117p,217p,317p : 데이터패드라인 118,218,318 : 화소전극

[0015] 121,221,321 : 게이트전극 122,222,223 : 소오스전극

- [0016]

123,223,323 : 드레인전극

124,224,324 : 액티브패턴
- [0017]

126p,226p,326p : 게이트패드전극

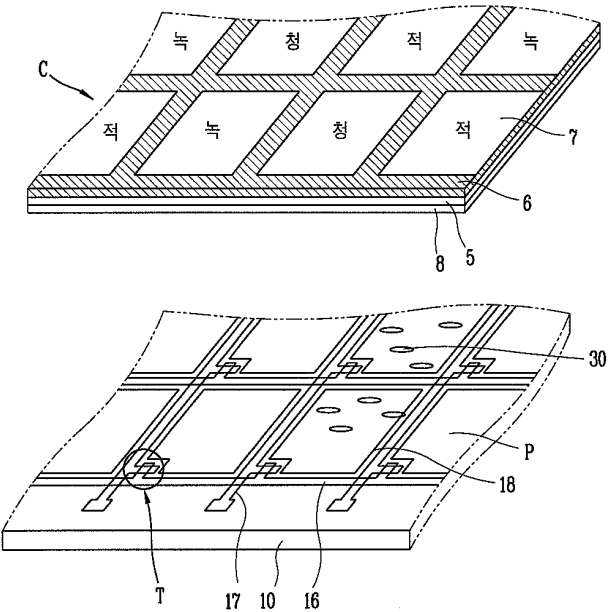
127p,227p,327p : 데이터패드전극
- [0018]

140,240,340 : 콘택홀

H : 오픈홀

도면

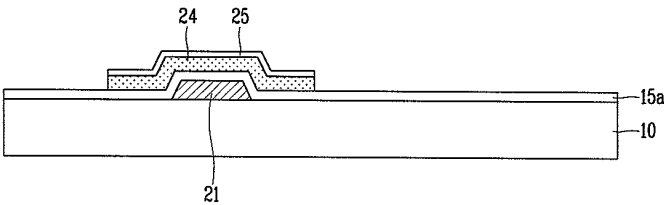
도면1



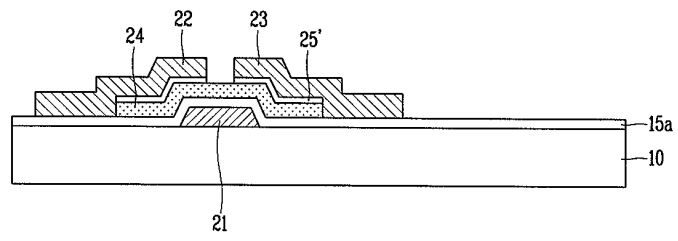
도면2a



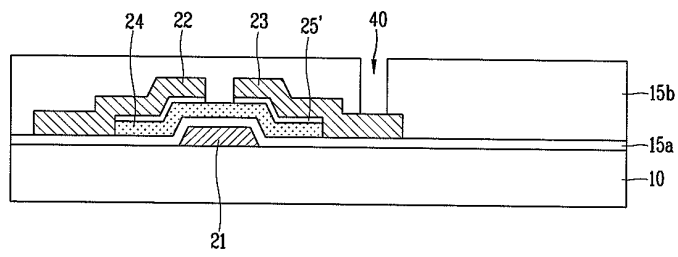
도면2b



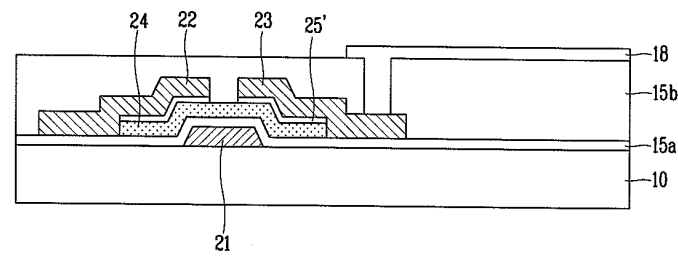
도면2c



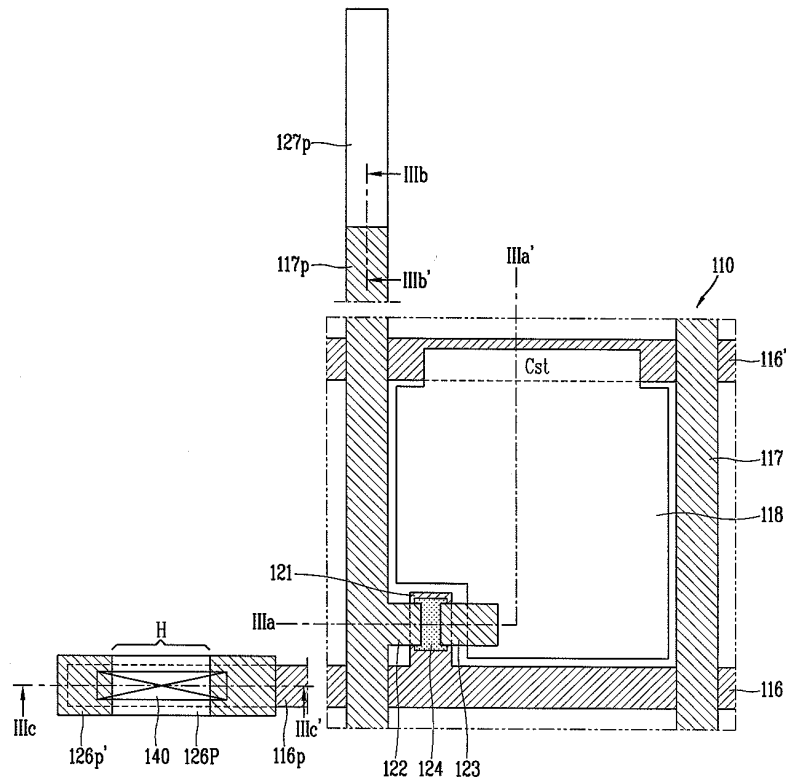
도면2d



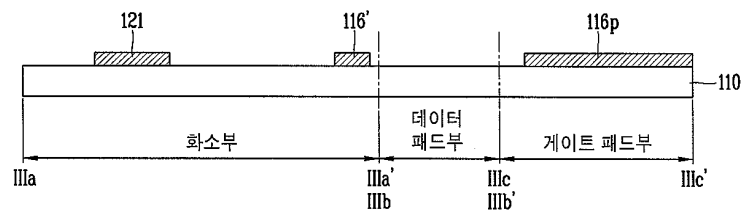
도면2e



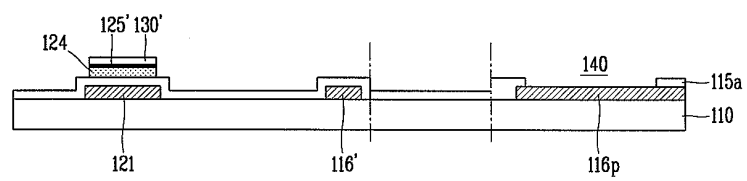
도면3



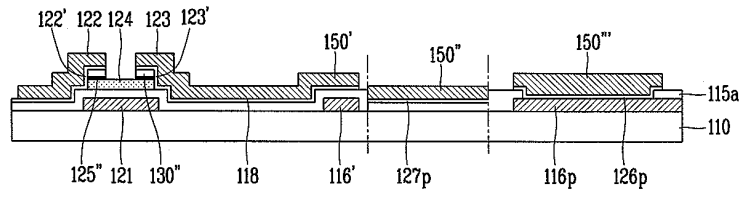
도면4a



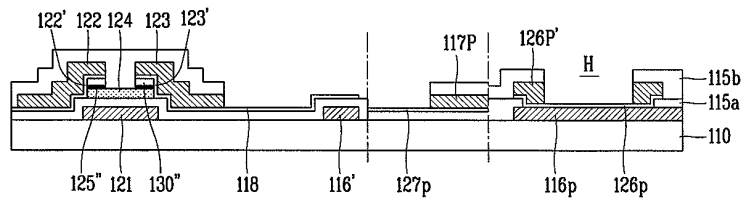
도면4b



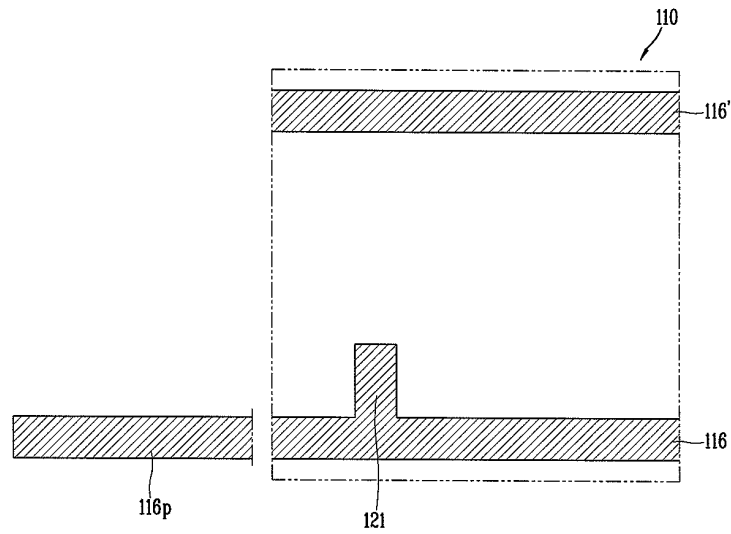
도면4c



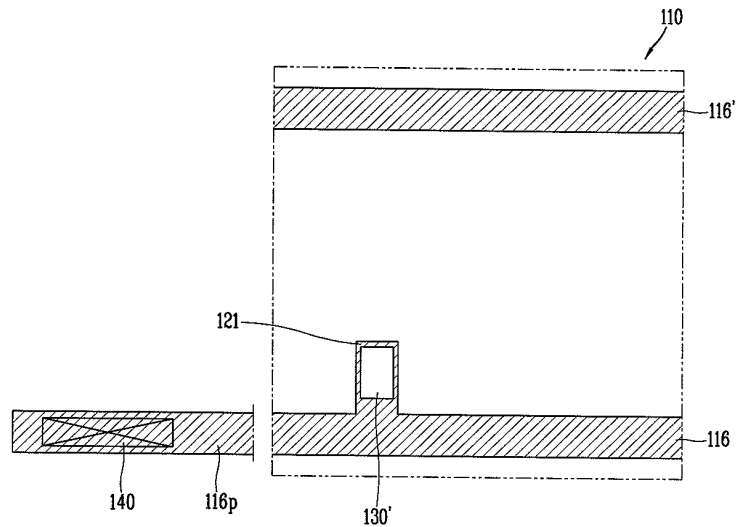
도면4d



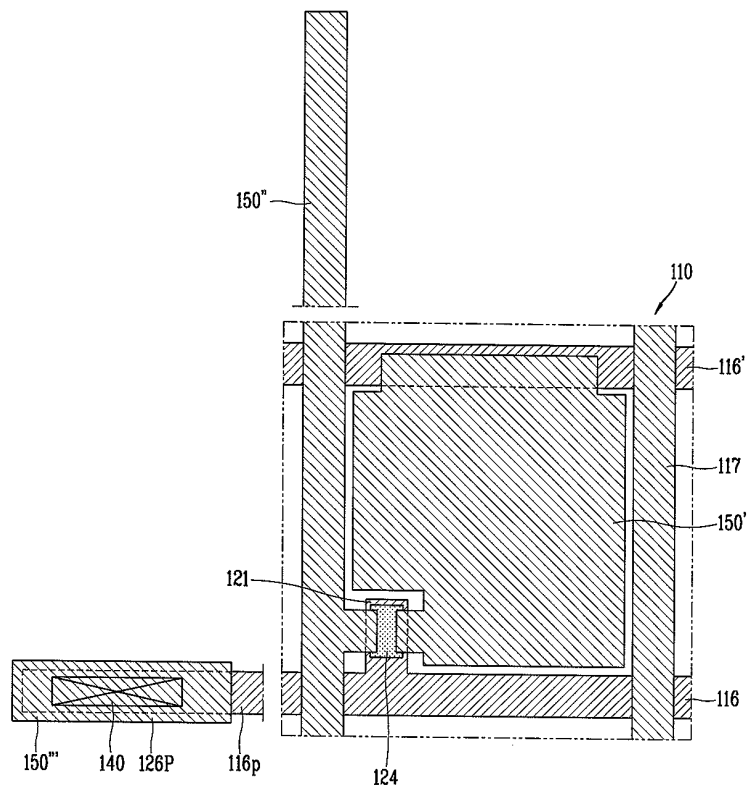
도면5a



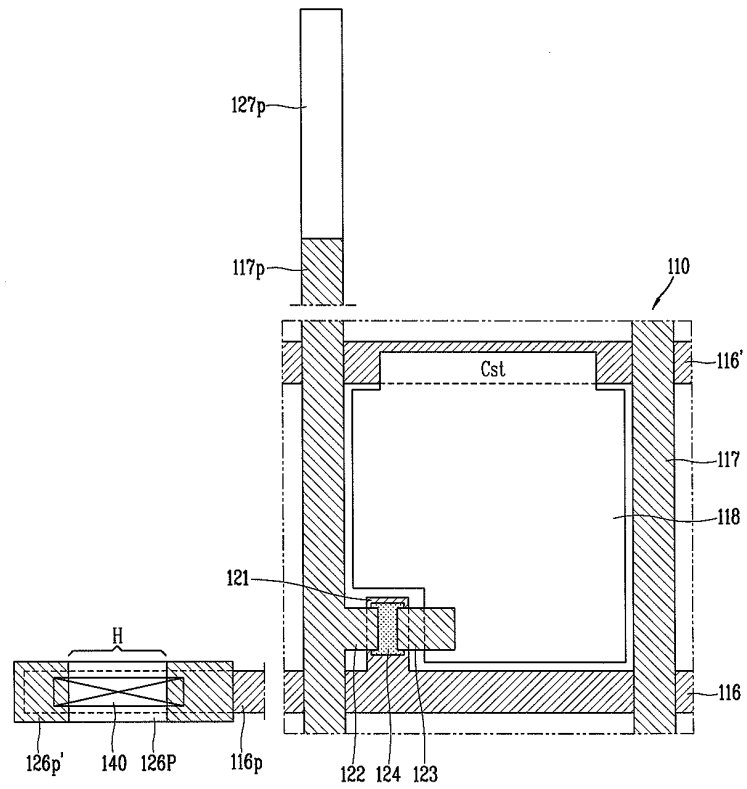
도면5b



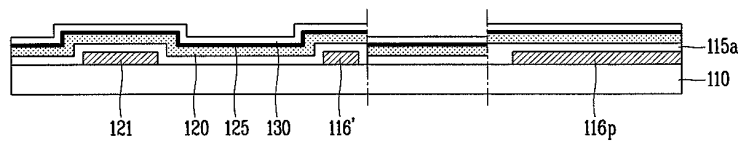
도면5c



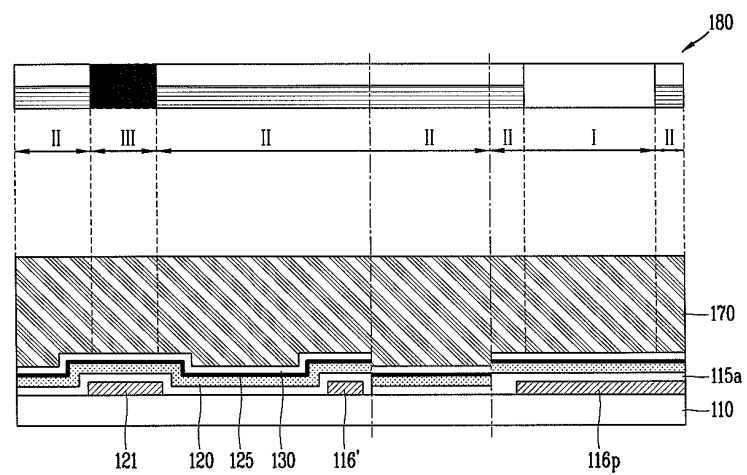
도면5d



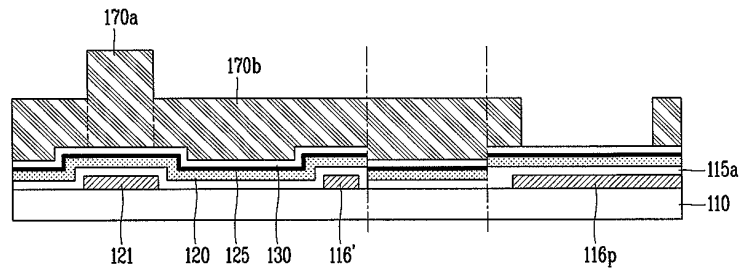
도면6a



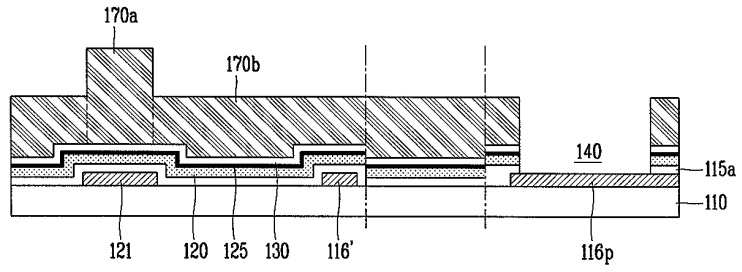
도면 6b



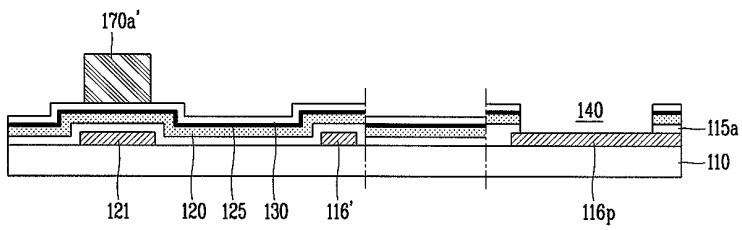
도면6c



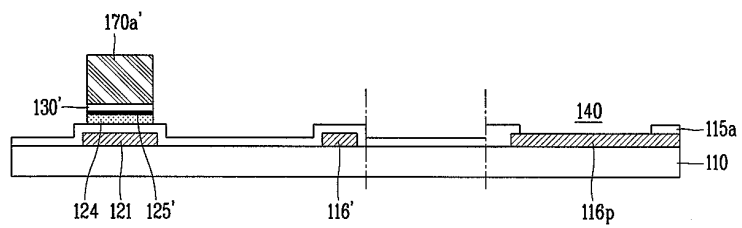
도면6d



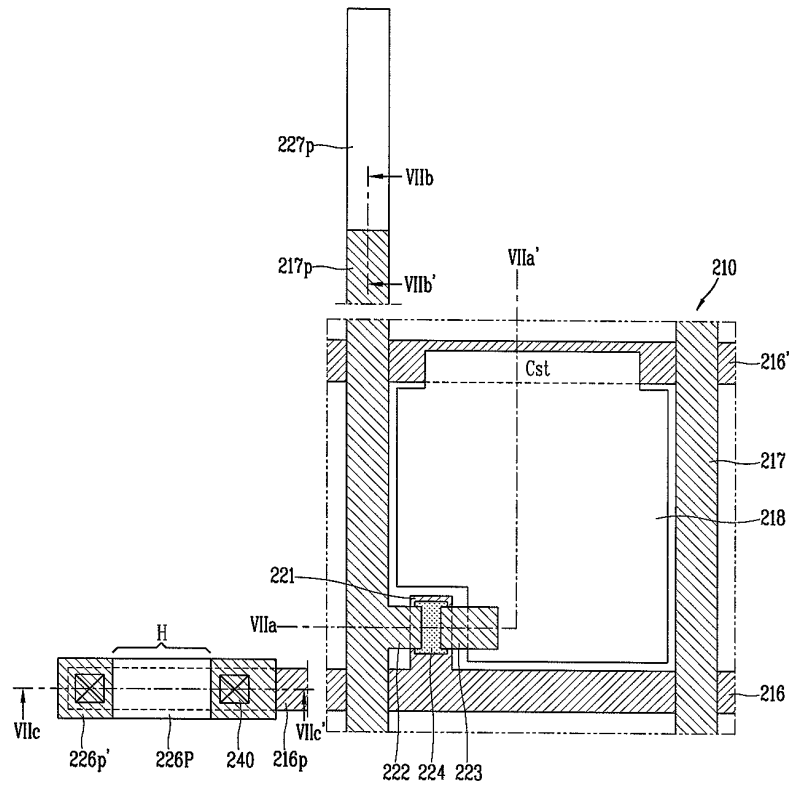
도면6e



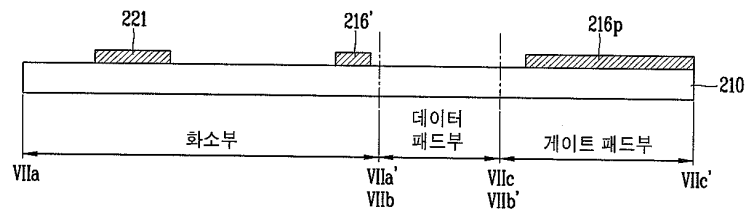
도면6f



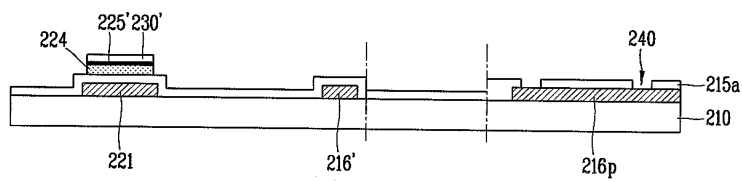
도면7



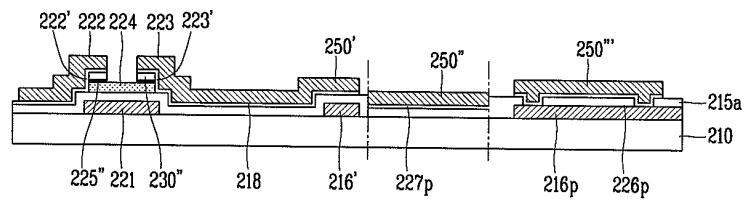
도면8a



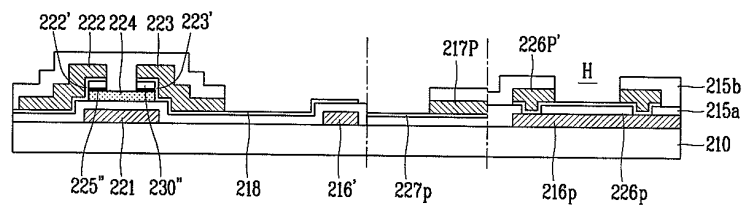
도면8b



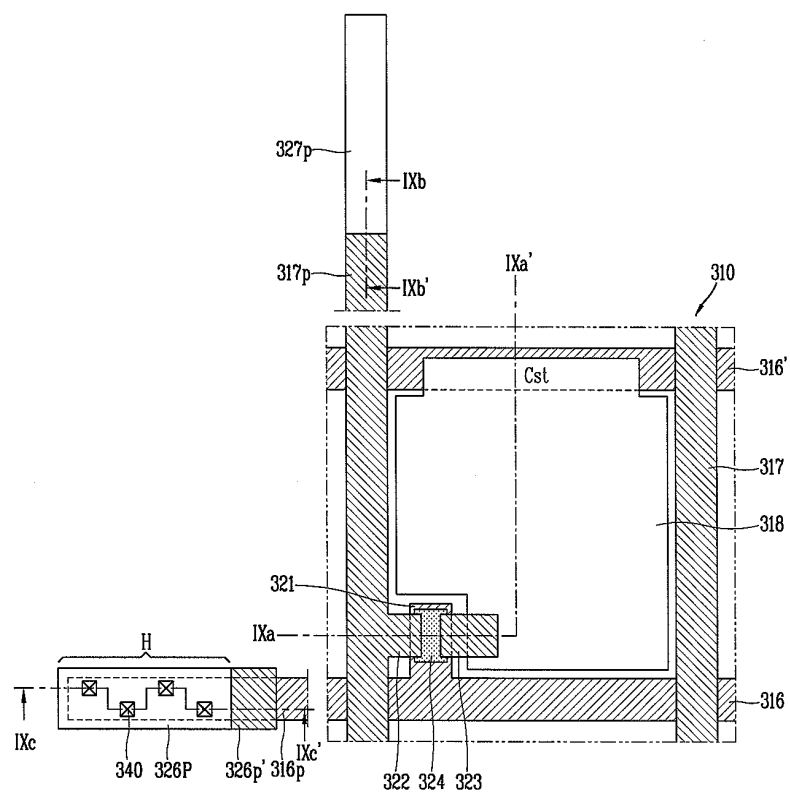
도면8c



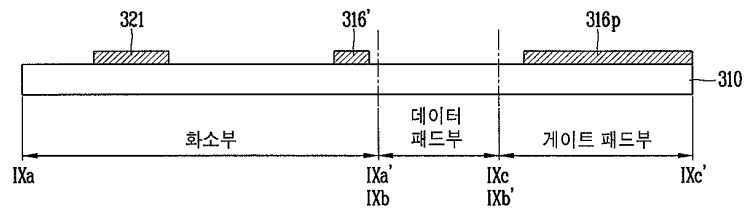
도면 8d



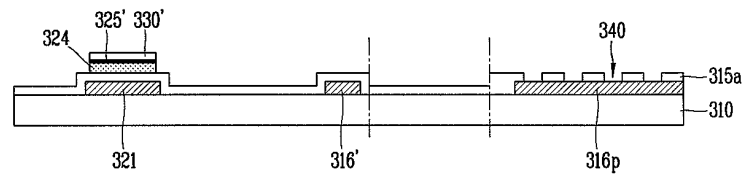
도면9



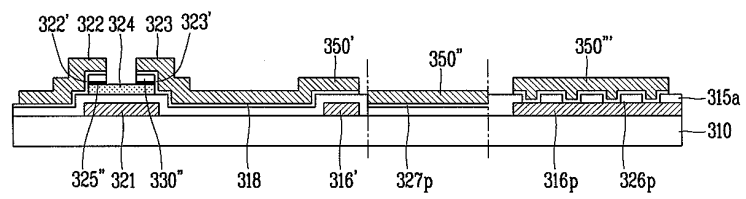
도면10a



도면 10b



도면10c



도면10d

