



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년02월18일
(11) 등록번호 10-0942838
(24) 등록일자 2010년02월09일

(51) Int. Cl.

G02F 1/133 (2006.01)

(21) 출원번호 10-2003-0085133

(22) 출원일자 2003년11월27일

심사청구일자 2008년10월09일

(65) 공개번호 10-2005-0051361

(43) 공개일자 2005년06월01일

(56) 선행기술조사문헌

JP2000206489 A

JP2000137459 A

(73) 특허권자

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

윤세창

대구광역시달서구월성동500-13월성우방아파트102동401호

정기열

경상북도칠곡군석적면중리224-1기숙사

(74) 대리인

특허법인로알

전체 청구항 수 : 총 7 항

심사관 : 이강하

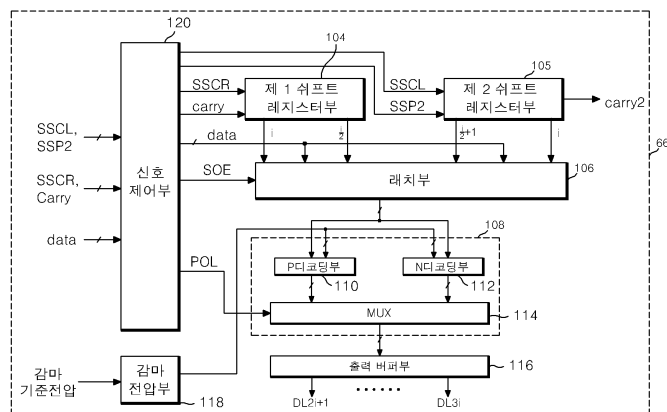
(54) 액정표시장치의 구동장치

(57) 요약

본 발명은 홀수개의 데이터 집적회로를 포함하는 액정표시장치에서 좌/우분할 구동이 가능하도록 한 액정표시장치의 구동장치에 관한 것이다.

본 발명의 액정표시장치의 구동장치는 좌측부와 우측부로 나뉘어 구동되는 액정패널과, 좌측부에 형성되는 데이터라인들로 제 1데이터를 공급하기 위한 적어도 하나 이상의 제 1데이터 집적회로와, 우측부에 형성되는 데이터라인들을 제 2데이터를 공급하기 위한 적어도 하나 이상의 제 2데이터 집적회로와, 좌측부 및 우측부의 경계부에 위치되어 좌측부에 형성된 데이터라인 및 우측부에 형성된 데이터라인들로 제 1데이터 및 제 2데이터를 각각 공급하기 위한 제 3데이터 집적회로와, 제 1데이터 및 제 2데이터를 교번적으로 출력함과 아울러 제 1소스 쉬프트 클럭을 제 1데이터 집적회로 및 제 3데이터 집적회로로 공급하고, 제 1소스 쉬프트 클럭과 상이한 위상을 가지는 제 2소스 쉬프트 클럭을 제 2데이터 집적회로 및 제 3데이터 집적회로로 공급하기 위한 타이밍 제어부를 구비한다.

대표도 - 도7



특허청구의 범위

청구항 1

좌측부와 우측부로 나뉘어 구동되는 액정패널과,

상기 좌측부에 형성되는 데이터라인들로 제 1데이터를 공급하기 위한 적어도 하나 이상의 제 1데이터 집적회로와,

상기 우측부에 형성되는 데이터라인들을 제 2데이터를 공급하기 위한 적어도 하나 이상의 제 2데이터 집적회로와,

상기 좌측부 및 우측부의 경계부에 위치되어 상기 좌측부에 형성된 데이터라인 및 상기 우측부에 형성된 데이터라인들로 제 1데이터 및 제 2데이터를 각각 공급하기 위한 제 3데이터 집적회로와,

상기 제 1데이터 및 제 2데이터를 교번적으로 출력함과 아울러 제 1소스 쉬프트 클럭을 제 1데이터 집적회로 및 제 3데이터 집적회로로 공급하고, 제 1소스 쉬프트 클럭과 상이한 위상을 가지는 제 2소스 쉬프트 클럭을 제 2데이터 집적회로 및 제 3데이터 집적회로로 공급하기 위한 타이밍 제어부를 구비하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 2

제 1항에 있어서,

상기 타이밍 제어부는 상기 좌측부에 형성된 상기 제 1데이터 집적회로 중 어느 하나의 데이터 집적회로로 제 1소스 스타트 펄스를 공급함과 아울러 상기 제 3데이터 집적회로로 제 2소스 스타트 펄스를 공급하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 3

제 2항에 있어서,

상기 제 1소스 쉬프트 클럭과 상기 제 2쉬프트 클럭은 180도의 위상차를 갖는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 4

제 3항에 있어서,

상기 제 3데이터 집적회로는

상기 제 1소스 쉬프트 클럭 및 캐리신호가 입력될 때 $i/2$ 개(i 는 자연수)의 제 1샘플링신호를 첫번째 래치 내지 $i/2$ 번째 래치로 공급하기 위한 제 1쉬프트 레지스터부와,

상기 제 2소스 쉬프트 클럭 및 제 2소스 스타트 펄스가 입력될 때 $i/2$ 개(i 는 자연수)의 제 2샘플링신호를 $i/2+1$ 번째 래치 내지 i 번째 래치로 공급하기 위한 제 2쉬프트 레지스터부와,

상기 제 1쉬프트 레지스터부 및 제 2쉬프트 레지스터부로부터 공급되는 제 1 및 제 2샘플링신호에 의하여 상기 제 1 및 제 2데이터를 래치하기 위한 래치부를 구비하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 5

제 4항에 있어서,

상기 래치부는 상기 제 1샘플링신호가 입력될 때 상기 제 1데이터를 래치하고, 상기 제 2샘플링신호가 입력될 때 상기 제 2데이터를 래치하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 6

제 4항에 있어서,

상기 캐리신호는 상기 좌측부에 설치된 제 1데이터 집적회로로부터 공급되는 것을 특징으로 하는 액정표시장치

의 구동장치.

청구항 7

제 4항에 있어서,

상기 제 3데이터 집적회로는

상기 래치부에 저장된 제 1 및 제 2데이터를 공급받아 정극성의 비디오신호 및 부극성의 비디오신호로 변화시키
기 위한 디지털-아날로그 변환부와,

상기 디지털-아날로그 변환부에서 변환된 제 1 및 제 2데이터를 자신에게 접속된 i개의 데이터라인들로 공급하
기 위한 출력버퍼부를 구비하는 것을 특징으로 하는 액정표시장치의 구동장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0018] 본 발명은 액정표시장치의 구동장치에 관한 것으로 특히, 홀수개의 데이터 집적회로를 포함하는 액정표시장치에
서 좌/우분할 구동이 가능하도록 한 액정표시장치의 구동장치에 관한 것이다.
- [0019] 액정표시장치는 전계를 이용하여 액정의 광 투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정
표시장치는 화소 매트릭스를 가지는 액정패널과 액정패널을 구동하기 위한 구동회로를 구비한다. 구동회로는
화상정보가 표시패널에 표시되도록 화소 매트릭스를 구동하게 된다.
- [0020] 도 1은 종래의 액정표시장치를 나타내는 도면이다.
- [0021] 도 1을 참조하면, 종래의 액정표시장치는 액정패널(2)과, 액정패널(2)의 데이터라인들(DL1 내지 DLm)을 구동하
기 위한 데이터 드라이버(4)와, 액정패널(2)의 게이트라인들(GL0 내지 GLn)을 구동하기 위한 게이트 드라이버
(6)와, 데이터 및 게이트 드라이버(4,6)의 구동 타이밍을 제어하기 위한 타이밍 제어부(8)와, 액정셀에 공통전
압(Vcom)을 공급하기 위한 공통전압 생성부(10)를 구비한다.
- [0022] 타이밍 제어부(8)는 외부 시스템으로부터 도트 클럭(DCLK), 수평동기신호(Hsync), 수직동기신호(Vsync), 데이터
인에이블(Data Enable ; DE) 및 데이터(Data) 등을 입력받는다. 데이터를 입력받은 타이밍 제어부(8)는 데이터
를 재배치하여 데이터 드라이버(4)로 공급한다. 도트 클럭, 수평동기신호, 수직동기신호 및 데이터 인에이블
신호를 입력받은 타이밍 제어부(8)는 데이터 및 게이트 드라이버(4,6)의 타이밍을 제어하기 위한 타이밍 신호들
과 극성반전신호 등과 같은 제어신호들을 발생하게 된다.
- [0023] 액정패널(2)은 n개의 게이트라인들(GL1 내지 GLn)과 m개의 데이터라인들(DL1 내지 DLm)의 교차부에 각각 형성된
박막 트랜지스터(TFT)와, 박막 트랜지스터(TFT)에 접속되고 매트릭스 형태로 배열되어진 액정셀들을 구비한다.
- [0024] 박막 트랜지스터(TFT)는 게이트라인(GL1 내지 GLn)으로부터의 게이트신호에 응답하여 데이터라인(DL1 내지 DL
m)으로부터의 데이터를 액정셀로 공급한다. 액정셀은 액정을 사이에 두고 대면하는 공통전극과, 박막 트랜지스
터(TFT)에 접속된 화소전극으로 구성되므로 등가적으로 액정 캐패시터(Clc)로 표시될 수 있다. 이러한 액정셀
은 액정 캐패시터(Clc)에 충전된 데이터전압을 다음 데이터전압이 충전될 때 까지 유지시키기 위하여 이전단 게
이트라인에 접속된 스토리지 캐패시터(Cst)를 포함한다.
- [0025] 게이트 드라이버(6)는 타이밍 제어부(8)로부터의 제어신호에 따라 게이트 라인들(GL1 내지 GLn)에 순차적으로
게이트신호를 공급한다. 데이터 드라이버(4)는 타이밍 제어부(8)로부터 공급되는 데이터(R,G,B)를 아날로그 신
호인 비디오신호로 변환하여 게이트라인들(GL1 내지 GLn)에 게이트신호가 공급되는 1수평주기마다 1수평라인분
의 비디오신호를 데이터라인들(DL1 내지 DLm)로 공급한다.
- [0026] 데이터 드라이버(4)는 데이터(R,G,B)의 휘도값에 따라 소정 직류레벨을 가지는 감마전압을 선택하고, 선택된 감
마전압을 데이터라인들(DL1 내지 DLm)로 공급한다.
- [0027] 공통전압 생성부(10)는 공통전압(Vcom)을 생성하고, 생성된 공통전압(Vcom)을 액정 캐패시터(Clc)의 일측전극인

공통전극으로 공급한다.

- [0028] 이와 같은 종래의 액정표시장치는 1수평기간안이 m 개의 데이터를 데이터 드라이버로 공급하여야 하기 때문에 도트 클럭이 높은 주파수를 가져야 한다. 이와 같이 도트 클럭이 높은 주파수를 갖게되면 액정표시장치에서 높은 EMI(Electromagnetic Interference)가 발생된다. 아울러, 종래의 액정표시장치는 1수평기간안이 m 개의 데이터를 데이터 드라이버로 공급하여야 하기 때문에 빠른 전송속도가 요구됨과 아울러 많은 소비전력이 소비되는 문제점이 있다.
- [0029] 이와 같은 문제점을 해결하기 위하여 도 2와 같은 종래의 다른 실시예에 의한 액정표시장치가 제안되었다.
- [0030] 도 2는 종래의 다른 실시예에 의한 액정표시장치를 나타내는 도면이다. 도 2의 구성에서 게이트 드라이버 및 액정셀의 상세한 구조는 생략되었다.
- [0031] 도 2를 참조하면, 종래의 다른 실시예에 의한 액정표시장치는 좌측부(14)와 우측부(16)로 분할되는 액정패널(12)과, 좌측부(14)의 데이터라인들(DL1 내지 DL m /2)을 구동하기 위한 제 1데이터 구동부(18)와, 우측부(16)의 데이터라인들(DL m /2+1 내지 DL m)을 구동하기 위한 제 2데이터 구동부(20)와, 제 1 및 제 2데이터 구동부(18,20)의 구동 타이밍을 제어하기 위한 타이밍 제어부(22)를 구비한다.
- [0032] 액정패널(12)은 좌측부(14)와 우측부(16)로 분할되어 구동된다. 여기서, 좌측부(14) 및 우측부(16)는 동시에 구동된다.
- [0033] 타이밍 제어부(22)는 외부 시스템으로부터 데이터 클럭(DCLK), 수평동기신호(Hsync), 수직동기신호(Vsync), 데이터 인에이블(DE) 및 데이터(Data)등을 입력받는다. 데이터를 입력받은 타이밍 제어부(22)는 제 1데이터 구동부(18) 및 제 2데이터 구동부(20)로 좌측부(14) 및 우측부(16)의 데이터를 교번적으로 공급한다. 그리고, 타이밍 제어부(22)는 제 1데이터 구동부(18)로 제 1소스 스타트 펄스(SSP1) 및 제 1소스 쉬프트 클럭(SSCL)을 공급함과 아울러 제 2데이터 구동부(20)로 제 2소스 스타트 펄스(SSP2) 및 제 2소스 쉬프트 클럭(SSCR)을 공급한다. 실제로, 타이밍 제어부(22)는 극성제어신호(POL) 및 소스 출력 인에이블(SOE) 등의 제어신호들을 제 1 및 제 2데이터 구동부(18,20)로 더 공급하지만 설명의 편의성을 위하여 생략하기로 한다.
- [0034] 제 1데이터 구동부(18)는 제 1소스 스타트 펄스(SSP1) 및 제 1소스 쉬프트 클럭(SSCL)에 의하여 제어되면서 타이밍 제어부(22)로부터 공급되는 데이터 중 좌측부(14)의 데이터를 래치하여 좌측부(14)의 데이터라인들(DL1 내지 DL m /2)로 공급한다. 제 2데이터 구동부(20)는 제 2소스 스타트 펄스(SSP2) 및 제 2소스 쉬프트 클럭(SSCR)에 의하여 제어되면서 타이밍 제어부(22)로부터 공급되는 데이터 중 우측부(16)의 데이터를 래치하여 데이터라인들(DL m /2+1 내지 DL m)로 공급한다.
- [0035] 이와 같은 제 1데이터 구동부(18) 및 제 2데이터 구동부(20) 각각에는 도 3과 같이 동일한 수의 데이터 집적회로(Integrated Circuit : IC)(24)들이 포함된다. 데이터 IC(24)들 각각은 자신에게 공급되는 데이터를 아날로그 비디오신호를 변환하여 데이터라인들(DL)로 공급한다.
- [0036] 이를 위해, 데이터 IC(24)들 각각은 도 4에 도시된 바와 같이 순차적으로 샘플링신호를 공급하는 쉬프트 레지스터부(34)와, 샘플링신호에 응답하여 데이터(Data)를 순차적으로 래치하여 동시에 출력하는 래치부(36)와, 래치부(36)로부터의 데이터(Data)를 아날로그 비디오신호로 변환하는 디지털-아날로그 변환부(이하, "DAC부"라 함)(38)와, DAC부(38)로부터의 비디오신호를 완충하여 출력하는 출력 버퍼부(46)를 구비한다.
- [0037] 또한, 데이터 IC(24)들 각각은 타이밍 제어부(22)로부터 공급되는 제어신호들과 데이터(Data)를 중계하는 신호 제어부(30)와, DAC부(38)에서 필요로하는 정극성 및 부극성 감마전압들을 공급하는 감마 전압부(32)를 구비한다. 이러한 구성을 가지는 데이터 IC(24)들은 i (예를 들어, i 는 384, 480)개의 채널, i 개의 데이터라인들(DL)을 구동하게 된다.
- [0038] 신호제어부(30)는 타이밍 제어부(22)로부터 각종 제어신호들(SSP, SSC, SOE, REV, POL 등) 및 데이터(Data)가 해당 구성요소들로 출력되게 제어한다.
- [0039] 감마전압부(32)는 감마 기준전압 발생부(도시되지 않음)로부터 입력되는 다수개의 감마 기준전압을 그레이별로 세분화하여 출력한다.
- [0040] 쉬프트 레지스터부(34)에는 다수의 쉬프트 레지스터들이 포함되어 신호제어부(30)로부터의 소스 스타트 펄스(SSP1 or SSP2)를 소스 샘플링 클럭(SSCL or SSCR)에 대응하여 순차적으로 쉬프트시켜 샘플링신호를 출력한다.

- [0041] 래치부(36)는 쉬프트 레지스터부(34)로부터의 샘플링신호에 응답하여 신호제어부(30)로부터의 데이터(Data)를 일정단위씩 순차적으로 샘플링하여 래치하게 된다. 이를 위하여 래치부는 i 개의 데이터(Data)를 래치하기 위해 i 개의 래치들로 구성되고, 그 래치들 각각은 데이터의 비트수(예를 들면 3비트 또는 6비트)에 대응하는 크기를 갖는다. 그리고, 래치부(36)는 신호제어부(30)로부터의 소스 출력 인에이블(SOE) 신호에 응답하여 래치된 n 개의 데이터들을 동시에 출력한다.
- [0042] DAC부(38)는 래치부(36)로부터의 데이터(Data)를 동시에 정극성 및 부극성 비디오신호로 변환하여 출력한다. 이를 위하여 DAC부(38)는 래치부(36)에 공통 접속된 P(Positive) 디코딩부(40) 및 N(Negative) 디코딩부(42)와, P 디코딩부(40) 및 N 디코딩부(42)의 출력신호를 선택하기 위한 멀티플렉서(MUX)(44)를 구비한다.
- [0043] P디코딩부(40)에 포함된 i 개의 P 디코더들은 래치부(36)로부터 입력되는 데이터를 정극성 비디오신호로 변환한다. N디코딩부(42)에 포함된 i 개의 N 디코더들은 래치부(36)로부터 입력되는 데이터를 부극성 비디오신호로 변환한다.
- [0044] 멀티 플렉서(MUX)(44)는 신호 제어부(30)로부터의 극성제어신호(POL)에 응답하여 P디코딩부(40) 및 N디코딩부(42)로부터의 비디오신호를 선택적으로 출력시킨다. 출력버퍼부(46)는 멀티 플렉서(44)로부터의 비디오신호들을 신호완충하여 데이터라인들(DL)로 공급한다.
- [0045] 한편, 타이밍 제어부(22)로부터 공급되는 제 1소스 쉬프트 클럭(SSCL)과 제 2소스 쉬프트 클럭(SSCR)은 도 5와 같이 서로 교번되도록 공급된다. 다시 말하여, 제 1소스 쉬프트 클럭(SSCL)의 하이신호때 제 2소스 쉬프트 클럭(SSCR)은 로우신호를 갖고, 제 1소스 쉬프트 클럭(SSCL)의 로우신호때 제 2소스 쉬프트 클럭(SSCR)은 하이신호를 갖는다.
- [0046] 여기서, 제 1소스 쉬프트 클럭(SSCL)의 하이신호때 타이밍 제어부(22)로부터 공급된 좌측부(14)의 데이터가 좌측부(14)에 설치된 데이터 IC(24)에 래치되고, 제 2소스 쉬프트 클럭(SSCR)의 하이신호때 타이밍 제어부(22)로부터 공급된 우측부(16)의 데이터가 우측부(16)에 설치된 데이터 IC(24)에 래치된다. 즉, 종래에는 제 1소스 쉬프트 클럭(SSCL) 및 제 2소스 쉬프트 클럭(SSCR)을 교번적으로 공급함으로써 타이밍 제어부(22)로부터 교번적으로 출력되는 좌측부(14) 및 우측부(16)의 데이터를 정확히 공급할 수 있다.
- [0047] 그리고, 도 2에 도시된 액정표시장치는 1수평기간동안 제 1 및 제 2데이터 구동부(18,20) 각각으로 $m/2$ 개의 데이터를 공급하기 때문에 도 1에 도시된 액정표시장치에 비하여 낮은 주파수의 데이터 클럭을 갖게 되고, 이에 따라 EMI가 저감된다. 아울러, $m/2$ 개의 데이터가 각각 제 1 및 제 2데이터 구동부(18,20)로 공급되기 때문에 도 1에 도시된 액정표시장치에 비하여 전송속도 및 소비전력을 낮출수 있고, 이에 따라 고해상도 및 대형화면의 액정표시장치에 쉽게 적용될 수 있다.
- [0048] 하지만, 도 2에 도시된 액정표시장치와 같이 액정패널(12)이 좌측부(14) 및 우측부(16)로 나누어지기 위해서는 제 1데이터 구동부(18) 및 제 2데이터 구동부(20)에 포함되는 데이터 집적회로(Integrated Circuit : 이하 "IC"라 함)의 수가 동일하여야 한다.(즉, 전체 데이터 IC의 수가 짝수로 설정되어야 한다)
- [0049] 다시 말하여, 제 1데이터 구동부(18) 및 제 2데이터 구동부(20)는 타이밍 제어부(22)로부터 교번적으로 데이터를 공급받는다. 따라서, 각각의 데이터 구동부(18,20)에 포함된 데이터 IC(D-IC : 24)들의 수가 동일해야만 동시구동이 가능하게 된다. 만약 제 1 및 제 2데이터 구동부(18,20)에 포함된 데이터 IC(24)들의 수가 상이하다면 제 1데이터 구동부(18) 또는 제 2데이터 구동부(20)로 공급되어야 할 데이터의 양이 상이해지기 때문에 액정패널(12)이 좌측부(14)와 우측부(16)로 분할되지 못한다.
- [0050] 한편, 현재 일반적으로 사용되고 있는 데이터 IC(24)들은 채널수가 일정하게 정해져 출시된다. 예를 들어, 데이터 IC(24)는 384채널 및 480채널 등으로 일정하게 채널수가 정해진다. 이와 같이, 데이터 IC(24)의 채널수가 일정하게 정해져 출시되기 때문에 액정패널(12)이 좌측부(14)와 우측부(16)로 분할되지 못하는 경우가 발생된다. 예를 들어, SVGA(800×600)급의 액정패널(12)의 경우 $800 \times 3(R,G,B서브픽셀) = 2400$ (데이터라인의 수)개의 채널이 필요하게 된다.
- [0051] 여기서, 종래에는 384채널을 가지는 데이터 IC(24) 7개(2688 채널)를 이용하여 액정패널(12)을 구동하였다. 즉, 종래의 SVGA급의 액정패널(12)은 7개의 데이터 IC(24)가 이용되었고, 이에 따라 액정패널(12)을 좌측부(14)와 우측부(16)로 분할되지 못한다.

발명이 이루고자 하는 기술적 과제

[0052] 따라서, 본 발명의 목적은 홀수개의 데이터 집적회로를 포함하는 액정표시장치에서 좌/우분할 구동이 가능하도록 한 액정표시장치의 구동장치를 제공하는 것이다.

발명의 구성 및 작용

[0053] 상기 목적을 달성하기 위하여 본 발명의 액정표시장치의 구동장치는 좌측부와 우측부로 나뉘어 구동되는 액정패널과, 좌측부에 형성되는 데이터라인들로 제 1데이터를 공급하기 위한 적어도 하나 이상의 제 1데이터 집적회로와, 우측부에 형성되는 데이터라인들을 제 2데이터를 공급하기 위한 적어도 하나 이상의 제 2데이터 집적회로와, 좌측부 및 우측부의 경계부에 위치되어 좌측부에 형성된 데이터라인 및 우측부에 형성된 데이터라인들로 제 1데이터 및 제 2데이터를 각각 공급하기 위한 제 3데이터 집적회로와, 제 1데이터 및 제 2데이터를 교번적으로 출력함과 아울러 제 1소스 쉬프트 클럭을 제 1데이터 집적회로 및 제 3데이터 집적회로로 공급하고, 제 1소스 쉬프트 클럭과 상이한 위상을 가지는 제 2소스 쉬프트 클럭을 제 2데이터 집적회로 및 제 3데이터 집적회로로 공급하기 위한 타이밍 제어부를 구비한다.

[0054] 상기 타이밍 제어부는 좌측부에 형성된 제 1데이터 집적회로 중 어느 하나의 데이터 집적회로로 제 1소스 스타트 펄스를 공급함과 아울러 제 3데이터 집적회로로 제 2소스 스타트 펄스를 공급한다.

[0055] 상기 제 1소스 쉬프트 클럭과 제 2쉬프트 클럭은 180도의 위상차를 갖는다.

[0056] 상기 제 3데이터 집적회로는 제 1소스 쉬프트 클럭 및 캐리신호가 입력될 때 $i/2$ 개(i 는 자연수)의 제 1샘플링 신호를 첫번째 래치 내지 $i/2$ 번째 래치로 공급하기 위한 제 1쉬프트 레지스터부와, 제 2소스 쉬프트 클럭 및 제 2소스 스타트 펄스가 입력될 때 $i/2$ 개(i 는 자연수)의 제 2샘플링신호를 $i/2+1$ 번째 래치 내지 i 번째 래치로 공급하기 위한 제 2쉬프트 레지스터부와, 제 1쉬프트 레지스터부 및 제 2쉬프트 레지스터부로부터 공급되는 제 1 및 제 2샘플링신호에 의하여 제 1 및 제 2데이터를 래치하기 위한 래치부를 구비한다.

[0057] 상기 래치부는 제 1샘플링신호가 입력될 때 제 1데이터를 래치하고, 제 2샘플링신호가 입력될 때 제 2데이터를 래치한다.

[0058] 상기 캐리신호는 좌측부에 설치된 제 1데이터 집적회로로부터 공급된다.

[0059] 상기 제 3데이터 집적회로는 래치부에 저장된 제 1 및 제 2데이터를 공급받아 정극성의 비디오신호 및 부극성의 비디오신호로 변화시키기 위한 디지털-아날로그 변환부와, 디지털-아날로그 변환부에서 변환된 제 1 및 제 2데이터를 자신에게 접속된 i 개의 데이터라인들로 공급하기 위한 출력버퍼부를 구비한다.

[0060] 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

[0061] 이하 도 6 내지 도 7을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

[0062] 도 6은 본 발명의 실시예에 의한 액정표시장치를 나타내는 도면이다.

[0063] 도 6을 참조하면, 본 발명의 실시예에 의한 액정표시장치는 좌측부(54)와 우측부(56)로 분할되는 액정패널(52)과, 좌측부(54)의 데이터라인들(DL1 내지 DL_m/2)을 구동하기 위한 제 1데이터 구동부(58)와, 우측부(56)의 데이터라인들(DL_m/2+1 내지 DL_m)을 구동하기 위한 제 2데이터 구동부(60)와, 제 1 및 제 2데이터 구동부(58,60)의 구동 타이밍을 제어하기 위한 타이밍 제어부(68)를 구비한다.

[0064] 액정패널(52)은 좌측부(54) 및 우측부(56)로 분할되어 구동된다. 여기서, 좌측부(54) 및 우측부(56)는 동시에 구동된다.

[0065] 타이밍 제어부(68)는 외부 시스템으로부터 데이터 클럭(DLCK), 수평동기신호(Hsync), 수직동기신호(Vsync), 데이터 인에이블(DE) 및 데이터(Data)등을 입력받는다. 데이터를 입력받은 타이밍 제어부(68)는 좌측부(54)의 데이터 및 우측부(56)의 데이터를 교번적으로 출력한다.

[0066] 그리고, 데이터 클럭, 수평동기신호, 수직동기신호 및 데이터 인에이블 신호를 입력받은 타이밍 제어부(68)는 제 1 및 제 2데이터 구동부(58,60)를 제어하기 위한 타이밍 신호들과 극성반전신호 등과 같은 제어신호들을 생성한다. 여기서, 타이밍 제어부(58)는 제 1데이터 구동부(58)로 제 1소스 스타트 펄스(SSP1) 및 제 1소스 쉬프트

트 클럭(SSCL)을 공급함과 아울러 제 2데이터 구동부(20)로 제 2소스 스타트 펄스(SSP2) 및 제 2소스 쉬프트 클럭(SSCR)을 공급한다.

[0067] 한편, 제 1소스 쉬프트 클럭(SSCL)은 도 5에 도시된 바와 같이 제 2소스 쉬프트 클럭(SSCR)과 교번되도록 공급된다. 다시 말하여, 제 1소스 쉬프트 클럭(SSCL)의 하이신호때 제 2소스 쉬프트 클럭(SSCR)은 로우신호를 갖고, 제 1소스 쉬프트 클럭(SSCL)의 로우신호때 제 2소스 쉬프트 클럭(SSCR)은 하이신호를 갖는다.(180도의 위상차를 갖는다) 그리고, 제 1소스 스타트 펄스(SSP1)는 좌측부(54)에 위치한 첫번째 데이터 드라이버(64)로 공급되고, 제 2소스 스타트 펄스(SSP2)는 좌측부(54) 및 우측부(56)에 위치한 데이터 드라이버(66)로 공급된다.

[0068] 제 1데이터 구동부(58)는 자신에게 공급된 제어신호들(예를 들어, 극성신호, 소스 출력신호 등), 제 1소스 쉬프트 클럭(SSCL) 및 제 1소스 스타트 펄스(SSP1)에 의하여 제어되면서 타이밍 제어부(68)로부터 공급된 데이터들 중 좌측부(54)의 데이터만을 추출하여 데이터라인들(DL1 내지 DL_m/2)로 공급한다. 제 2데이터 구동부(60)는 자신에게 공급된 제어신호들(예를 들어, 극성신호, 소스 출력신호 등), 제 2소스 쉬프트 클럭(SSCR) 및 제 2소스 스타트 펄스(SSP2)에 의하여 제어되면서 타이밍 제어부(68)로부터 공급된 데이터들 중 우측부(56)의 데이터만을 추출하여 데이터라인들(DL_m/2+1 내지 DL_m)로 공급한다.

[0069] 여기서, 제 1 및 제 2데이터 구동부(58,60)내에 포함된 총 데이터 IC(64,66)의 수는 홀수로 설정된다. 따라서, 제 1 및 제 2데이터 구동부(58,60)는 좌측부(54)와 우측부(56)의 경계부에 설치되는 데이터 IC(66)를 공유하게 된다. 다시 말하여 좌측부(54)와 우측부(56)의 경계부에 설치되는 데이터 IC(66)는 좌측부(54) 및 우측부(56)의 데이터라인(DL)들에 비디오신호를 공급한다.

[0070] 이와 같은 본 발명의 액정표시장치의 동작과정을 설명하면, 먼저 타이밍 제어부(68)는 제 1 및 제 2데이터 구동부(58,60)로 좌측부(54) 및 우측부(56)의 데이터를 교번적으로 공급한다. 다시 말하여, 타이밍 제어부(68)는 DL1, DL_m/2+1, DL2, DL_m/2+2, ...의 순으로 데이터를 공급하게 된다.

[0071] 좌측부(54)의 첫번째 데이터 IC(64)는 제 1소스 쉬프트 클럭(SSCL)의 상승에지에 동기되어 좌측부(54)로 공급될 데이터들(DL1 내지 DL_i로 공급)을 래치하게 된다. 그리고, 첫번째 데이터 IC(64)에 모든 데이터들이 저장되면 캐리신호(Carry)가 두번째 데이터 IC(64)로 공급되고, 이에 따라 좌측부(54)로 공급될 데이터들(DL_i+1 내지 DL_{2i}로 공급)이 두번째 데이터 IC(64)에 래치된다. 마찬가지로, 두번째 데이터 IC(64)에 모든 데이터들이 저장되면 캐리신호(Carry)가 경계부의 데이터 IC(66)로 공급되고, 이에 따라 좌측부(54)로 공급될 데이터들(DL_{2i}+1 내지 DL_m/2라인으로 공급)이 경계부에 위치한 데이터 IC(66)에 래치된다.

[0072] 한편, 경계부에 위치한 데이터 IC(66)는 제 2소스 쉬프트 클럭(SSCR)의 상승에지에 동기되어 우측부(56)로 공급될 데이터들(DL_m/2+1 내지 DL_{3i}로 공급)을 래치하게 된다. 그리고, 경계부에 위치한 데이터 IC(66)에 모든 데이터들이 저장되면 캐리신호(Carry)를 우측부(56)에 설치된 다음 데이터 IC(64)로 공급하여 우측부(56)로 공급될 데이터들이 순차적으로 래치되도록 한다. 여기서, 좌측부(54) 및 우측부(56)의 경계부에 위치한 데이터 IC(66)를 제외한 나머지 데이터 IC(64)들의 구성 및 동작과정은 도 4에 도시된 종래의 데이터 IC(24)와 동일하므로 상세한 설명은 생략하기로 한다.

[0073] 도 6은 좌측부 및 우측부의 경계부에 위치한 데이터 IC(66)의 상세 구성을 나타내는 도면이다.

[0074] 도 6을 참조하면, 경계부에 위치한 데이터 IC(66)는 순차적으로 샘플링신호를 공급하는 제 1 및 제 2쉬프트 레지스터부(104, 105)와, 샘플링신호에 응답하여 데이터(data)를 래치하는 래치부(106)와, 래치부(106)로부터의 데이터(data)를 아날로그 비디오신호로 변환하는 DAC부(108)와, DAC부(108)로부터의 비디오신호를 완충하여 출력하는 출력 버퍼부(116)를 구비한다.

[0075] 또한, 데이터 IC(66)는 타이밍 제어부(68)로부터 공급되는 제어신호들과 데이터(data)를 중계하는 신호 제어부(120)와, DAC부(108)에서 필요로하는 정극성 및 부극성 감마전압들을 공급하는 감마 전압부(118)를 구비한다. 이러한 구성을 가지는 데이터 IC(66)는 i(i는 자연수, 예를 들어, i는 348, 480)개의 채널, 즉 i개의 데이터라인들(DL_{2i}+1 내지 3i)을 구동하게 된다.

[0076] 신호제어부(120)는 타이밍 제어부(68)로부터 공급되는 제어신호들(SOE, POL 등) 및 데이터(data)가 해당 구성요소들로 출력되게 한다. 그리고, 신호제어부(120)는 제 1소스 쉬프트 클럭(SSCR) 및 이전단의 데이터 IC(64)로부터 공급되는 캐리신호(Carry)를 제 1쉬프트 레지스터부(104)로 공급하고, 제 2소스 쉬프트 클럭(SSCL) 및 제 2소스 스타트 펄스(SSP2)를 제 2쉬프트 레지스터부(105)로 공급한다.

[0077] 감마전압부(118)는 감마 기준전압 발생부(도시되지 않음)로부터 입력되는 다수개의 감마기준전압을 그레이별로

세분화하여 출력한다.

- [0078] 제 1쉬프트 레지스터부(104)에는 다수의 쉬프트 레지스터들이 포함되어 신호제어부(120)로부터 공급되는 캐리신호(Carry)를 제 1소스 쉬프트 클럭(SSCR)에 대응하여 순차적으로 쉬프트시켜 샘플링신호를 출력한다. 여기서, 제 1쉬프트 레지스터부(104)로부터 출력되는 샘플링신호는 래치부(106)에 포함된 1번째 래치 내지 $i/2$ 래치로 공급된다. 제 2쉬프트 레지스터부(105)에는 다수의 쉬프트 레지스터들이 포함되어 신호제어부(120)로부터 공급되는 제 2소스 스타트 펄스(SSP2)를 제 2소스 쉬프트 클럭(SSCL)에 대응하여 순차적으로 쉬프트시켜 샘플링신호를 출력한다. 여기서, 제 2쉬프트 레지스터부(105)로부터 출력되는 샘플링신호는 래치부(106)에 포함된 $i/2+1$ 번째 래치 내지 i 번째 래치로 공급된다.
- [0079] 래치부(106)는 제 1쉬프트 레지스터부(104) 또는 제 2쉬프트 레지스터부(105)로부터 공급되는 샘플링신호에 응답하여 신호제어부(120)로부터 공급되는 데이터(data)를 래치한다. 이를 위하여 래치부(106)는 i 개의 데이터(data)를 래치하기 위한 i 개의 래치들로 구성되고, 그 래치들 각각은 데이터의 비트수(예를 들면 3비트 또는 6비트)에 대응하는 크기를 갖는다. 그리고, 래치부(106)는 신호제어부(120)로부터의 소스 출력 인에이블(SOE)신호에 응답하여 래치된 i 개의 데이터들을 동시에 출력한다.
- [0080] DAC부(108)는 래치부(106)로부터의 데이터(data)를 동시에 정극성 및 부극성 비디오신호로 변환하여 출력한다. 이를 위하여 DAC부(108)는 래치부(106)에 공통 접속된 P 디코딩부(110) 및 N 디코딩부(112)와, P 디코딩부(110) 및 N 디코딩부(112)의 출력신호를 선택하기 위한 멀티플렉서(MUX : 114)를 구비한다.
- [0081] P 디코딩부(110)에 포함된 i 개의 P 디코더들은 래치부(106)로부터 입력되는 데이터를 정극성 비디오신호로 변환한다. N 디코딩부(112)에 포함된 i 개의 N 디코더들은 래치부(106)로부터 입력되는 데이터를 부극성 비디오신호로 변환한다.
- [0082] 멀티 플렉서(114)는 신호 제어부(120)로부터의 극성제어신호(POL)에 응답하여 P 디코딩부(110) 및 N 디코딩부(112)로부터의 비디오신호를 선택적으로 출력시킨다. 출력버퍼부(116)는 멀티 플렉서(114)로부터의 비디오신호들을 신호완충하여 데이터라인들(DL2i+1 내지 DL3i)로 공급한다.
- [0083] 이와 같은 데이터 IC(66)의 동작과정을 설명하면, 먼저 타이밍 제어부(68)는 제 2소스 스타트 펄스(SSP2), 제 1소스 쉬프트 클럭(SSCR), 제 2소스 쉬프트 클럭(SSCL) 및 제어신호들을 신호제어부(120)로 공급한다. 신호제어부(120)는 자신에게 공급된 제 2소스 쉬프트 클럭(SSCL) 및 제 2소스 스타트 펄스(SSP2)를 제 2쉬프트 레지스터부(105)로 공급하고, 제 1소스 쉬프트 클럭(SSCR)을 제 1쉬프트 레지스터부(104)로 공급한다. 그리고, 제어신호들 및 데이터(data)를 해당 구성요소들로 출력한다.
- [0084] 제 2소스 쉬프트 클럭(SSCL) 및 제 2소스 스타트 펄스(SSP2)를 공급받은 제 2쉬프트 레지스터부(105)는 제 2소스 쉬프트 클럭(SSCL)의 상승에지에 동기되도록 제 2소스 스타트 펄스(SSP2)를 쉬프트시키면서 샘플링신호를 생성하여 래치부(106)로 공급한다. 그러면 래치부(106)의 $i/2+1$ 번째 래치 내지 i 번째 래치에는 원하는 데이터(data, DLm/2+1 내지 DL3i로 공급)가 저장된다. 그리고, 제 2쉬프트 레지스터부(105)는 다음단의 데이터 IC(64)로 캐리신호(Carry2)를 생성하여 공급한다.
- [0085] 그리고, 소정시간 후에 이전 단의 데이터 IC(64)로부터 캐리신호(Carry)가 신호제어부(120)로 공급된다. 신호제어부(120)는 자신에게 공급된 캐리신호(Carry)를 제 1쉬프트 레지스터부(104)로 공급한다. 그러면, 제 1소스 쉬프트 클럭(SSCR) 및 캐리신호(Carry)를 공급받은 제 1쉬프트 레지스터부(104)는 제 1소스 쉬프트 클럭(SSCR)의 상승에지에 동기되도록 캐리신호(Carry)를 쉬프트시키면서 샘플링신호를 생성하여 래치부(106)로 공급한다. 이때, 래치부(106)의 1번째 래치 내지 $i/2$ 래치에 원하는 데이터(data, DL2i+1 내지 DLm/2로 공급)가 저장된다.
- [0086] 래치부(106)에 저장된 데이터들(data)은 소스 출력 인에이블(SOE) 신호에 응답하여 DAC(108)로 공급된다. DAC(108)는 자신에게 공급된 데이터들(data)을 정극성 및 부극성 비디오신호로 변환하여 멀티플렉서(114)로 공급한다. 멀티플렉서(114)는 극성제어신호(POL)에 응답하여 정극성 및 부극성 비디오신호를 선택적으로 출력시키고, 이 비디오신호는 출력버퍼부(116)에 임시저장된 후 데이터라인들(DL2i+1 내지 DL3i)로 공급한다.
- [0087] 이와 같은 본 발명에서는 좌측부(54) 및 우측부(56)에서 하나의 데이터 IC(66)를 공유하여 구동할 수 있기 때문에 홀수개의 데이터 집적회로를 포함하는 액정표시장치에서 좌/우분할 구동이 가능해진다. 다시 말하여, 384채널급 데이터 IC 7개가 사용되는 SVGA급 액정패널에서도 좌/우분할구동이 가능해지고, 이에 따라 소비전력저감, EMI저감, 전송속도향상 등과 같은 효과를 얻을 수 있다.

발명의 효과

- [0088] 상술한 바와 같이, 본 발명에 따른 액정표시장치의 구동장치에 의하면 액정패널의 좌측부 및 우측부에서 하나의 데이터 IC를 공유하여 구동되기 때문에 홀수개의 데이터 집적회로를 포함하는 액정표시장치에서도 좌/우분할 구동이 가능해진다. 즉, 본 발명에서는 데이터 집적회로의 수와 무관하게 모든 액정패널이 좌측부 및 우측부로 나뉘어 구동될 수 있고, 이에 따라 소비전력저감, EMI저감, 전송속도향상 등과 같은 효과를 얻을 수 있다.
- [0089] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

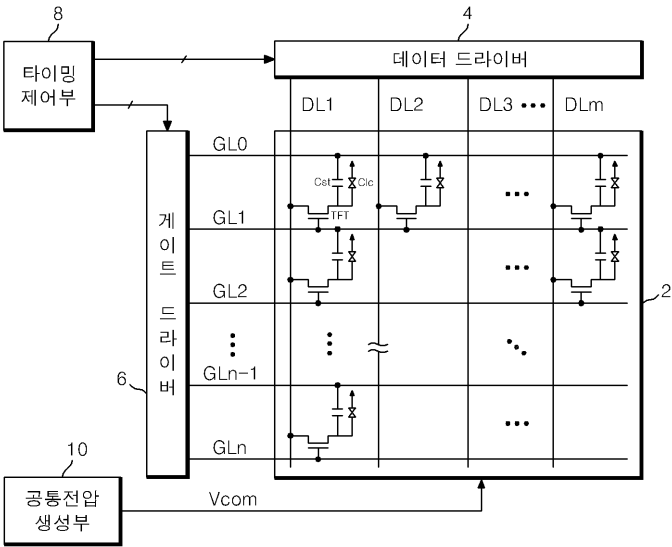
도면의 간단한 설명

- [0001] 도 1은 종래의 액정표시장치를 나타내는 도면.
- [0002] 도 2는 종래의 다른 실시예에 의한 액정표시장치를 나타내는 도면.
- [0003] 도 3은 도 2에 도시된 데이터 구동부에 포함되는 데이터 집적회로를 나타내는 도면.
- [0004] 도 4는 도 3에 도시된 데이터 집적회로의 상세한 구성을 나타내는 블록도.
- [0005] 도 5는 도 2에 도시된 좌측부 및 우측부의 데이터 집적회로로 공급되는 신호를 나타내는 파형도.
- [0006] 도 6은 본 발명의 실시예에 의한 액정표시장치를 나타내는 도면.
- [0007] 도 7은 도 6에 도시된 좌측부 및 우측부의 경계부에 위치한 데이터 집적회로의 상세한 구성을 나타내는 블록도.

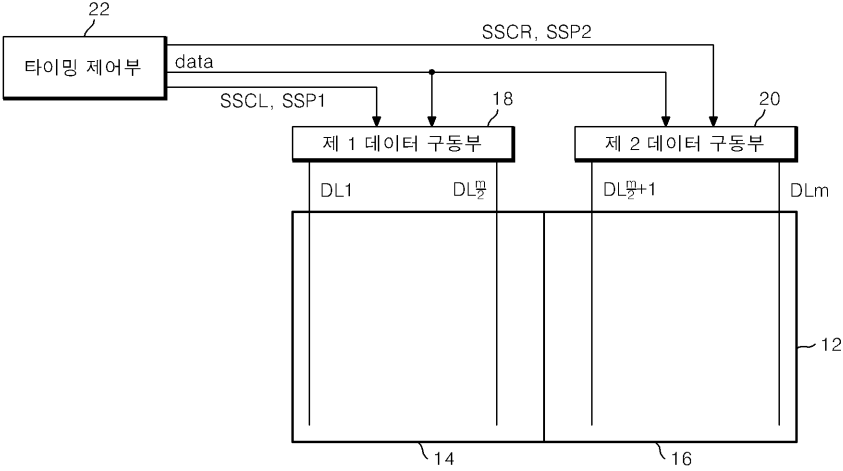
- [0008] < 도면의 주요 부분에 대한 부호의 설명 >
- | | |
|-----------------------------|------------------------|
| [0009] 2,12,52 : 액정패널 | 4 : 데이터 드라이버 |
| [0010] 6 : 게이트 드라이버 | 8,22,68 : 타이밍 제어부 |
| [0011] 10 : 공통전압 생성부 | 14,54 : 좌측부 |
| [0012] 16,56 : 우측부 | 18,20,58,60 : 데이터 구동부 |
| [0013] 24,64,66 : 집적회로 | 30,120 : 신호 제어부 |
| [0014] 32,118 : 감마 전압부 | 34,104,105 : 쉬프트 레지스터부 |
| [0015] 36,106 : 래치부 | 38,108 : 디지털-아날로그 변환부 |
| [0016] 40,42,110,112 : 디코딩부 | 44,114 : 멀티플렉서 |
| [0017] 46,116 : 출력버퍼부 | |

도면

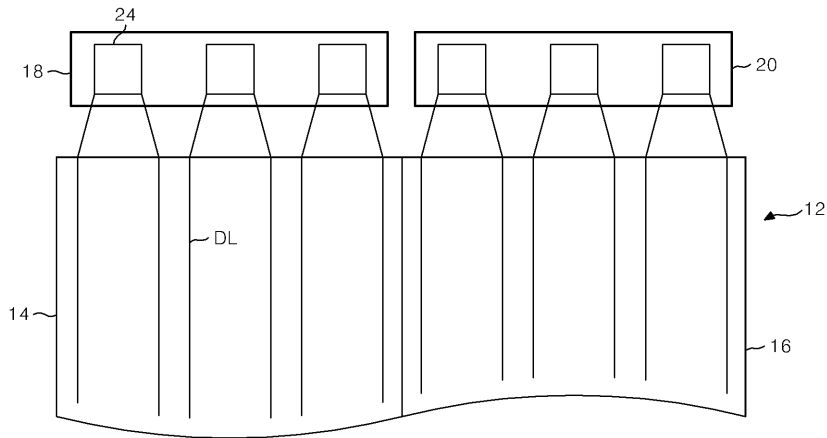
도면1



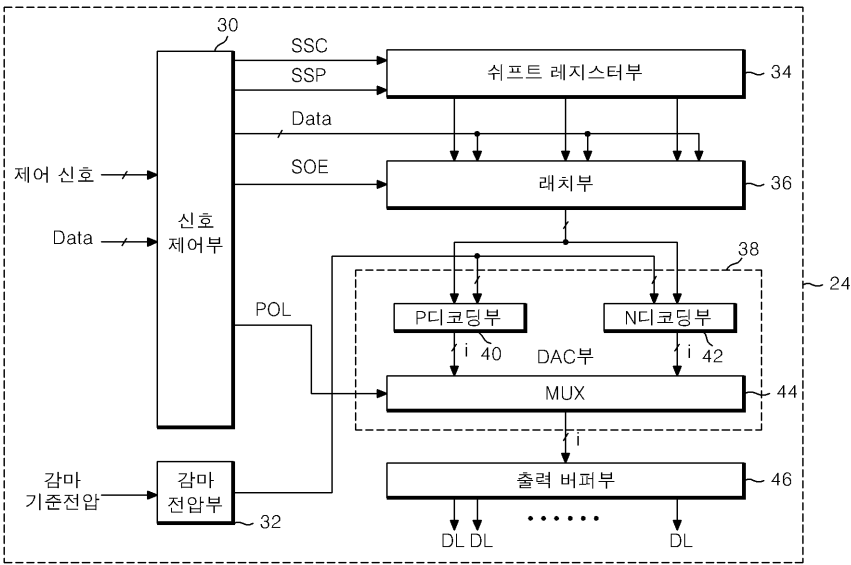
도면2



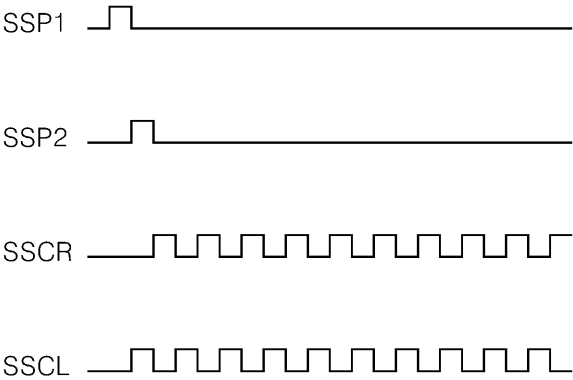
도면3



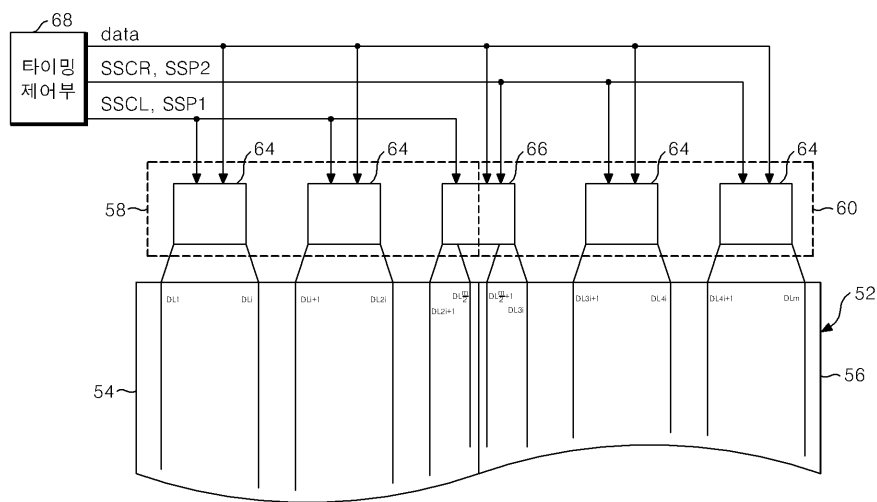
도면4



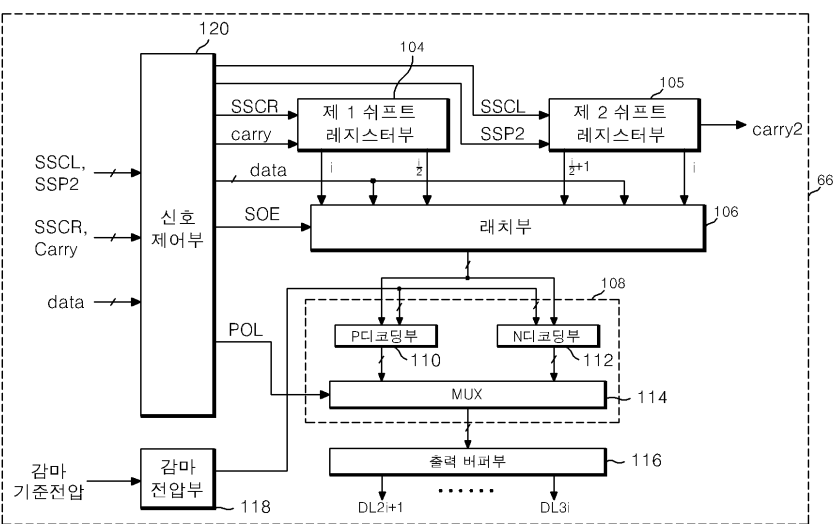
도면5



도면6



도면7



专利名称(译)	液晶显示装置的驱动装置		
公开(公告)号	KR100942838B1	公开(公告)日	2010-02-18
申请号	KR1020030085133	申请日	2003-11-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YUN SAICHANG 윤세창 CHONG KIYOL 정기열		
发明人	윤세창 정기열		
IPC分类号	G02F1/133		
其他公开文献	KR1020050051361A		
外部链接	Espacenet		

摘要(译)

液晶显示装置的驱动装置技术领域本发明涉及一种能够在包括奇数个数据集成电路的液晶显示装置中进行左/右分割驱动的液晶显示装置的驱动装置。本发明的液晶显示器的驱动装置包括由左侧部分和右侧部分驱动的液晶面板，形成在左侧部分的数据线和形成在位于左侧部分和右侧部分之间的边界的右侧部分的数据线;第三数据分别用于向数据线提供第一数据和第二数据，所述集成电路和所述第一，也是数据，并且输出第二数据交替以及所述第一源极移位时钟的第一数据驱动电路和提供给数据驱动电路的第三，具有不同相位的第一源极移位时钟用于将第二源移位时钟提供给第二数据积分电路和第三数据积分电路的定时还有一个控制单元。

