



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년09월10일
(11) 등록번호 10-0917019
(24) 등록일자 2009년09월04일

(51) Int. Cl.

G09G 3/36 (2006.01)

(21) 출원번호 10-2003-0006683

(22) 출원일자 2003년02월04일

심사청구일자 2008년01월08일

(65) 공개번호 10-2004-0070537

(43) 공개일자 2004년08월11일

(56) 선행기술조사문헌

KR1020020066962 A

KR1020030006791 A

전체 청구항 수 : 총 6 항

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

이백원

서울특별시 동작구 사당1동1035-10

(74) 대리인

박영우

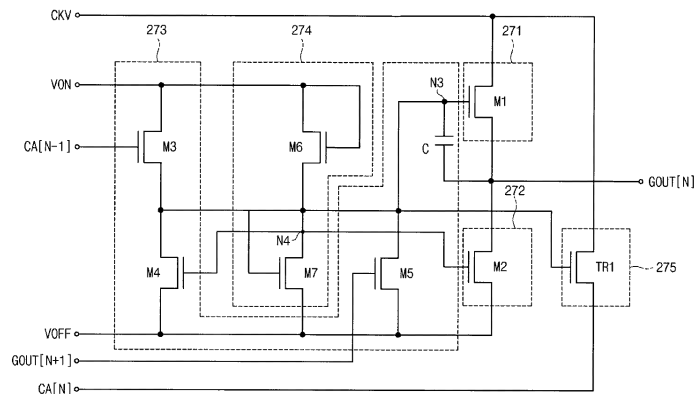
심사관 : 이성현

(54) 쉬프트 레지스터와 이를 구비하는 액정 표시 장치

(57) 요약

대화면, 고해상도의 a-Si TFT LCD에 적용이 가능한 쉬프트 레지스터와 이를 갖는 액정 표시 장치를 개시한다. 캐리버퍼부는 다음 스테이지에 제1 및 제2 클럭중 대응되는 클럭의 전달을 제어하고, 풀업부는 출력단자에 제1 및 제2 클럭중 대응되는 클럭을 제공하며, 풀다운부는 출력단자에 제1 전원전압을 제공한다. 풀업구동부는 풀업부의 입력노드에 연결되고, 이전 스테이지의 제1 캐리버퍼부로부터 제공되는 캐리에 응답하여 풀업부를 턴-온시키고, 다음 스테이지로부터 제공되는 제1 또는 제2 제어신호의 선단에 응답하여 풀업부를 턴-오프시키고, 풀다운구동부는 풀다운부의 입력노드에 연결되고, 이전 스테이지의 제1 캐리버퍼부로부터 제공되는 클럭에 응답하여 풀다운부를 턴-오프시키고, 제1 또는 제2 제어신호의 선단에 응답하여 풀다운부를 턴-온시킨다. 이에 따라, 쉬프트 레지스터를 구성하는 각 스테이지에 독립적으로 캐리 전압을 발생하는 캐리버퍼를 내장하므로써, 대화면, 고해상도의 a-Si TFT LCD에 적용시 RC 지연을 최소화할 수 있다.

대표도



특허청구의 범위

청구항 1

복수의 스테이지들이 배치되고, 첫 번째 스테이지에는 개시신호가 입력단자에 결합되고, 각 스테이지들의 출력 신호들을 순차적으로 출력하는 쉬프트 레지스터에 있어서,

상기 쉬프트 레지스터의 홀수번째 스테이지들에는 제1 클럭이 제공되고, 짝수번째 스테이지들에는 상기 제1 클럭에 위상 반전된 제2 클럭파가 제공되며,

상기 각 스테이지는,

다음 스테이지에 상기 제1 및 제2 클럭중 대응되는 클럭의 전달을 제어하는 캐리버퍼수단;

출력단자에 상기 제1 및 제2 클럭중 대응되는 클럭을 제공하는 풀업수단;

상기 출력단자에 제1 전원전압을 제공하는 풀다운수단;

상기 풀업수단의 입력노드에 연결되고, 이전 스테이지의 제1 캐리버퍼수단으로부터 제공되는 캐리에 응답하여 상기 풀업수단을 턴-온시키고, 다음 스테이지의 출력신호의 선단에 응답하여 상기 풀업수단을 턴-오프시키는 풀업구동수단;

상기 풀다운수단의 입력노드에 연결되고, 이전 스테이지의 제1 캐리버퍼수단으로부터 제공되는 클럭에 응답하여 상기 풀다운수단을 턴-오프시키고, 상기 다음 스테이지의 출력신호의 선단에 응답하여 상기 풀다운수단을 턴-온시키는 풀다운구동수단을 포함하는 쉬프트 레지스터.

청구항 2

제1항에 있어서, 상기 캐리버퍼수단은 드레인에 인가되는 상기 제1 및 제2 클럭중 대응되는 클럭을 게이트에 인가되는 상기 풀다운구동수단의 입력신호에 응답하여 샘플링하고, 상기 샘플링된 신호를 소오스를 통해 다음 스테이지에 출력하는 트랜지스터인 것을 특징으로 하는 쉬프트 레지스터.

청구항 3

제2항에 있어서, 상기 트랜지스터는 현재 스테이지의 드레인 전극에 인가되는 제1 및 제2 클럭중 대응되는 클럭을 다음 스테이지의 풀업구동수단에 인가하기 위해 상기 풀업수단 근방에 형성되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 4

제2항에 있어서, 상기 트랜지스터의 게이트 전극은 상기 풀업수단의 게이트 배선에 공통하여 형성되고, 드레인 전극은 상기 풀업수단의 드레인 전극을 형성하는 메인 배선으로부터 분기되도록 형성되며, 소오스 전극은 상기 풀업수단과 풀다운수단의 종단을 우회하여 다음 스테이지의 풀다운수단의 게이트에 연결되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 5

제4항에 있어서, 상기 트랜지스터의 소오스 라인은 상기 풀다운수단의 드레인 라인과 브리지 연결 방식을 통해 연결되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 6

투명기관 상에 형성된 표시 셀 어레이 회로, 데이터 구동회로, 게이트 구동회로를 포함하고, 상기 표시 셀 어레이 회로는 복수의 데이터 라인들과 복수의 게이트 라인을 포함하고, 각 표시 셀회로는 대응하는 데이터 및 게이트 라인 쌍에 연결된 액정 표시 장치에 있어서,

상기 게이트 구동회로는 복수의 스테이지들이 배치되고, 첫 번째 스테이지에는 개시신호가 입력단자에 결합되고, 각 스테이지들의 출력신호에 의해 상기 복수의 게이트 라인들을 순차적으로 선택하는 쉬프트 레지스터로 구성하고, 상기 쉬프트 레지스터의 홀수번째 스테이지들에는 제1 클럭이 제공되고, 짝수번째 스테이지들에

는 상기 제1 클럭에 위상 반전된 제2 클럭이 제공되며,

상기 각 스테이지는,

다음 스테이지에 상기 제1 및 제2 클럭중 대응되는 클럭의 전달을 제어하는 캐리버퍼수단;

출력단자에 상기 제1 및 제2 클럭중 대응되는 클럭을 제공하는 풀업수단;

상기 출력단자에 제1 전원전압을 제공하는 풀다운수단;

상기 풀업수단의 입력노드에 연결되고, 이전 스테이지의 제1 캐리버퍼수단으로부터 제공되는 캐리에 응답하여 상기 풀업수단을 턴-온시키고, 다음 스테이지의 출력신호의 선단에 응답하여 상기 풀업수단을 턴-오프시키는 풀업구동수단;

상기 풀다운수단의 입력노드에 연결되고, 이전 스테이지의 제1 캐리버퍼수단으로부터 제공되는 클럭에 응답하여 상기 풀다운수단을 턴-오프시키고, 상기 다음 스테이지의 출력신호의 선단에 응답하여 상기 풀다운수단을 턴-온시키는 풀다운구동수단을 포함하는 액정 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <16> 본 발명은 쉬프트 레지스터와 이를 갖는 액정 표시 장치에 관한 것으로, 보다 상세하게는 대화면, 고해상도의 a-Si TFT LCD에 적용이 가능한 쉬프트 레지스터와 이를 갖는 액정 표시 장치에 관한 것이다.
- <17> 일반적으로 박막 트랜지스터(TFT)를 채용하는 액정 표시 장치(LCD)는 a-Si TFT LCD와, poly-Si TFT LCD로 구분된다. 상기 poly-Si TFT LCD는 소비전력이 작고, 가격이 저렴하지만 상기 a-Si TFT와 비교하여 TFT 제조 공정이 복잡한 단점이 있다. 그래서, poly-Si TFT LCD는 IMT-2000 폰의 디스플레이와 같이 소형 디스플레이 장치에 주로 적용된다.
- <18> a-Si TFT LCD는 대면적이 용이하고 수율이 높아서 주로 노트북 PC, LCD 모니터, HDTV 등의 대화면 디스플레이 장치에 적용된다.
- <19> 도 1은 poly-TFT LCD의 TFT 기관의 구성을 나타낸 개략도이고, 도 2는 종래의 a-Si LCD의 TFT 기관의 구성을 나타낸 개략도이다.
- <20> 도 1에 도시한 바와 같이, poly-Si TFT LCD는 픽셀 어레이가 형성된 유리기관(10) 상에 데이터 구동회로(12) 및 게이트 구동회로(14)를 형성하고, 단자부(16)와 통합 인쇄 회로 기관(20)을 필름 케이블(18)로 연결한다. 이와 같은 구조는 제조 원가를 절감하고 구동회로의 일체화로 전력손실을 최소화할 수 있으며, 슬림한 표시장치를 제공할 수 있는 잇점을 갖는다.
- <21> 그러나, 도 2에 도시한 바와 같이, a-Si TFT LCD는 연성 인쇄회로기관(32) 상에 COF(Chip On Film)방식으로 데이터 구동칩(34)을 형성하고, 연성 인쇄 회로 기관(32)을 통하여 데이터 인쇄회로기관(36)과 픽셀 어레이의 데이터 라인 단자부를 연결한다. 또한, 연성 인쇄 회로 기관(38) 상에 상기한 COF 방식으로 게이트 구동칩(40)을 형성하고, 연성 인쇄 회로 기관(40)을 통하여 게이트 인쇄 회로 기관(42)과 픽셀 어레이의 게이트 라인 단자부를 연결한다.
- <22> 즉, a-Si TFT LCD에서는 a-Si 공정의 장점인 높은 생산성에도 불구하고, poly Si-TFT LCD에서의 비용 측면과 슬림한 구조 측면에서 불리한 위치에 있다.

발명이 이루고자 하는 기술적 과제

- <23> 이에 본 발명의 기술과 과제는 이러한 점에 착안한 것으로, 본 발명의 목적은 대화면, 고해상도의 a-Si TFT LCD에 적용이 가능한 쉬프트 레지스터를 제공하는 것이다.
- <24> 또한 본 발명의 다른 목적은 상기한 쉬프트 레지스터를 구비하는 액정 표시 장치를 제공하는 것이다.

발명의 구성 및 작용

- <25> 상기한 본 발명의 목적을 실현하기 위한 하나의 특징에 따른 쉬프트 레지스터는, 복수의 스테이지들이 배치되고, 첫 번째 스테이지에는 개시신호가 입력단자에 결합되고, 각 스테이지들의 출력신호들을 순차적으로 출력하는 쉬프트 레지스터에 있어서, 상기 쉬프트 레지스터의 홀수번째 스테이지들에는 제1 클럭과, 상기 제1 클럭의 출력을 제거하기 위한 제1 제어신호가 제공되고, 짝수번째 스테이지들에는 상기 제1 클럭에 위상 반전된 제2 클럭과, 상기 제2 클럭의 출력을 제거하기 위한 제2 제어신호가 제공되며, 상기 각 스테이지는, 다음 스테이지에 상기 제1 및 제2 클럭중 대응되는 클럭의 전달을 제어하는 캐리버퍼부; 출력단자에 상기 제1 및 제2 클럭중 대응되는 클럭을 제공하는 풀업부; 상기 출력단자에 제1 전원전압을 제공하는 풀다운부; 상기 풀업부의 입력노드에 연결되고, 이전 스테이지의 제1 캐리버퍼부로부터 제공되는 캐리에 응답하여 상기 풀업부를 턴-온시키고, 다음 스테이지로부터 제공되는 상기 제1 또는 제2 제어신호의 선단에 응답하여 상기 풀업부를 턴-오프시키는 풀업구동부; 상기 풀다운부의 입력노드에 연결되고, 이전 스테이지의 제1 캐리버퍼부로부터 제공되는 클럭에 응답하여 상기 풀다운부를 턴-오프시키고, 상기 제1 또는 제2 제어신호의 선단에 응답하여 상기 풀다운부를 턴-온시키는 풀다운구동부를 포함한다.
- <26> 또한 상기한 본 발명의 다른 목적을 실현하기 위한 하나의 특징에 따른 액정 표시 장치는, 투명기판 상에 형성된 표시 셀 어레이 회로, 데이터 구동회로, 게이트 구동회로를 포함하고, 상기 표시 셀 어레이 회로는 복수의 데이터 라인들과 복수의 게이트 라인을 포함하고, 각 표시 셀회로는 대응하는 데이터 및 게이트 라인 쌍에 연결된 액정 표시 장치에 있어서, 상기 게이트 구동회로는 복수의 스테이지들이 배치되고, 첫 번째 스테이지에는 개시신호가 입력단자에 결합되고, 각 스테이지들의 출력신호에 의해 상기 복수의 게이트 라인들을 순차적으로 선택하는 쉬프트 레지스터로 구성하고, 상기 쉬프트 레지스터의 홀수번째 스테이지들에는 상기 쉬프트 레지스터의 홀수번째 스테이지들에는 제1 클럭과, 상기 제1 클럭의 출력을 제거하기 위한 제1 제어신호가 제공되고, 짝수번째 스테이지들에는 상기 제1 클럭에 위상 반전된 제2 클럭과, 상기 제2 클럭의 출력을 제거하기 위한 제2 제어신호가 제공되며, 상기 각 스테이지는, 다음 스테이지에 상기 제1 및 제2 클럭중 대응되는 클럭의 전달을 제어하는 캐리버퍼부; 출력단자에 상기 제1 및 제2 클럭중 대응되는 클럭을 제공하는 풀업부; 상기 출력단자에 제1 전원전압을 제공하는 풀다운부; 상기 풀업부의 입력노드에 연결되고, 이전 스테이지의 제1 캐리버퍼부로부터 제공되는 캐리에 응답하여 상기 풀업부를 턴-온시키고, 다음 스테이지로부터 제공되는 상기 제1 또는 제2 제어신호의 선단에 응답하여 상기 풀업부를 턴-오프시키는 풀업구동부; 상기 풀다운부의 입력노드에 연결되고, 이전 스테이지의 제1 캐리버퍼부로부터 제공되는 클럭에 응답하여 상기 풀다운부를 턴-오프시키고, 상기 제1 또는 제2 제어신호의 선단에 응답하여 상기 풀다운부를 턴-온시키는 풀다운구동부를 포함한다.
- <27> 이러한 쉬프트 레지스터 및 이를 갖는 액정 표시 장치에 의하면, 쉬프트 레지스터를 구성하는 각 스테이지에 독립적으로 캐리 전압을 발생하는 캐리버퍼를 내장하므로써, 대화면, 고해상도의 a-Si TFT LCD에 적용시 RC 지연을 최소화할 수 있다.
- <28> 이하, 첨부한 도면을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.
- <29> 도 3은 본 발명에 의한 a-Si TFT 액정 표시 장치의 분해 사시도를 나타낸다.
- <30> 도 3을 참조하면, 액정 표시 장치(100)는 크게 액정표시패널 어셈블리(110), 백라이트 어셈블리(120), 샤시(130) 및 커버(140)를 포함한다.
- <31> 액정표시패널 어셈블리(110)는 액정표시패널(112), 연성 인쇄회로기판(116), 통합 제어 및 데이터 구동칩(118)을 포함한다. 액정표시패널(112)은 TFT 기관(112a)과 칼라필터기관(112b)을 포함한다. TFT 기관(112a)에는 a-Si TFT 공정에 의해 표시셀 어레이 회로, 데이터 구동회로, 게이트 구동회로 및 외부연결단자들이 형성된다. 칼라필터기관(112b)에는 칼라필터 및 투명공통전극들이 형성된다. TFT 기관(112a)과 칼라필터기관(112b)은 서로 대향되고 이들 사이에 액정이 주입된 다음에 봉입된다.
- <32> 연성 인쇄회로기판(116)에 설치된 통합 제어 및 데이터 구동칩(118)과 TFT 기관(112a)의 회로들은 연성 인쇄회로기판(116)에 의해 전기적으로 연결된다. 연성인쇄회로기판(116)은 데이터신호, 데이터 타이밍신호, 게이트 타이밍신호 및 게이트 구동전압들을 TFT 기관(112a)의 데이터 구동회로 및 게이트 구동회로에 제공한다.
- <33> 백라이트 어셈블리(120)는 램프 어셈블리(122), 도광판(124), 광학시트들(126), 반사판(128) 및 몰드 프레임(129)을 포함하여 이루어진다.
- <34> 도 4는 본 발명에 의한 a-Si TFT LCD의 TFT 기관의 구성을 나타낸 도면이다.

- <35> 도 4를 참조하면, 본 발명의 TFT 기관(112a) 위에는 표시 셀 어레이 회로(150), 데이터 구동회로(160), 게이트 구동회로(170), 데이터 구동회로 외부연결단자(162, 163), 게이트 구동회로 외부연결단자부(169)가 TFT 공정시 함께 형성된다.
- <36> 표시 셀 어레이 회로(150)는 컬럼 방향으로 연장된 m 개의 데이터 라인들(DL1~DLm)과 로우방향으로 연장된 n 개의 게이트 라인들(GL1~GLn)을 포함한다.
- <37> 본 발명의 실시예는 2인치 액정표시패널에서 데이터 라인 및 게이트 라인의 수는 525(즉, 176×3)×192 해상도를 가진다.
- <38> 데이터 라인들과 게이트 라인들의 각 교차점들에는 스위칭 트랜지스터(ST)가 형성된다. 스위칭 트랜지스터(ST_i)의 드레인은 데이터 라인(DL_i)에 연결되고, 게이트는 게이트 라인(GL_i)에 연결된다. 스위칭 트랜지스터(ST_i)의 소오스는 투명화소전극(PE)에 연결된다. 투명화소전극(PE)과 칼라필터 기관(112b)에 형성된 투명공통전극(CE)의 사이에 액정(LC)이 위치하게 된다.
- <39> 그러므로, 투명화소전극(PE)과 투명공통전극(CE) 사이에 인가된 전압에 의해 액정배열이 제어되어 통과되는 광량을 제어하여 각 픽셀의 계조 표시를 하게 된다.
- <40> 데이터 구동회로(160)는 쉬프트 레지스터(164)와 528개의 스위칭 트랜지스터들(SWT)을 포함한다. 528개의 스위칭 트랜지스터들(SWT)은 66개씩 8개의 데이터 라인블록(BL1~BL8)을 형성한다.
- <41> 각 데이터 라인블록(BL_i)은 66개의 데이터 입력단자로 구성된 외부입력단자(163)에 66개의 입력단자들이 공통으로 연결되고, 대응하는 66개의 데이터 라인들에 66개의 출력단자들이 연결된다. 또한, 쉬프트 레지스터(164)의 8개의 출력단자들 중 대응하는 하나의 출력단자에 블록선택단자가 연결된다.
- <42> 528개의 스위칭 트랜지스터들(SWT) 각각은 대응하는 데이터 라인에 소오스가 연결되고, 66개의 데이터 입력단자들 중 대응하는 입력단자에 드레인이 연결되고, 게이트에 블록선택단자에 연결된 a-Si TFT MOS 트랜지스터로 구성된다.
- <43> 따라서, 528개의 데이터 라인들은 66개씩 8개의 블록으로 분할되고, 쉬프트 레지스터(164)의 8개의 블록선택신호에 의해 순차적으로 각 블록들이 선택된다.
- <44> 쉬프트 레지스터(164)는 3단자의 외부연결단자(162)를 통하여 제1 클럭(CKH), 제2 클럭(CKHB), 블록선택 개시신호(STH)를 제공받는다. 쉬프트 레지스터(164)의 출력단자들은 각각 대응하는 라인 블록들의 블록선택단자에 연결된다.
- <45> 도 5는 상기 도 4의 데이터 구동회로의 쉬프트 레지스터의 블록도이다.
- <46> 도 5를 참조하면, 본 발명에 의한 쉬프트 레지스터(164)는 9개의 스테이지(SRH1~SRH9)들이 연결된다. 즉, 각 스테이지의 출력단자(OUT)가 다음 스테이지의 입력단자(IN)에 연결된다. 스테이지들의 수는 데이터 라인 블록들에 대응하는 8개의 스테이지(SRH1~SRH8)와 하나의 더미 스테이지(SRH9)로 구성된다. 각 스테이지는 입력단자(IN), 출력단자(OUT), 제어단자(CT), 클럭 입력단자(CK), 제1 전원전압단자(VSS), 제2 전원전압단자(VDD)를 가진다. 8개의 스테이지들(SRH1~SRH8)은 각 데이터 라인 블록들(BL1~BL8)의 블록선택단자에 블록선택 개시신호(DE1~DE8)들을 각각 제공한다. 블록선택 개시신호는 각 라인 블록들의 인에이블 신호이다.
- <47> 홀수번째 스테이지들(SRH1, SRH3, SRH5, SRH7, SRH9)에는 제1 클럭(CKH)이 제공되고, 짝수번째 스테이지들(SRH2, SRC4, SRH6, SRH8)에는 제2 클럭(CKHB)이 제공된다. 제1 클럭(CKH)과 제2 클럭(CKHB)은 서로 반대되는 위상을 가진다. 클럭 CKH, CKHB의 듀티 기간은 1/66ms 이하로 한다.
- <48> 각 스테이지들의 각 제어단자(CT)에는 다음 스테이지의 출력신호가 제어신호로 제어단자(CT)에 입력된다. 즉, 제어단자(CT)에 입력되는 제어신호는 자신의 출력신호의 듀티 기간만큼 지연된 신호가 된다.
- <49> 따라서, 각 스테이지의 출력신호들이 순차적으로 액티브 구간(즉, 하이 상태)을 가지고 발생되므로, 각 출력신호의 액티브 구간에서 대응되는 데이터 라인 블록들이 선택되어 인에이블되게 된다.
- <50> 더미 스테이지(SRH9)는 이전 스테이지(SRH8)의 제어단자(CT)에 제어신호를 제공하기 위한 것이다.
- <51> 도 6은 상기 도 4의 게이트 구동회로에 채용되는 쉬프트 레지스터를 설명하기 위한 블록도이다.
- <52> 도 6을 참조하면, 상기 도 4의 게이트 구동회로(170)는 하나의 쉬프트 레지스터로 구성되고, 상기 쉬프트 레지

스터는 복수의 스테이지들(SRC1~SRC193)이 연결된다. 즉, 각 스테이지의 출력단자(OUT)가 다음 스테이지의 입력단자(IN)에 연결된다. 스테이지들은 게이트 라인들에 대응하는 192개의 스테이지들(SRC1~SRC192)과 하나의 더미 스테이지(SRC193)로 구성된다. 각 스테이지는 입력단자(IN), 출력단자(OUT), 제어단자(CT), 클럭 입력단자(CK), 제1 전원전압단자(VSS), 제2 전원전압단자(VDD)를 가진다.

- <53> 첫 번째 스테이지(SRC1)의 입력단자(IN)에는 스캔개시신호(STV)가 입력된다. 여기서 스캔개시신호(STV)는 수직 동기신호(Vsync)에 동기된 펄스이다.
- <54> 각 스테이지의 출력신호(GOUT1~GOUT192)는 대응되는 각 게이트 라인에 연결된다. 홀수번째 스테이지들(SRC1, SRC3, ...)에는 제1 클럭(CKV)이 제공되고, 짝수번째 스테이지들(SRC2, SRC4, ...)에는 제2 클럭(CKVB)이 제공된다. 여기서, 제1 클럭(CKV)과 제2 클럭(CKVB)은 서로 반대되는 위상을 가진다. 또한 제1 클럭(CKV)과 제2 클럭(CKVB)의 듀티 기간은 16.6/192ms의 기간이 될 것이다.
- <55> 그러므로, 데이터 구동회로의 쉬프트 레지스터(164)의 클럭의 듀티기간에 비하여 게이트 구동회로의 쉬프트 레지스터(170)의 클럭의 듀티기간이 약 8배 이상이 된다.
- <56> 각 스테이지(SRC1, SRC2, SRC3, ...)의 각 제어단자(CT)에는 다음 스테이지(SRC2, SRC3, SRC4, ...)의 출력신호(GOUT2, GOUT3, GOUT4)가 제어신호로 제어단자(CT)에 입력된다. 즉, 제어단자(CT)에 입력되는 제어신호는 자신의 출력신호의 듀티 기간만큼 지연된 신호가 된다.
- <57> 따라서, 각 스테이지의 출력신호들이 순차적으로 액티브 구간(하이 상태)을 가지고 발생되므로, 각 출력신호의 액티브 구간에서 대응되는 수평라인이 선택되게 된다.
- <58> 도 7은 상기 도 6에 도시된 쉬프트 레지스터의 각 스테이지의 구체적인 회로 구성을 나타낸 것이고, 도 8은 상기 도 7에 의한 출력 파형도이다.
- <59> 도 7을 참조하면, 쉬프트 레지스터(170)의 각 스테이지는 풀업부(171), 풀다운부(172), 풀업구동부(173) 및 풀다운구동부(174)를 포함한다.
- <60> 풀업부(171)는 파워 클럭 입력단자(CKV)에 드레인이 연결되고, 제3 노드(N3)에 게이트가 연결되고, 출력단자(GOUT[N])에 소오스가 연결된 제1 NMOS 트랜지스터(M1)로 구성된다.
- <61> 풀다운부(172)는 출력단자(GOUT[N])에 드레인이 연결되고, 제4 노드(N4)에 게이트가 연결되고, 소오스가 제1 전원전압(VSS)에 연결된 제2 NMOS 트랜지스터(M2)로 구성된다.
- <62> 풀업구동부(173)는 캐패시터(C), 제3 내지 제5 NMOS 트랜지스터(M3~M5)로 구성된다. 캐패시터(C)는 제3 노드(N3)와 출력단자(GOUT[N]) 사이에 연결된다. 제3 NMOS 트랜지스터(M3)는 드레인이 제2 전원 전압(VON)에 연결되고, 게이트가 입력단자(IN), 즉 이전 스테이지의 출력 신호(GOUT[N-1])에 연결되며, 소오스가 제3 노드(N3)에 연결된다. 제4 NMOS 트랜지스터(M4)는 드레인이 제3 노드(N3)에 연결되고, 게이트가 제4 노드(N4)에 연결되며, 소오스가 제1 전원전압(VOFF)에 연결된다. 제5 NMOS 트랜지스터(M5)는 드레인이 제3 노드(N3)에 연결되고, 게이트가 제어단자(CT), 다음 스테이지의 출력 신호(GOUT[N+1])에 연결되며, 소오스가 제1 전원전압(VOFF)에 연결된다. 이때, 제3 NMOS 트랜지스터(M3)의 사이즈는 제5 NMOS 트랜지스터(M5)의 사이즈보다 2배정도 크게 형성된다.
- <63> 풀다운구동부(174)는 제6 및 제7 NMOS 트랜지스터들(M6, M7)로 구성된다. 제6 NMOS 트랜지스터(M6)는 드레인과 게이트가 공통되어 제2 전원전압(VON)에 연결되고, 소오스가 제4 노드(N4)에 연결된다. 제7 NMOS 트랜지스터(M7)는 드레인이 제4 노드(N4)에 연결되고, 게이트가 제3 노드(N3)에 연결되며, 소오스가 제1 전원전압(VOFF)에 연결된다. 이때, 제6 NMOS 트랜지스터(M6)의 사이즈는 제7 NMOS 트랜지스터(M7)의 사이즈보다 16배정도 크게 형성된다.
- <64> 도 8에 도시한 바와 같이, 제1 및 제2 파워 클럭(CKV, CKVB)과 스캔개시신호(ST)가 쉬프트 레지스터에 공급되면, 첫 번째 스테이지(SRC1)에서는 스캔개시신호(ST)의 선단에 응답하여 제1 파워 클럭(CKV)의 하이레벨 구간을 소정 시간(Tdr1) 지연시켜서 출력단자(OUT)에 출력신호(GOUT1)로 발생한다.
- <65> 이상에서 설명한 바와 같이, 어레이 기판이 배치되는 글라스상의 쉬프트 레지스터에는 스캔개시신호(STV)와 함께 제1 및 제2 파워 클럭(CKV, CKVB)이 공급되어 게이트 구동 회로로서 동작을 수행한다.
- <66> 도 9는 상기 도 6에 의한 구동 파형을 설명하기 위한 파형도이다.
- <67> 도 9를 참조하면, 상기 쉬프트 레지스터는 입력되는 2H를 1주기로 하여 제1 파워 클럭(CKV) 또는 상기 제1 파워

클럭(CKV)에 위상이 반전하는 제2 파워 클럭(CKVB) 중 어느 하나를 인가받아 복수의 게이트 신호(GOUT1, GOUT2, GOUT3, ...)를 TFT-LCD 게이트 라인에 순차적으로 출력한다. 이때 상기 제1 및 제2 파워 클럭(CKV, CKVB)은 a-TFT를 구동하기 위해 타이밍 컨트롤러(미도시)의 출력인 0 내지 3V 진폭의 신호를, 예를 들어, -8 내지 24V 진폭의 신호로 증폭된 신호이다.

- <68> 하지만, 상기 쉬프트 레지스터를 게이트 구동회로로 이용하는 경우에는 $525(176 \times 3) \times 192$ 해상도를 갖는 액정 표시패널에 대해서 설명한 바와 같이, 소형 또는 중소형 화면에는 적합하나 고해상도를 갖는 대화면에는 적합하지 않다. 상기 도 6에 도시한 바에 의하면, 쉬프트 레지스터에 구비되는 각 스테이지는 입력되는 2H 주기의 제1 및 제2 파워 클럭(CKV, CKVB) 중 어느 하나를 액정표시패널의 게이트 라인에 인가하도록 하는 동작을 수행한다. n 번째 스테이지의 동작을 간략히 설명하면 아래와 같다.
- <69> 즉, n-1번째 게이트 온 신호를 이용하여 n번째 게이트 온 신호를 발생시키고, n+1번째 게이트 온 신호를 제어 신호(CT)로 하여 스테이지를 제어하여 나머지 시간 동안은 게이트 오프 전압(Voff) 레벨을 발생시키는 것이다.
- <70> 이때 문제가 되는 것은 n번째 스테이지의 입력신호로 사용되는 n-1번째 게이트 온 신호가 n-1번째 게이트 라인 과 연결이 되어 있기 때문에 해당 라인에 걸리는 로드가 n번째 스테이지의 입력단(IN)에 영향을 미친다. 이로 인하여 신호 지연이 발생되고, 또한 다른 스테이지에 연결될 때도 추가로 로드가 걸리게 된다.
- <71> 즉, 게이트 라인에는 도 10에 도시한 바와 같이, 다수의 저항 성분과 캐패시턴스 성분이 존재하고, n 번째 스테이지의 입력 신호가 n-1번째 스테이지의 출력 신호를 전달받는다. 이때 n-1번째 게이트 라인과도 연결이 되어 있기 때문에 상기 게이트 라인에 존재하는 RC 로드 에 영향을 받아 신호 지연이 생기게 된다.
- <72> 또한, 각각의 스테이지는 서로 종속 연결되어 있기 때문에 추가적으로 게이트 라인의 로드 에 계속 영향을 받게 되면 화면 아래쪽으로 갈수록 신호 지연이 심해져서 결국에는 디스플레이가 불가능해지는 문제점이 있다. 중소형의 경우에는 RC 로드가 작고 게이트 신호가 온 레벨을 유지하는 시간이 길기 때문에 상기한 문제는 무시할 수 있으나, 대형 액정표시패널에 적용할 때에는 그 문제가 심각하다.
- <73> 이러한 문제점을 해결하기 위한 수단으로 다음 스테이지를 구동시키는 신호로서 이전 스테이지의 게이트 신호를 이용하지 않고 외부에서 별도로 인가되는 신호를 이용함으로써 신호 지연에 의해 유발되는 문제점을 해결하기 위한 방법을 제안한다.
- <74> 도 11은 본 발명에 따른 쉬프트 레지스터를 설명하기 위한 블록도로서, 특히 게이트 구동회로로 동작하는 쉬프트 레지스터를 설명하기 위한 블록도이다.
- <75> 도 11을 참조하면, 본 발명에 따른 게이트 구동회로는 하나의 쉬프트 레지스터로 구성되고, 상기 쉬프트 레지스터는 복수의 스테이지들(SRC1, SRC2, SRC3, ..., SRCg, SRC(g+1))이 연결되고, 스테이지간에는 복수의 캐리버퍼퍼(CB1, CB2, ..., CBg)가 구비된다. 즉, 각 스테이지의 출력단자(GOUT)는 이전 스테이지의 제어단자(CT)에 연결된다. 여기서, 스테이지들은 게이트 라인들에 대응하는 g개의 스테이지들(SRC1~SRCg)과 하나의 더미 스테이지(SRC(g+1))로 구성된다. 각 스테이지는 입력단자(IN), 출력단자(OUT), 제어단자(CT), 클럭 입력단자(CK), 제1 전원전압단자(VSS), 제2 전원전압단자(VDD) 및 캐리출력단자(CRR)를 갖는다.
- <76> 첫 번째 스테이지(SRC1)의 입력단자(IN)에는 스캔개시신호(STV)가 입력된다. 여기서 스캔개시신호(STV)는 외부의 그래픽 컨트롤러 등으로부터 제공되는 수직동기신호(Vsync)에 동기된 펄스이다.
- <77> 두 번째 이후 스테이지(SRC2, SRC3, SRC4, ...)들의 입력단자(IN)에는 이전 스테이지의 캐리출력단자(CRR)로부터 제공되는 캐리 전압을 캐리버퍼퍼를 경유하여 제공받는다.
- <78> 각 스테이지의 출력신호(GOUT1~GOUTg)는 대응되는 각 게이트 라인에 연결된다. 홀수번째 스테이지들(SRC1, SRC3, ...)에는 제1 클럭(CKV)이 제공되고, 짝수번째 스테이지들(SRC2, SRC4, ...)에는 제2 클럭(CKVB)이 제공된다. 여기서, 제1 클럭(CKV)과 제2 클럭(CKVB)은 서로 반대되는 위상을 가진다. 또한 제1 클럭(CKV)과 제2 클럭(CKVB)의 듀티 기간은 대략 $16.6/g[\text{ms}]$ 의 기간이 될 것이다.
- <79> 각 스테이지(SRC1, SRC2, SRC3, ...)의 각 제어단자(CT)에는 다음 스테이지(SRC2, SRC3, SRC4, ...)의 출력신호(GOUT2, GOUT3, GOUT4)가 제어신호로 제어단자(CT)에 입력된다. 즉, 제어단자(CT)에 입력되는 제어신호는 자신의 출력신호의 듀티 기간만큼 지연된 신호가 된다.
- <80> 따라서, 각 스테이지의 출력신호들이 순차적으로 액티브 구간(하이 상태)을 가지고 발생되므로, 각 출력신호의 액티브 구간에서 대응되는 수평라인이 선택되게 된다.

- <81> 이처럼, 스테이지간에 구비되는 캐리버퍼(CB1, CB2, ..., CBg)는 로드가 걸리는 게이트 신호 대신에 외부에서 직접 입력되는 클럭을 캐리(Carry)로 사용한다. 상기 캐리버퍼(CB1, CB2, ..., CBg)들은 각 스테이지들내에 구비하는 것이 바람직한데, 하기하는 도면을 참조하여 해당 스테이지내에 구비되는 캐리버퍼에 대해서 설명한다.
- <82> 도 12는 본 발명에 따른 쉬프트 레지스터의 단위 스테이지를 설명하기 위한 도면이다.
- <83> 도 12를 참조하면, 쉬프트 레지스터의 각 스테이지는 풀업부(271), 풀다운부(272), 풀업구동부(273), 풀다운구동부(274) 및 캐리버퍼부(275)를 포함한다. 특히, 상기 도 7에 도시한 현재 스테이지내에 별도의 박막 트랜지스터를 추가하여 다음 스테이지로 전달되는 신호를 분리한다.
- <84> 풀업부(271)는 파워 클럭 입력단자(CKV)에 드레인이 연결되고, 제3 노드(N3)에 게이트가 연결되고, 출력단자(GOUT[N])에 소오스가 연결된 제1 NMOS 트랜지스터(M1)로 구성된다.
- <85> 풀다운부(272)는 출력단자(GOUT[N])에 드레인이 연결되고, 제4 노드(N4)에 게이트가 연결되고, 소오스가 제1 전원전압(VSS)에 연결된 제2 NMOS 트랜지스터(M2)로 구성된다.
- <86> 풀업구동부(273)는 캐패시터(C), 제3 내지 제5 NMOS 트랜지스터(M3~M5)로 구성된다. 캐패시터(C)는 제3 노드(N3)와 출력단자(GOUT[N]) 사이에 연결된다. 제3 NMOS 트랜지스터(M3)는 드레인이 제2 전원 전압(VON)에 연결되고, 게이트가 입력단자(IN), 즉 이전 스테이지의 출력 신호(GOUT[N-1])에 연결되며, 소오스가 제3 노드(N3)에 연결된다. 제4 NMOS 트랜지스터(M4)는 드레인이 제3 노드(N3)에 연결되고, 게이트가 제4 노드(N4)에 연결되며, 소오스가 제1 전원전압(VOFF)에 연결된다. 제5 NMOS 트랜지스터(M5)는 드레인이 제3 노드(N3)에 연결되고, 게이트가 제어단자(CT), 즉 다음 스테이지의 출력 신호(GOUT[N+1])에 연결되며, 소오스가 제1 전원전압(VOFF)에 연결된다. 이때, 제3 NMOS 트랜지스터(M3)의 사이즈는 제5 NMOS 트랜지스터(M5)의 사이즈보다 2배정도 크게 형성된다.
- <87> 풀다운구동부(274)는 제6 및 제7 NMOS 트랜지스터들(M6, M7)로 구성된다. 제6 NMOS 트랜지스터(M6)는 드레인과 게이트가 공통되어 제2 전원전압(VON)에 연결되고, 소오스가 제4 노드(N4)에 연결된다. 제7 NMOS 트랜지스터(M7)는 드레인이 제4 노드(N4)에 연결되고, 게이트가 제3 노드(N3)에 연결되며, 소오스가 제1 전원전압(VOFF)에 연결된다. 이때, 제6 NMOS 트랜지스터(M6)의 사이즈는 제7 NMOS 트랜지스터(M7)의 사이즈보다 16배정도 크게 형성된다.
- <88> 캐리버퍼부(275)는 캐리버퍼 트랜지스터(TR1)로 이루어져, 다음 스테이지에 제1 및 제2 클럭(CKV/CKVB) 중 대응되는 클럭의 전달을 제어한다. 구체적으로, 캐리버퍼 트랜지스터(TR1)의 게이트는 풀다운구동부(274)의 입력단에 연결되고, 드레인은 외부로부터 입력되는 클럭단에 연결되며, 소오스는 다음 스테이지에 구비되는 풀업구동부(273)의 제3 NMOS 트랜지스터(M3)의 게이트에 연결된다.
- <89> 동작시, 이전 스테이지에 구비된 캐리버퍼 트랜지스터(TR1)는 게이트 신호(GOUT[N])를 활성화시키는 신호, 즉 풀업 트랜지스터(M1)의 제어신호인 파워 클럭(CKV 또는 CKVB)을 샘플링하고, 샘플링된 신호를 캐리 전압으로 하여 현재 스테이지에 전달한다. 즉, 항상 일정한 클럭 레벨을 캐리 전압으로 사용하게 되므로 스테이지 출력 전압 저하시 발생할 수 있었던 연쇄 반응을 제거할 수 있다.
- <90> 도 13은 본 발명에 따른 쉬프트 레지스터를 설명하기 위한 회로도로서, 특히 상기 도 11에 도시된 쉬프트 레지스터의 각 스테이지의 구체적인 회로 구성으로 상기 도 12에 도시된 쉬프트 레지스터의 단위 스테이지를 채용한 도면이다. 도면상에서는 설명의 편의를 위해 2개의 스테이지만을 도시한다.
- <91> 도 13을 참조하면, 본 발명에 따른 쉬프트 레지스터의 각 스테이지는 풀업부(271), 풀다운부(272), 풀업구동부(273), 풀다운구동부(274) 및 캐리버퍼부(275)를 포함한다. 상기 도 12와 비교할 때 동일한 구성 요소에 대해서는 동일한 도면 번호를 부여하고, 그 상세한 설명은 생략한다.
- <92> 도시한 바와 같이, 게이트 신호들을 출력하는 각각의 스테이지에 로드가 걸리는 이전 스테이지의 출력신호를 캐리로 사용하지 않고, 외부에서 입력되는 파워 클럭을 캐리로 이용하므로써 각 스테이지로부터 출력되는 게이트 신호들에는 이전 스테이지의 출력신호와 무관한 게이트 신호들을 얻을 수 있다.
- <93> 그러면, 도 13에 도시한 스테이지들 중 상단 스테이지를 이전 스테이지로 하고, 하단 스테이지를 현재 스테이지로 정의하고, 각 스테이지에 구비되는 구성 요소의 도면 번호를 동일하게 부여하여 본 발명의 실시예에 따른 쉬프트 레지스터의 동작을 설명한다.
- <94> 이전 스테이지에 구비된 캐리버퍼 트랜지스터(TR1)는 게이트 신호(GOUT[N])를 활성화시키는 신호, 즉 풀업 트랜

지스터(M1)의 제어신호인 클럭(CKV)을 샘플링하고, 샘플링된 신호를 캐리 전압으로 하여 현재 스테이지에 전달한다. 즉, 항상 일정한 클럭 레벨을 캐리 전압으로 사용하게 되므로 스테이지의 출력 전압이 저하될 때 발생할 수 있었던 연쇄 반응을 제거할 수 있다.

<95> 버퍼 기능을 수행하는 제3 NMOS 트랜지스터(M3)는 턴-오프 상태를 유지하고 있다가 캐리버퍼 트랜지스터(TR1)를 경유하여 캐리 전압이 인가되면 아이들 상태로 천이되고, 일정 시간의 경과와 함께 클럭과 같은 캐리 전압이 인가되면 드레인을 통해 인가되는 제2 전원전압(VON)에 따르는 전압이 캐패시터에 충전되도록 경로를 형성한다.

<96> 이어 일정 시간이 경과하여 제3 NMOS 트랜지스터(M3)의 게이트에 로우 레벨의 클럭 전압, 예를 들어, 제1 전원 전압(VOFF) 레벨의 클럭 전압이 인가되는 경우에는 턴-오프된다.

<97> 도 14는 본 발명에 따른 쉬프트 레지스터를 채용한 액정 표시 장치를 설명하기 위한 도면이다.

<98> 도 14에 도시한 바에 의하면, 게이트 구동회로(174)를 구성하는 하나의 쉬프트 레지스터에 구비되는 다수의 스테이지(SRC1, SRC2, SRC3, ...) 각각은 액정표시패널(150)에 구비되는 게이트 라인을 활성화시키기 위해 게이트 출력단(OUT)을 통해 다수의 게이트 신호(GOUT1, GOUT2, GOUT3, ...)를 순차적으로 인가한다.

<99> 또한, 다수의 스테이지(SRC1, SRC2, SRC3, ...) 각각은 다음 스테이지의 게이트 신호를 발생시키는 동작을 활성화시키기 위해 캐리 출력단(CA)을 통해 다음 스테이지의 입력단(IN)에 캐리신호를 발생한다. 여기서, 출력되는 캐리신호는 서로 종속적으로 연결된 스테이지와는 독립적으로 외부에서 입력되는 제1 클럭(CKV) 또는 상기 제1 클럭에 위상이 반전된 제2 클럭(CKVB)이다.

<100> 이처럼, 현재 스테이지의 구동을 위해 이전 스테이지의 게이트 출력단(OUT)을 출력되는 게이트 신호를 입력받는 것이 아니라, 이전 스테이지의 캐리 출력단을 통해 출력되는 캐리신호를 입력받으므로 게이트 라인의 수가 증가하여 발생하는 디스플레이의 악영향을 최소화할 수 있다.

<101> 그러면, 상기 캐리버퍼부가 배치되는 레이아웃도를 첨부하는 도 15a 내지 도 15c를 참조하여 설명한다.

<102> 도 15a 및 도 15b는 본 발명에 따른 쉬프트 레지스터의 단위 스테이지중 폴업부, 풀다운부 및 캐리버퍼부만을 발췌한 레이아웃도이고, 도 15c는 상기 캐리버퍼부가 배치되는 영역만을 확대한 도면이다.

<103> 대화면에 해당하는 게이트 라인을 감당하기 위해 도 12에서 도시한 폴업기능을 수행하는 트랜지스터(이하, 폴업 트랜지스터(M1))나 풀다운기능을 수행하는 트랜지스터(이하 풀다운 트랜지스터(M2))는 폴업구동기능을 수행하는 제3 내지 제5 NMOS 트랜지스터(M3~M5)들이나 풀다운구동기능을 수행하는 제6 및 제7 NMOS 트랜지스터(M6, M7)들 보다 상대적으로 큰 크기로 설계한다.

<104> 이처럼 폴업 트랜지스터(M1)나 풀다운 트랜지스터(M2)의 크기를 크게하기 위해 도 15a 내지 도 15c에 도시한 바와 같이, 절연 기판상에서 일정 영역을 정의하는 게이트 배선과 액티브층을 순차적으로 형성하고, 상기 게이트 배선 위에 핑거 타입(finger type)으로 다수의 드레인 전극과 다수의 소오스 전극을 형성하여 폴업 트랜지스터(M1[N], M1[N+1])와 풀다운 트랜지스터(M2[N], M2[N+1])를 형성한다. 여기서는 설명의 편의를 위해 N번째 스테이지를 현재 스테이지로 하고, N+1번째 스테이지를 다음 스테이지로 하여 2개의 스테이지만을 도시한다.

<105> 구체적으로, 폴업 트랜지스터(M1[N], M1[N+1])의 게이트 배선은 일정 면적을 정의하는 일정 영역 전체에 걸쳐 형성되고, 액티브층(ACTIVE)은 상기 게이트 배선 위에 형성되며, 드레인 전극은 도면상에서 아래 방향을 향하도록 신장되는 메인 드레인 배선으로부터 다수개로 분기되어 상기 액티브층(ACTIVE) 위에 형성되고, 소오스 전극은 다수개로 분기된 드레인 라인 사이사이 및 최외곽측에 형성되고, 일정 콘택홀을 통해 액정표시패널에 형성된 게이트 라인에 연결된다. 상기 다수개로 분기된 드레인 라인이나 게이트 라인의 폭(W)은 최소 디자인 룰에 의해 5 μ m인 것이 바람직하고, 상기 메인 드레인 배선의 폭은 5 μ m보다 큰 것이 바람직하며, 게이트 배선 위에 형성되는 드레인 라인과 소오스 라인간의 간격(L)은 작을수록 우수한 성능의 TFT를 얻을 수 있다.

<106> 또한, 풀다운 트랜지스터(M2[N], M2[N+1])의 게이트 배선은 일정 면적을 정의하는 일정 영역 전체에 걸쳐 형성되고, 액티브층은 상기 게이트 배선 위에 형성되며, 드레인 전극은 도면상에서 위 방향을 향하도록 신장되는 메인 드레인 배선으로부터 다수개로 분기되어 상기 액티브층 위에 형성되고, 게이트 전극은 다수개로 분기된 드레인 라인 사이사이 및 최외곽측에 형성되고, 일정 콘택홀을 통해 액정표시패널에 형성된 게이트 라인에 연결된다.

<107> 특히, 폴업 트랜지스터(M1[N], M1[N+1])의 소오스 전극이나 풀다운 트랜지스터(M2[N], M2[N+1])의 소오스 전극은 다수개이므로 하나의 배선으로 공통하기 위해 제1 콘택홀(CNT1)을 통해 연결시키고, 폴업 트랜지스터(M1[N],

M1[N+1])나 풀다운 트랜지스터(M2[N], M2[N+1]) 각각에 형성되는 소오스 전극들의 형성 높이와 액정표시패널에 형성된 게이트 라인의 형성 높이는 상이하므로 상기 제1 콘택홀(CNT1)에 연결된 도전성 물질인 제1 ITO층(ITO1)과 제2 콘택홀(CNT2)을 이용한 브리지(bridge) 연결 방식으로 서로 다른 높이로 형성된 소오스 전극과 게이트 라인을 연결시킨다.

- <108> 한편, 현재 스테이지의 드레인 전극에 인가되는 파워 클럭(CKV 또는 CKVB)을 다음 스테이지의 풀업구동부, 즉 제3 NMOS 트랜지스터(M3)의 게이트에 인가하기 위해 상기 풀업 트랜지스터(M1) 근방에 캐리버퍼 트랜지스터(TR1)를 형성한다.
- <109> 구체적으로, 상기 캐리버퍼 트랜지스터(TR1)의 게이트 전극은 상기 풀업 트랜지스터(M1[N], M1[N+1])의 게이트 배선에 공통하여 형성하고, 드레인 전극은 상기 풀업 트랜지스터(M1[N], M1[N+1])의 드레인 전극을 형성하는 메인 배선으로부터 분기되도록 형성하며, 소오스 전극은 상기 풀업 트랜지스터(M1[N], M1[N+1])와 풀다운 트랜지스터(M2[N], M2[N+1])의 종단을 우회하여 다음 스테이지의 제3 NMOS 트랜지스터(M3)의 게이트에 연결되도록 형성한다.
- <110> 특히, 상기 캐리버퍼 트랜지스터(TR1)의 소오스 전극으로부터 연장된 소오스 라인의 형성 높이와 다음 스테이지의 제3 NMOS 트랜지스터(M3)의 게이트 전극으로 연장된 게이트 라인의 형성 높이는 상이하므로 상기 캐리버퍼 트랜지스터(TR1)의 소오스 라인에 제3 콘택홀(CNT3)을 경유하여 연결된 도전성 물질인 제2 ITO층(ITO2)과 제4 콘택홀(CNT4)을 이용한 브리지(bridge) 연결 방식으로 서로 다른 높이로 형성된 소오스 라인과 게이트 라인을 연결시킨다.
- <111> 이상에서는 실시예들을 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

발명의 효과

- <112> 이상에서 설명한 바와 같이, 본 발명에 따르면 쉬프트 레지스터를 구성하는 각 스테이지에 독립적으로 캐리를 발생하는 캐리버퍼 트랜지스터를 내장함으로써, 대화면, 고해상도의 TFT LCD에 적용시 RC 지연에 둔감한 쉬프트 레지스터를 제공한다. 즉, 현재 스테이지의 출력단에 연결된 게이트 라인에 전달되는 신호와 다음 스테이지의 입력단에 전달되는 캐리신호를 분리하는 박막 트랜지스터를 현재의 스테이지에 추가함으로써, 상기 게이트 라인의 RC 로드가 다음 스테이지에 미치는 영향을 제거할 수 있다.
- <113> 또한, 액정표시패널의 게이트 라인이 증가하더라도 임의의 게이트 라인에 인가되는 게이트 신호를 다음 스테이지의 기동 신호로 이용하지 않고 공통으로 공급되는 파워 클럭을 이용하므로 정상적인 디스플레이 기능을 갖는 액정 표시 장치를 제공할 수 있다.

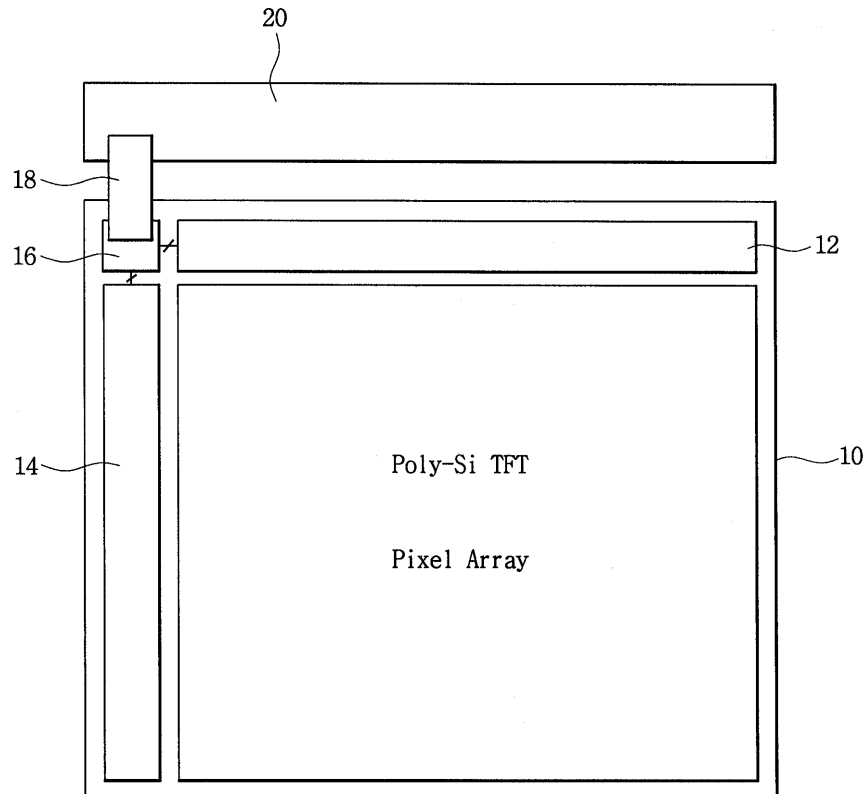
도면의 간단한 설명

- <1> 도 1은 poly-TFT LCD의 TFT 기관의 구성을 나타낸 개략도이다.
- <2> 도 2는 종래의 a-Si LCD의 TFT 기관의 구성을 나타낸 개략도이다.
- <3> 도 3은 본 발명에 의한 a-Si TFT 액정 표시 장치의 분해 사시도를 나타낸다.
- <4> 도 4는 본 발명에 의한 a-Si TFT LCD의 TFT 기관의 구성을 나타낸 도면이다.
- <5> 도 5는 상기 도 4의 데이터 구동회로의 쉬프트 레지스터의 블록도이다.
- <6> 도 6은 상기 도 4의 게이트 구동회로에 채용되는 쉬프트 레지스터를 설명하기 위한 블록도이다.
- <7> 도 7은 상기 도 6에 도시된 쉬프트 레지스터의 각 스테이지의 구체적인 회로 구성을 나타낸 것이다.
- <8> 도 8은 상기 도 7에 의한 출력 파형도이다.
- <9> 도 9는 상기 도 6에 의한 구동 파형을 설명하기 위한 파형도이다.
- <10> 도 10은 상기 도 6에 도시한 쉬프트 레지스터를 채용하는 액정 표시 장치를 설명하기 위한 도면이다.
- <11> 도 11은 본 발명에 따른 쉬프트 레지스터를 설명하기 위한 블록도이다.

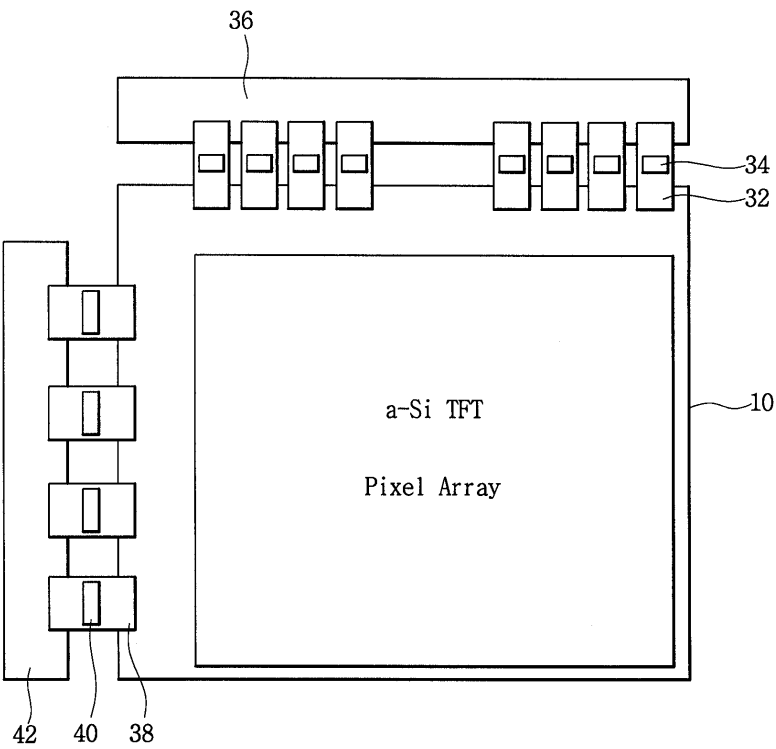
- <12> 도 12는 본 발명에 따른 쉬프트 레지스터의 단위 스테이지를 설명하기 위한 도면이다.
- <13> 도 13은 본 발명에 따른 쉬프트 레지스터를 설명하기 위한 회로도이다.
- <14> 도 14는 상기 도 11에 도시한 쉬프트 레지스터를 채용한 액정 표시 장치를 설명하기 위한 도면이다.
- <15> 도 15a 및 도 15b는 본 발명에 따른 쉬프트 레지스터의 단위 스테이지중 풀업부, 풀다운부 및 캐리버퍼부만을 발췌한 레이아웃도이고, 도 15c는 상기 캐리버퍼부가 배치되는 영역만을 확대한 도면이다.

도면

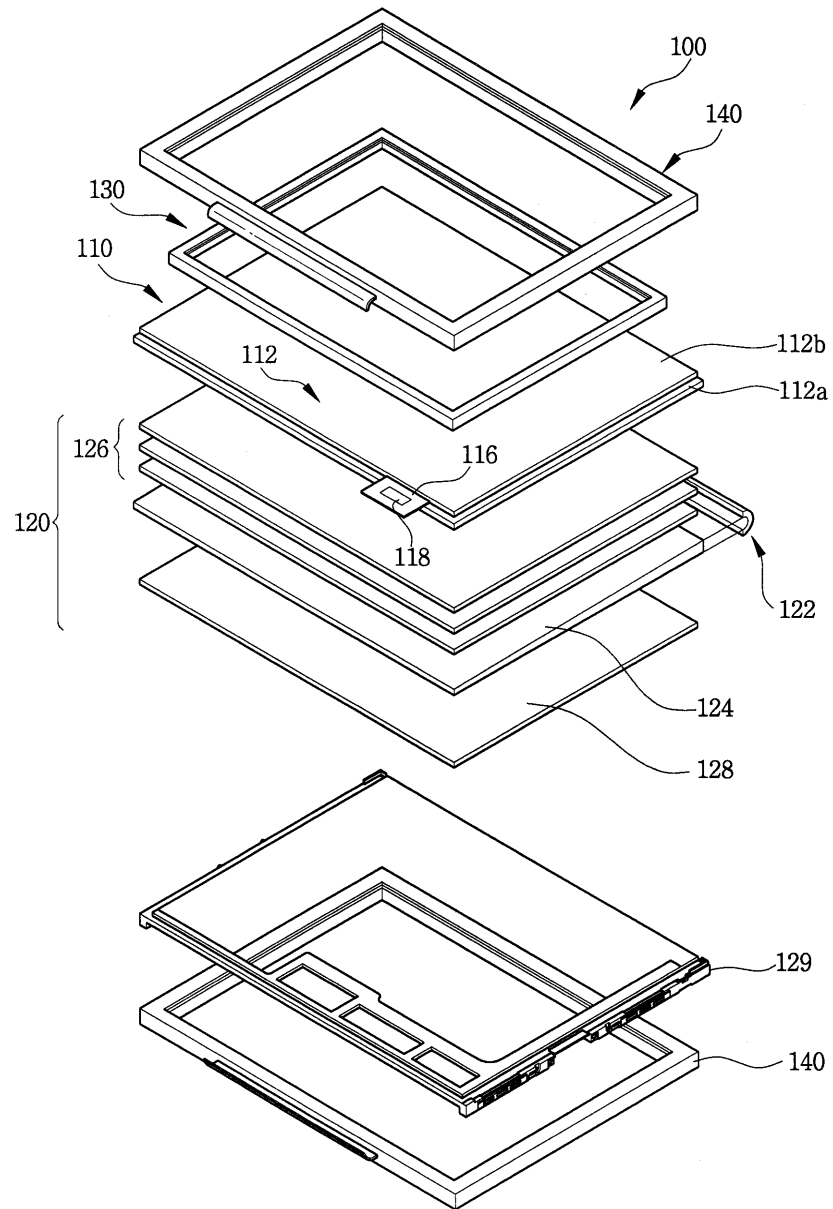
도면1



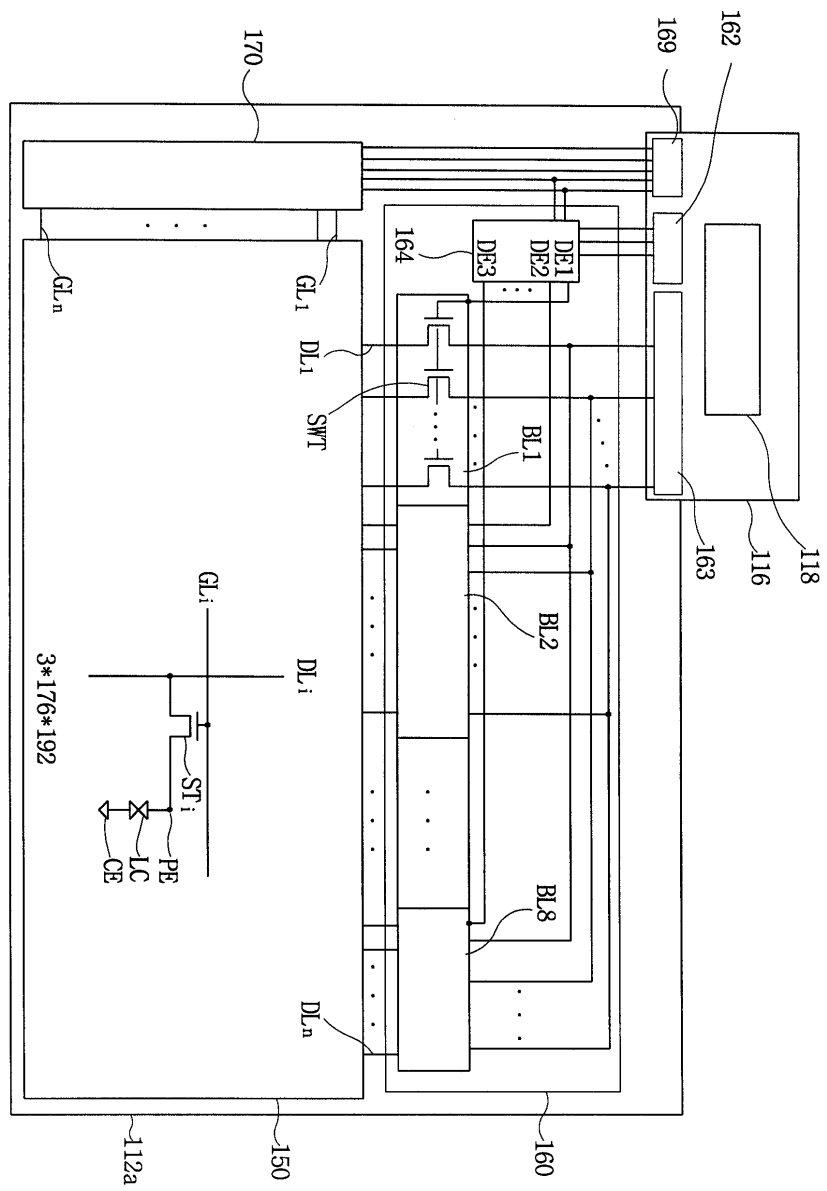
도면2



도면3

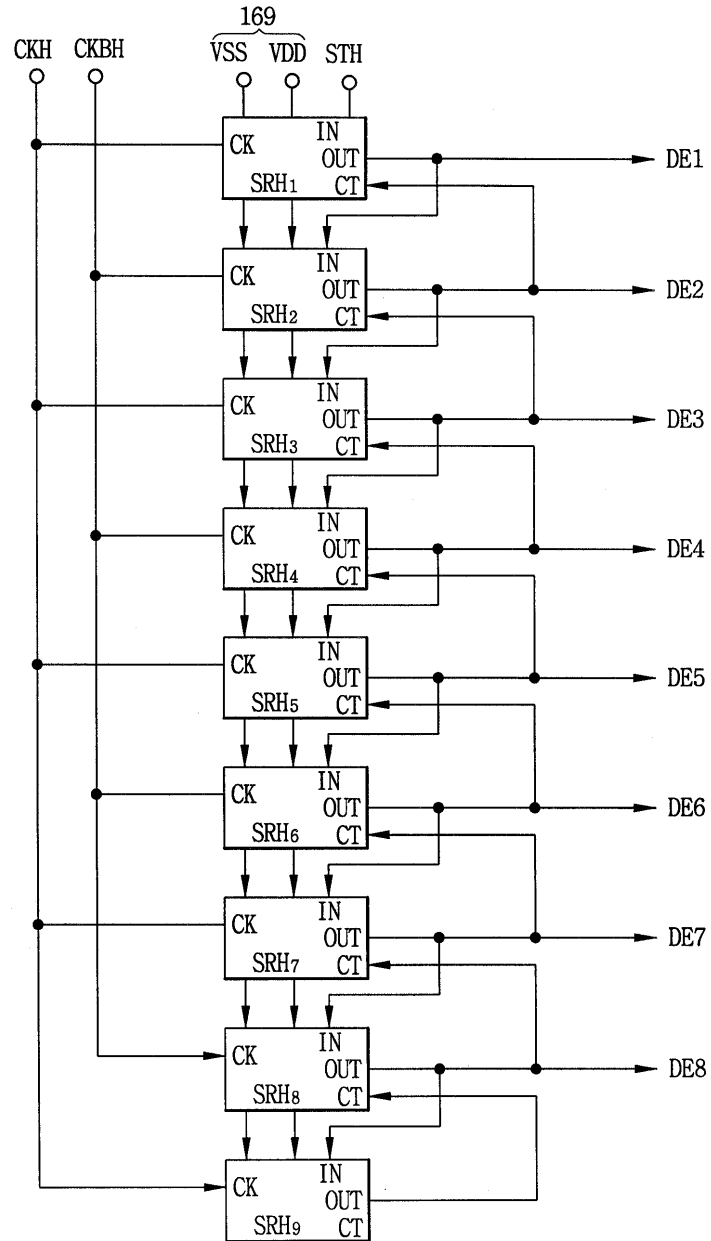


도면4

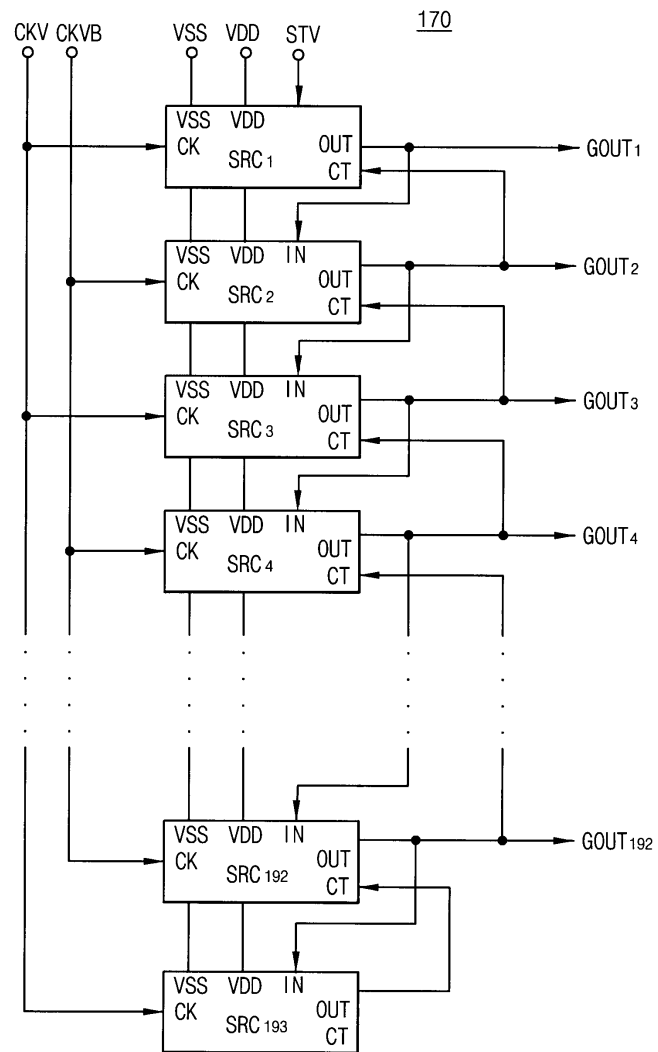


도면5

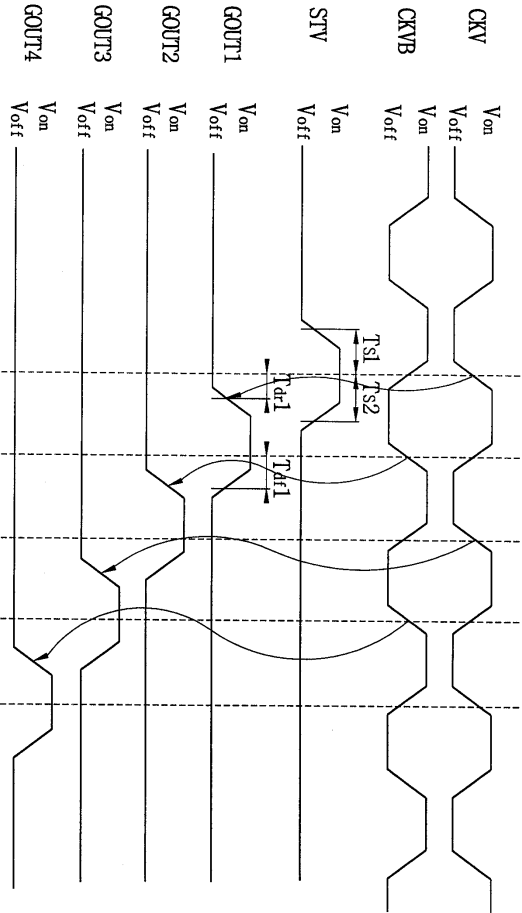
164



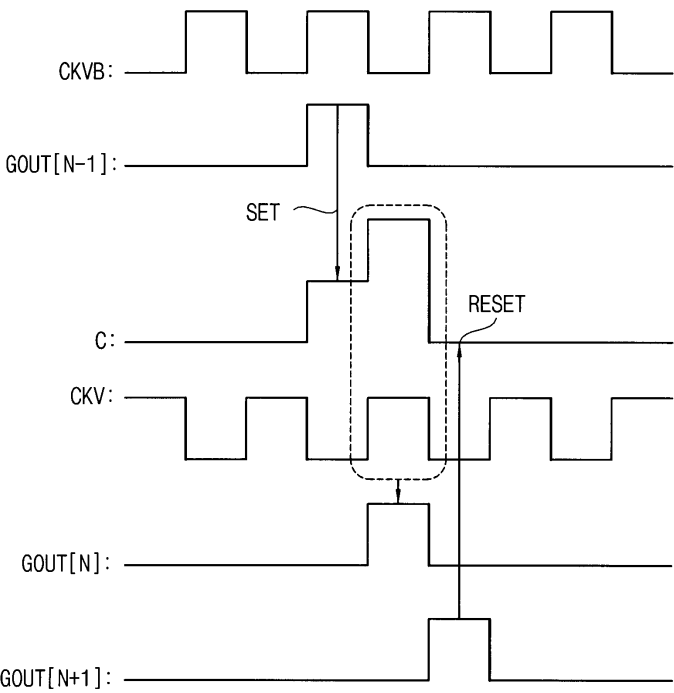
도면6



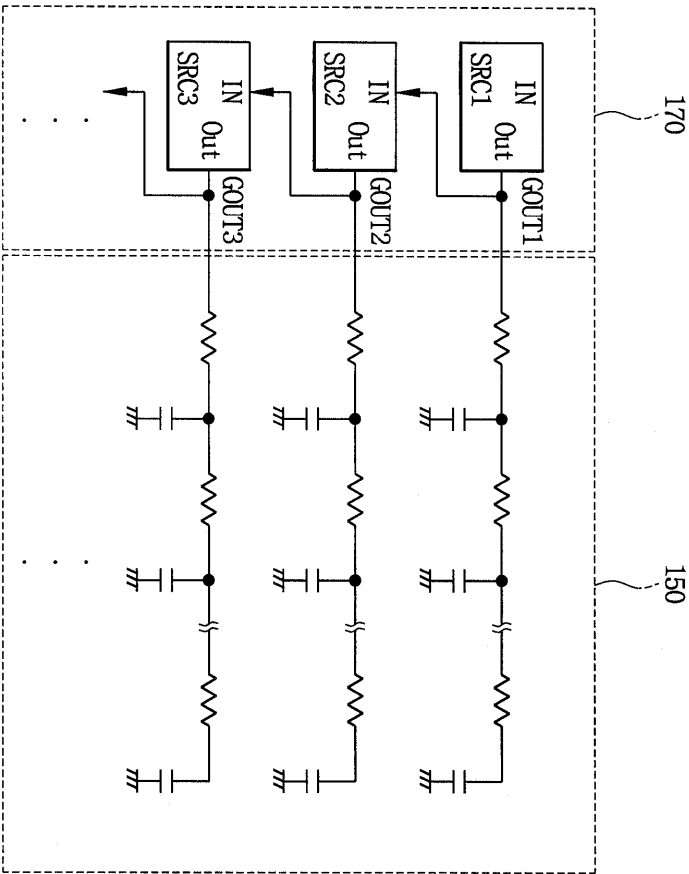
도면8



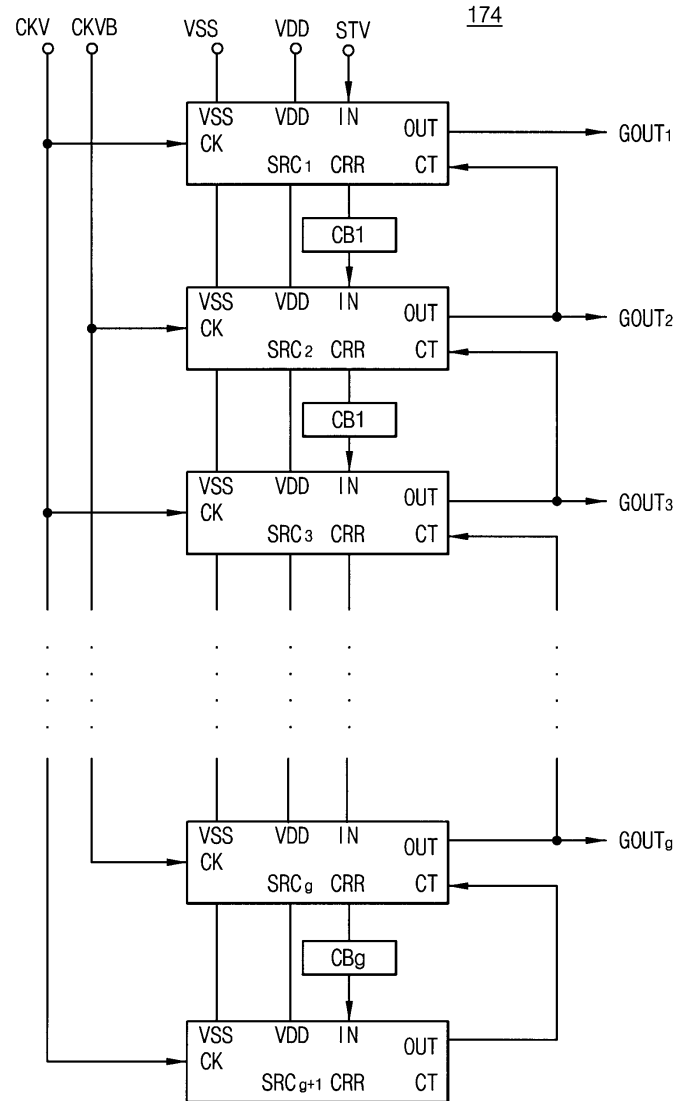
도면9



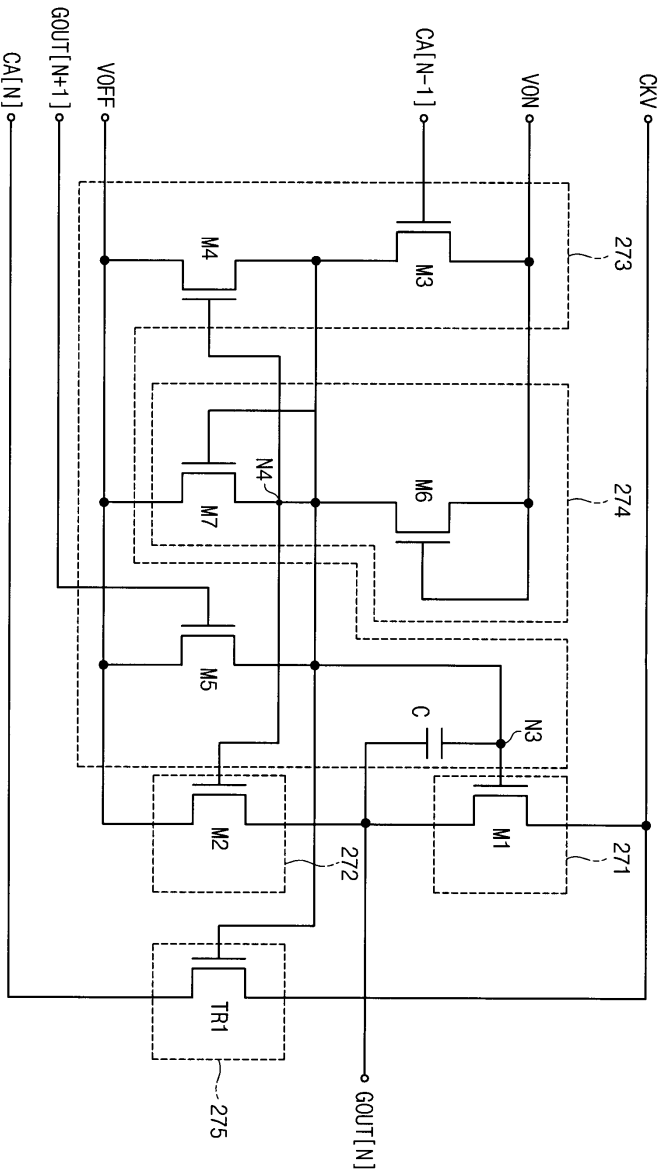
도면10



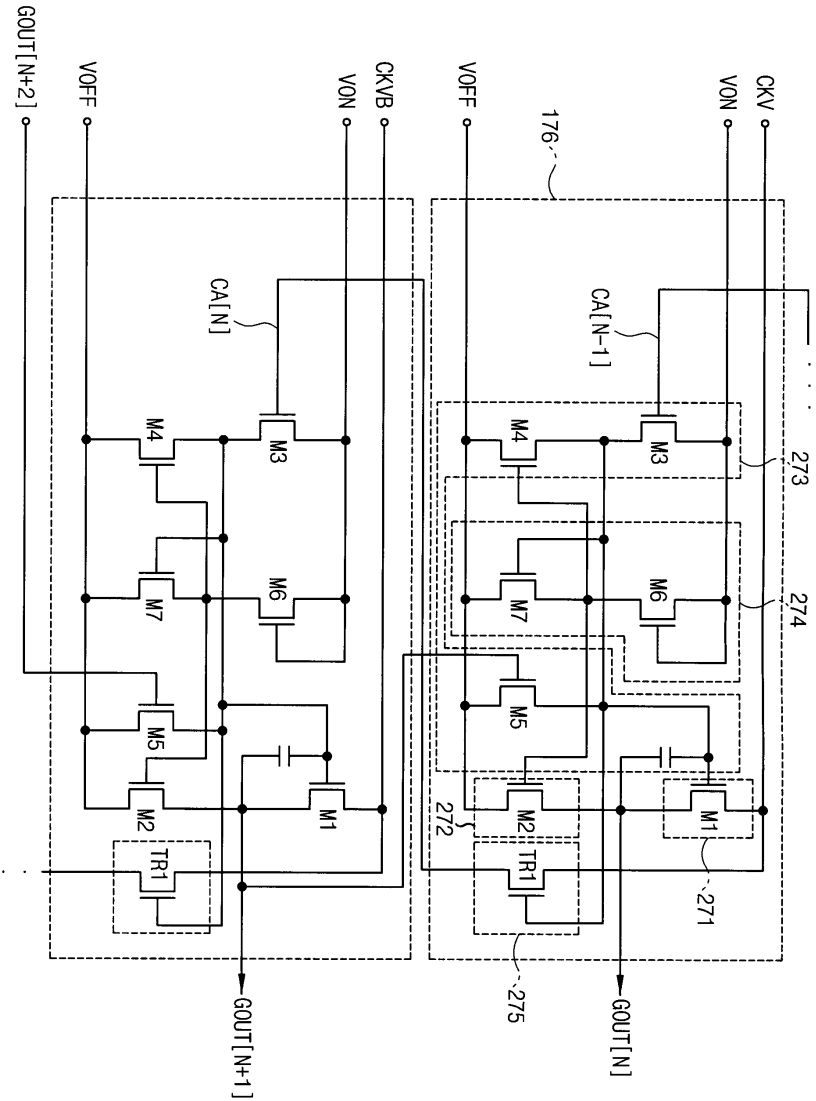
도면11



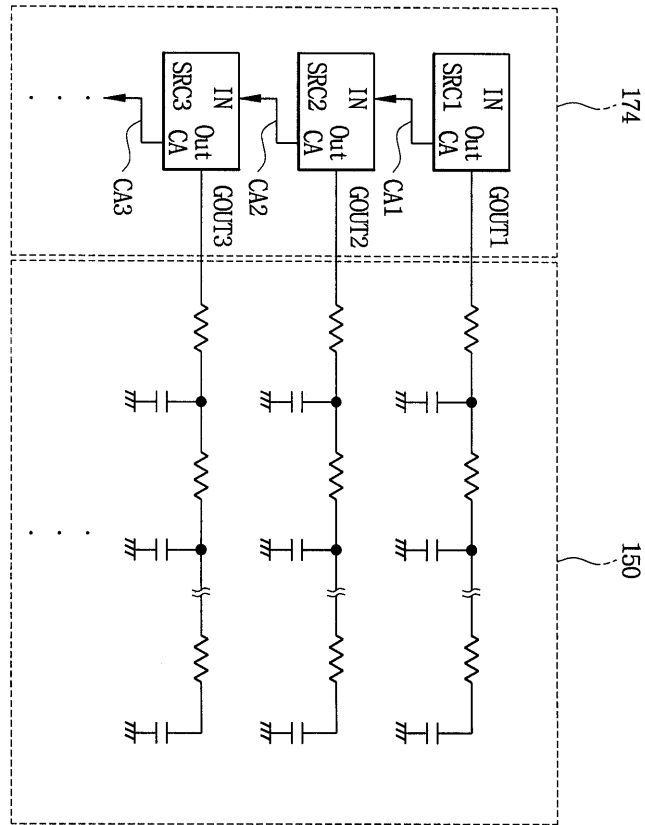
도면12



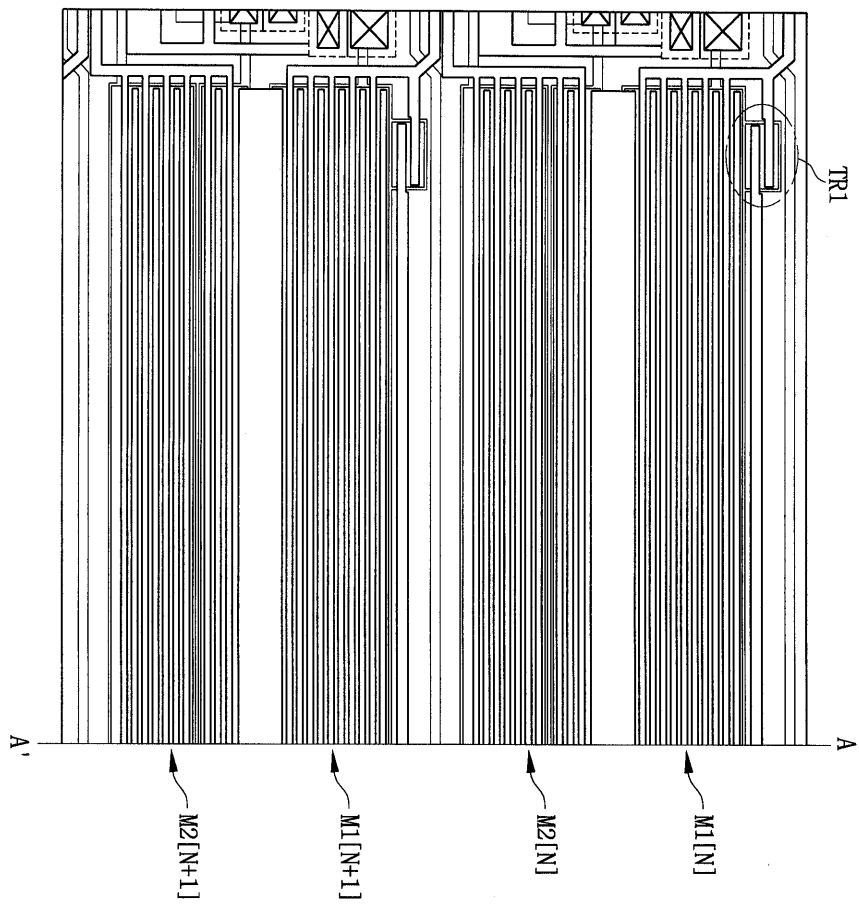
도면13



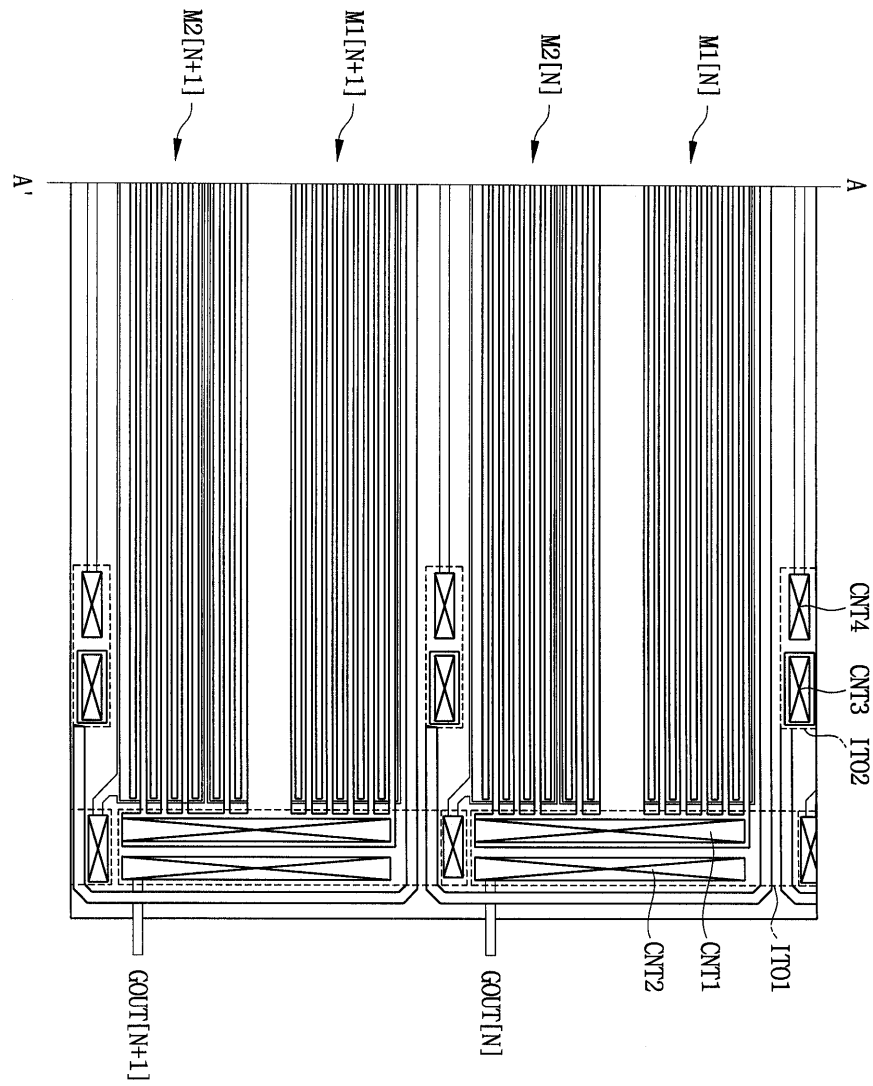
도면14



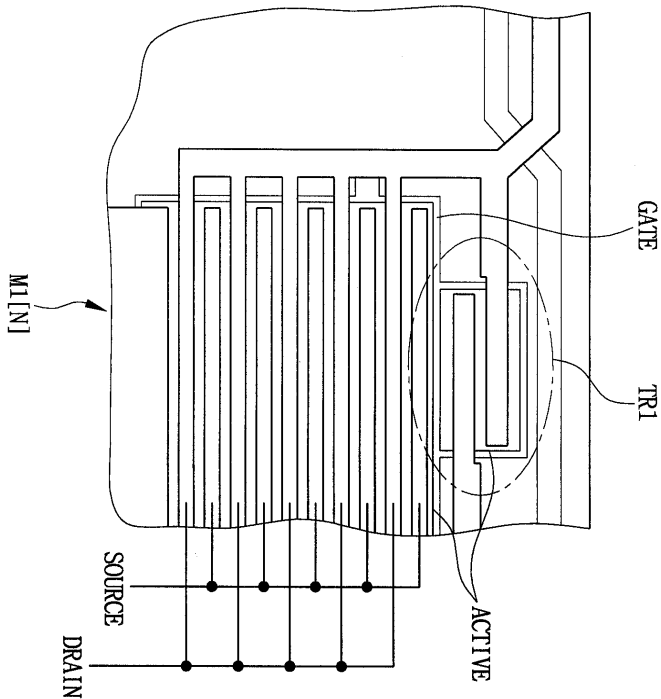
도면15a



도면15b



도면15c



专利名称(译)	移位寄存器和具有它的液晶显示器件		
公开(公告)号	KR100917019B1	公开(公告)日	2009-09-10
申请号	KR1020030006683	申请日	2003-02-04
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	LEE BACKWON		
发明人	LEE, BACKWON		
IPC分类号	G09G3/36		
CPC分类号	E02B7/44 E02B8/00 E02B8/06		
代理人(译)	PARK, YOUNG WOO		
其他公开文献	KR1020040070537A		
外部链接	Espacenet		

摘要(译)

公开了大屏幕和能够应用于高清晰度的a-Si TFT LCD和具有该大屏幕的液晶显示器的移位寄存器。控制进位缓冲器部分对应于第一和第二时钟中的下一级的时钟的传输。提供上拉部分对应于第一和第二时钟中的输出端子的时钟。并且下拉部分向输出端子提供第一电源电压。上拉驱动部分连接到上拉部分的输入节点。上拉部分转动 - 响应于从前一级的第一进位缓冲器部分提供的进位而接通。上拉部分通过转向关闭 - 响应于从下一级提供的第一个的前端或第二控制信号。下拉驱动部分连接到下拉部分的输入节点。下拉部分通过转向关闭 - 响应于前一级的第一进位缓冲器部分提供的时钟。下拉部分转动 - 响应于第一或第二控制信号的前端而接通。因此，它具有产生每级的进位缓冲器，独立地包括移位寄存器，内置的进位电压。这样，在大屏幕中可以最小化RC延迟，并且在高清晰度的a-Si TFT LCD中应用。液晶，移位寄存器，电荷，移位寄存器，RC延迟，大屏幕。

