



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년06월13일
(11) 등록번호 10-0838324
(24) 등록일자 2008년06월09일

(51) Int. Cl.

G02F 1/1343 (2006.01) G02F 1/136 (2006.01)

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

(21) 출원번호 10-2006-0073877

(22) 출원일자 2006년08월04일

심사청구일자 2006년08월04일

(65) 공개번호 10-2008-0012676

(43) 공개일자 2008년02월12일

(56) 선행기술조사문헌

KR1020040022665 A*

KR1020060019978 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

비오이 하이디스 테크놀로지 주식회사

경기도 이천시 부발읍 아미리 산 136-1

(72) 발명자

김귀현

경기 수원시 권선구 세류1동 216-19

(74) 대리인

특허법인아주

전체 청구항 수 : 총 17 항

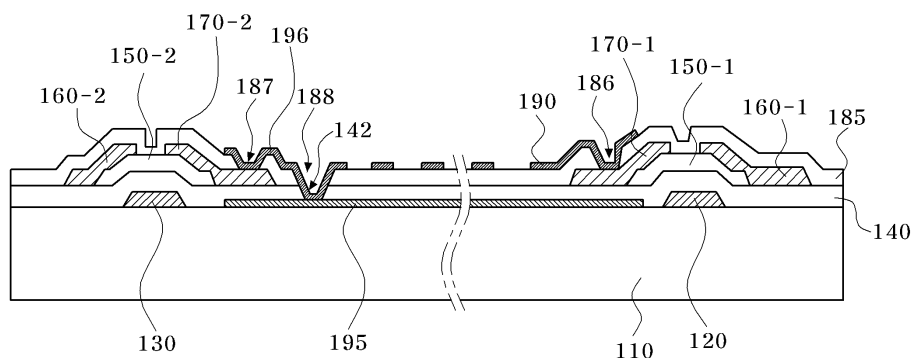
심사관 : 윤성주

(54) 프린지 필드 액정표시소자, 그 제조 방법 및 그 구동 방법

(57) 요약

잔상 현상을 개선할 수 있는 액정표시소자가 제공된다. 본 발명에 의한 액정표시소자는 서로 평행한 방향으로 게이트 버스 라인 및 공통 버스 라인이 형성되어 있는 기판 게이트 버스 라인 및 공통 버스 라인이 형성된 기판 전면에 걸쳐 형성된 절연막 게이트 버스 라인 및 공통 버스 라인과 일부분이 겹치도록 절연막 상에 형성된 액티브층과, 액티브층 위에 서로 대향되도록 이격되어 형성된 소스 전극 및 드레인 전극 게이트 버스 라인 및 공통 버스 라인과 교차하도록 형성되며, 소스 전극과 연결되는 데이터 버스 라인 소스 전극 및 드레인 전극이 형성된 기판 전면에 걸쳐 형성된 보호막 게이트 버스 라인, 공통 버스 라인 및 데이터 버스 라인의 교차에 의해 정의된 화소 영역에 형성되며, 게이트 버스 라인 위에 형성된 드레인 전극과 연결되는 상부 투명 전극 및 화소 영역에 절연막 및 보호막을 사이에 두고 상부 투명 전극과 대향하는 위치에 형성되며, 공통 버스 라인 위에 형성된 드레인 전극과 연결되는 하부 투명 전극을 포함한다. 또한, 액정표시소자의 제조 방법 및 구동 방법도 제공된다.

대표도 - 도6



특허청구의 범위

청구항 1

서로 평행한 방향으로 게이트 버스 라인 및 공통 버스 라인이 형성되어 있는 기관;

상기 게이트 버스 라인 및 상기 공통 버스 라인이 형성된 상기 기관 전면에 걸쳐 형성된 절연막;

상기 게이트 버스 라인과 일부분이 겹치도록 상기 절연막 상에 형성된 제1액티브층과, 상기 제1액티브층 위에 서로 대향되도록 이격되어 형성된 제1소스 전극 및 제1드레인 전극 및, 상기 공통 버스 라인과 일부분이 겹치도록 상기 절연막 상에 형성된 제2액티브층과, 상기 제2액티브층 위에 서로 대향되도록 이격되어 형성된 제2소스 전극 및 제2드레인 전극;

상기 게이트 버스 라인 및 상기 공통 버스 라인과 교차하게 형성되며, 상기 제1,2소스 전극과 연결되는 데이터 버스 라인;

상기 제1,2소스 전극 및 상기 제1,2드레인 전극이 형성된 상기 기관 전면에 걸쳐 형성된 보호막;

상기 게이트 버스 라인, 상기 공통 버스 라인 및 상기 데이터 버스 라인의 교차에 의해 정의된 화소 영역에 형성되며, 상기 게이트 버스 라인 위에 형성된 상기 제1드레인 전극과 연결되는 상부 투명 전극; 및

상기 화소 영역에 상기 절연막 및 상기 보호막을 사이에 두고 상기 상부 투명 전극과 대향하는 위치에 형성되며, 상기 공통 버스 라인 위에 형성된 상기 제2드레인 전극과 연결되는 하부 투명 전극을 포함하는 프린지 필드 액정표시소자.

청구항 2

제1항에 있어서,

상기 절연막은 상기 하부 투명 전극의 일부를 노출시키는 제1 콘택홀을 가지고, 상기 보호막은 상기 게이트 버스 라인 위에 형성된 상기 제1드레인 전극의 일부를 노출시키는 제2 콘택홀, 상기 공통 버스 라인 위에 형성된 상기 제2드레인 전극의 일부를 노출시키는 제3 콘택홀, 및 상기 제1 콘택홀과 대응하는 위치에 형성되어 상기 하부 투명 전극의 일부를 노출시키는 제4 콘택홀을 가지는 것을 특징으로 하는 프린지 필드 액정표시소자.

청구항 3

제2항에 있어서,

상기 상부 투명 전극은 상기 제2 콘택홀을 통해 상기 게이트 버스 라인 위에 형성된 상기 제1드레인 전극과 연결되는 것을 특징으로 하는 프린지 필드 액정표시소자.

청구항 4

제2항에 있어서,

상기 제3 콘택홀을 통해 상기 공통 버스 라인 위에 형성된 상기 제2드레인 전극과 연결되고, 상기 제1 및 제4 콘택홀을 통해 상기 하부 투명 전극과 연결되는 연결부를 더 포함하며,

상기 하부 투명 전극은 상기 연결부를 통해 상기 공통 버스 라인 위에 형성된 상기 제2드레인 전극과 연결되는 것을 특징으로 하는 프린지 필드 액정표시소자.

청구항 5

제4항에 있어서,

상기 연결부는 투명 전극인 것을 특징으로 하는 프린지 필드 액정표시소자.

청구항 6

제1항에 있어서,

상기 상부 투명 전극에는 복수개의 슬릿이 빗살무늬 형태를 이루도록 형성된 것을 특징으로 하는 프린지 필드

액정표시소자.

청구항 7

제1항에 있어서,

상기 게이트 버스 라인 위에 형성된 상기 제1액티브층의 채널 폭 및 길이는 상기 공통 버스 라인 위에 형성된 상기 제2액티브층의 채널 폭 및 길이와 동일한 것을 특징으로 하는 프린지 필드 액정표시소자.

청구항 8

기관 위에 하부 투명 전극을 형성하는 단계;

상기 하부 투명 전극을 사이에 두고 상기 기관 위에 게이트 버스 라인 및 공통 버스 라인을 대향하게 형성하는 단계;

상기 게이트 버스 라인 및 상기 공통 버스 라인이 형성된 상기 기관 위에 절연막을 형성하는 단계;

상기 게이트 버스 라인에 대응하는 상기 절연막 상에 제1액티브층을 형성하고, 상기 제1액티브층 위에 제1소스 전극 및 제1드레인 전극을 서로 이격되게 형성하며,

상기 공통 버스 라인에 대응하는 상기 절연막 상에 제2액티브층을 형성하고, 상기 제2액티브층 위에 제2소스 전극 및 제2드레인 전극을 서로 이격되게 형성하는 단계;

상기 게이트 버스 라인 및 상기 공통 버스 라인과 교차하도록 데이터 버스 라인을 형성하는 단계;

상기 제1,2소스 전극 및 상기 제1,2드레인 전극이 형성된 상기 기관 위에 보호막을 형성하는 단계;

상기 게이트 버스 라인 위에 형성된 상기 제1드레인 전극의 일부가 노출되도록 상기 보호막에 제2 콘택홀을 형성하고, 상기 공통 버스 라인 위에 형성된 상기 제2드레인 전극의 일부가 노출되도록 상기 보호막에 제3 콘택홀을 형성하며, 상기 하부 투명 전극의 일부가 노출되도록 상기 절연막 및 보호막에 각각 제1 및 제4 콘택홀을 형성하는 단계;

상기 하부 투명 전극과 대응하는 상기 보호막상에 상부 투명 전극을 형성하는 단계; 및

상기 제3 콘택홀을 통해 상기 공통 버스 라인 위에 형성된 상기 제2드레인 전극과 연결되고, 상기 제1 및 제4 콘택홀을 통해 상기 하부 투명 전극과 연결되는 연결부를 상기 보호막 위에 형성하는 단계를 포함하며,

상기 상부 투명 전극은 상기 제2 콘택홀을 통해 상기 게이트 버스 라인 위에 형성된 상기 제1드레인 전극과 연결되며, 상기 하부 투명 전극은 상기 연결부를 통해 상기 공통 버스 라인 위에 형성된 상기 제2드레인 전극과 연결되는 프린지 필드 액정표시소자 제조 방법.

청구항 9

제8항에 있어서,

상기 제1 콘택홀과 상기 제4 콘택홀은 상기 하부 투명 전극의 일부가 노출될 수 있도록 서로 대응되는 위치에 형성되는 것을 특징으로 하는 프린지 필드 액정표시소자 제조 방법.

청구항 10

제8항에 있어서,

상기 연결부는 투명 전극인 것을 특징으로 하는 프린지 필드 액정표시소자 제조 방법.

청구항 11

제8항에 있어서,

상기 상부 투명 전극에는 복수개의 슬릿이 빗살무늬 형태를 이루도록 형성된 것을 특징으로 하는 프린지 필드 액정표시소자 제조 방법.

청구항 12

게이트 버스 라인 및 공통 버스 라인에 스위칭 신호를 각각 순차적으로 인가하는 단계;

상기 게이트 버스 라인에 스위칭 온 신호가 인가된 경우, 데이터 버스 라인에 인가된 화소 전압 신호 또는 공통 전압 신호를 절연막 및 보호막 상부에 형성된 상부투명 전극에 인가하는 단계; 및

상기 공통 버스 라인에 스위칭 온 신호가 인가된 경우, 상기 데이터 버스 라인에 인가된 상기 화소 전압 신호 또는 상기 공통 전압 신호를 절연막 및 보호막 하부에 형성된 하부 투명 전극에 인가하는 단계를 포함하는 프린지 필드 액정표시소자 구동 방법.

청구항 13

제12항에 있어서, 상기 상부 투명 전극에 상기 화소 전압 신호 또는 상기 공통 전압 신호를 인가하는 단계에서, 상기 상부 투명 전극은 n (n =양의 정수)번째 프레임에서는 상기 화소 전압 신호를 인가받고, $n+1$ 번째 프레임에서는 상기 공통 전압 신호를 인가받는 것을 특징으로 하는 프린지 필드 액정표시소자 구동 방법.

청구항 14

제12항에 있어서, 상기 하부 투명 전극에 상기 화소 전압 신호 또는 상기 공통 전압 신호를 인가하는 단계에서, 상기 하부 투명 전극은 상기 n 번째 프레임에서는 상기 공통 전압 신호를 인가받고, 상기 $n+1$ 번째 프레임에서는 상기 화소 전압 신호를 인가받는 것을 특징으로 하는 프린지 필드 액정표시소자 구동 방법.

청구항 15

제13항 또는 제14항에 있어서,

상기 n 번째 프레임에서는 상기 화소 전압 신호가 상기 공통 전압 신호보다 높아 포지티브 극성으로 구동하고, 상기 $n+1$ 번째 프레임에서는 상기 공통 전압 신호가 상기 화소 전압 신호보다 높아 네거티브 극성으로 구동하는 것을 특징으로 하는 프린지 필드 액정표시소자 구동 방법.

청구항 16

제12항에 있어서, 상기 게이트 버스 라인 및 상기 공통 버스 라인에 인가되는 상기 스위칭 신호는 동일한 전압 레벨을 가지는 것을 특징으로 하는 프린지 필드 액정표시소자 구동 방법.

청구항 17

제12항에 있어서,

더블 프레임 레이트의 프레임 주파수로 구동하는 것을 특징으로 하는 프린지 필드 액정표시소자 구동 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <21> 본 발명은 액정표시소자, 그 제조 방법 및 그 구동 방법에 관한 것으로서, 보다 상세하게는 프레임간 플리커 현상 및 위치별 플리커 차이를 개선할 수 있으며, 화소 구조에 따른 잔류 DC 극성을 상쇄하여 잔상 현상을 개선할 수 있는 액정표시소자, 그 제조 방법 및 그 구동 방법에 관한 것이다.
- <22> 도 1은 종래기술에 따른 프린지 필드 스위칭 모드의 액정표시소자의 구조를 나타낸 평면도이고, 도 2는 도 1의 II-II'선에 따른 단면도이다. 여기서, 미참조 부호 142, 144, 146, 148, 149는 각각 절연막, 액티브층, 소스 전극, 드레인 전극, 보호막을 가리킨다.
- <23> 도 1 및 도 2를 참조하면, 종래기술에 따른 프린지 필드 스위칭(Fringe Field Switching: FFS) 모드의 액정표시소자는 유리 기판(170) 위에 서로 이격되어 평행하도록 형성된 게이트 버스 라인(110) 및 공통 버스 라인(120)과, 게이트 버스 라인(110) 및 공통 버스 라인(120)과 수직 교차하도록 형성된 데이터 버스 라인(130)과, 게이트

트 버스 라인(110)과 데이터 버스 라인(130)이 교차하는 지점에 형성되어 화소 전압을인가하는 박막 트랜지스터 소자(140)와, 박막 트랜지스터 소자(140)와 전기적으로 연결된 화소 전극(150)과, 공통 버스 라인(120)과 전기적으로 연결된 공통 전극(160)을 포함한다.

- <24> 이와 같은 종래기술에 따른 프린지 필드 스위칭 모드의 액정표시소자는 화소 전극(150)과 공통 전극(160)에 각각 화소 전압과 공통 전압을 한 프레임 동안 인가하여 액정을 구동한다. 이때, 화소 전압은 게이트 버스 라인(110) 위에 있는 박막 트랜지스터 소자(140)를 통해서 펄스 파형으로 인가되는 반면에, 공통 전압은 공통버스 라인(120)을 통해서 직류(DC)로 인가된다. 이때, 화소 전압은 게이트 버스 라인(110) 저항에 따른 딜레이(Delay) 영향을 받기 때문에 패널 위치별 플리커(Flicker) 특성도 동일하지 않게 된다.
- <25> 따라서, 패널 가운데 영역을 기준으로 플리커 값이 최소화 되도록 공통 전극(160)의 전압을 조정하는 방법을 적용할 수도 있으나, 이러한 경우, 패널 가운데 영역의 플리커 현상은 사라지지만 좌/우측의 플리커 현상은 사라지지 않는다.
- <26> 플리커 현상은 셀(Cell) 내 액정에 DC 전압을 형성하여 잔상과 DC aging에 의한 화면 저하를 초래한다. 따라서, 종래의 액정표시소자의 구조하에서는 플리커 현상으로 인한 잔상 및 화면 저하 현상이 발생하는 문제점이 있었다.
- <27> 이러한 문제점을 해결하기 위해 멀티 레벨 게이트(Multi-level gate) IC를 적용하여 게이트 버스 라인(110)에 멀티 레벨 신호를 인가함으로써 위치별 플리커를 감소시키는 방법이 제안된 바 있다. 하지만, 이러한 방법도 플리커 현상을 제거하는 데에 한계가 있었다.
- <28> 한편, 종래 구조에서 화소 전압은 게이트 버스라인(110)의 박막 트랜지스터 소자(140)가 오프(Off) 상태인 한 프레임 동안 플로팅(Floating) 상태이기 때문에 주변 교류(AC) 전극(예를 들면, 데이터 전극)의 영향으로 변동이 발생하는 반면, 공통 전극(160)은 DC 전압을 일정하게 유지한다.
- <29> 따라서, 도트 인버전(Dot Inversion) 구동 시 n (양의 정수)과 $n+1$ 번째 프레임의 액정 동작 전압, 즉 화소 전압과 공통 전압의 차가 동일하지 않아 셀 내 DC 전압이 형성된다. 이 또한 액정표시소자의 잔상 특성을 강화시키는 요인이다.
- <30> 한편, 도 3a는 노멀 구조의 액정표시소자에서의 잔류 DC를 보여주기 위한 도면이고, 도 3b는 도 3a의 액정표시소자의 구조하에서 V-T 곡선의 시프트를 보여주기 위한 도면이다. 또한, 도 4a는 인버전 구조의 액정표시소자에서의 잔류 DC를 보여주기 위한 도면이고, 도 4b는 도 4a의 액정표시소자의 구조하에서 V-T 곡선의 시프트를 보여주기 위한 도면이다.
- <31> 도 3a 및 도 3b를 참조하면, 공통 전극(160)이 아래에 위치하고 화소 전극(150)이 위에 위치하는 노멀(normal) 구조(기존 구조)의 경우, 고정 패턴에 의한 스트레스(Stress) 인가 시 잔류 DC 전압에 의해 전압-투명도, 즉 V-T 곡선에서 시프트(Shift)가 왼쪽 방향으로만 발생한다. 이와 반대로, 도 4a 및 도 4b를 참조하면, 화소 전극(150)이 아래에 위치하고, 공통 전극(160)이 위에 위치하는 인버전 구조의 경우, 고정 패턴에 의한 스트레스 인가 시 잔류 DC 전압에 의해 V-T 곡선에서 시프트가 오른쪽 방향으로만 발생한다.
- <32> 이에 따라, 종래의 액정표시소자의 구조하에서는 화소 전압과 공통 전압의 차가 동일하지 않아 셀 내에 DC 전압이 형성되고, 이에 따라 잔상 현상이 일어나게 되는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

- <33> 본 발명이 이루고자 하는 기술적 과제는 프레임간 플리커 현상 및 위치별 플리커 차이를 개선할 수 있으며, 화소 구조에 따른 잔류 DC 극성을 상쇄하여 잔상 현상을 개선할 수 있는 액정표시소자를 제공하는 데에 있다.
- <34> 본 발명이 이루고자 하는 다른 기술적 과제는 상기 액정표시소자를 제조하는 방법을 제공하는 데에 있다.
- <35> 본 발명이 이루고자 하는 또 다른 기술적 과제는 상기 액정표시소자를 구동하는 방법을 제공하는 데에 있다.
- <36> 본 발명이 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

발명의 구성 및 작용

- <37> 상기의 기술적 과제를 해결하기 위한 본 발명의 실시예에 따른 액정표시소자는 서로 평행한 방향으로 게이트 버

스 라인 및 공통 버스 라인이 형성되어 있는 기관 게이트 버스 라인 및 공통 버스 라인이 형성된 기관 전면에 걸쳐 형성된 절연막 게이트 버스 라인 및 공통 버스 라인과 일부가 겹치도록 절연막 상에 형성된 액티브층과, 액티브층 위에 서로 대향되도록 이격되어 형성된 소스 전극 및 드레인 전극 게이트 버스 라인 및 공통 버스 라인과 교차하도록 형성되며, 소스 전극과 연결되는 데이터 버스 라인 소스 전극 및 드레인 전극이 형성된 기관 전면에 걸쳐 형성된 보호막 게이트 버스 라인, 공통 버스 라인 및 데이터 버스 라인의 교차에 의해 정의된 화소 영역에 형성되며, 게이트 버스 라인 위에 형성된 드레인 전극과 연결되는 상부 투명 전극 및 화소 영역에 절연막 및 보호막을 사이에 두고 상부 투명 전극과 대향하는 위치에 형성되며, 공통 버스 라인 위에 형성된 드레인 전극과 연결되는 하부 투명 전극을 포함한다.

<38> 상기의 다른 기술적 과제를 해결하기 위한 본 발명의 실시예에 따른 액정표시소자의 제조 방법은 기관 위에 하부 투명 전극을 형성하는 단계 하부 투명 전극을 사이에 두고 기관 위에 게이트 버스 라인 및 공통 버스 라인을 대향하게 형성하는 단계 게이트 버스 라인 및 공통 버스 라인이 형성된 기관 위에 절연막을 형성하는 단계 하부 투명 전극의 일부가 노출되도록 절연막에 제1 콘택홀을 형성하는 단계 게이트 버스 라인 및 공통 버스 라인에 대응하는 절연막 상에 액티브층을 형성하고, 액티브층 위에 소스 전극 및 드레인 전극을 서로이격되게 형성하는 단계 게이트 버스 라인 및 공통 버스 라인과 교차하도록 데이터 버스 라인을 형성하는 단계 소스 전극 및 드레인 전극이 형성된 기관 위에 보호막을 형성하는 단계 게이트 버스 라인 위에 형성된 드레인 전극의 일부를 노출시키는 제2 콘택홀, 공통 버스 라인 위에 형성된 드레인 전극의 일부를 노출시키는 제3 콘택홀, 및 제1 콘택홀과 대응하는 위치에 형성되어 하부 투명 전극의 일부를 노출시키는 제4 콘택홀을 보호막에 형성하는 단계 하부 투명 전극과 대응하는 보호막 상에 상부 투명 전극을 형성하는 단계 및 제3 콘택홀을 통해 공통 버스 라인 위에 형성된 드레인 전극과 연결되고, 제1 및 제4 콘택홀을 통해 하부 투명 전극과 연결되는 연결부를 보호막 위에 형성하는 단계를 포함하며, 상부 투명 전극은 제2 콘택홀을 통해 게이트 버스 라인 위에 형성된 드레인 전극과 연결되며, 하부 투명 전극은 연결부를 통해 공통 버스 라인 위에 형성된 드레인 전극과 연결된다.

<39> 상기의 또 다른 기술적 과제를 해결하기 위한 본 발명의 실시예에 따른 액정표시소자의 구동 방법은 게이트 버스 라인 및 공통 버스 라인에 스위칭 신호를 순차적으로 인가하는 단계 게이트 버스 라인에 스위칭 온 신호가 인가된 경우, 데이터 버스 라인에 인가된 화소 전압 신호 또는 공통 전압 신호를 상부 투명 전극에 인가하는 단계 및 공통 버스 라인에 스위칭 온 신호가 인가된 경우, 데이터 버스 라인에 인가된 화소 전압 신호 또는 공통 전압 신호를 하부 투명 전극에 인가하는 단계를 포함한다.

<40> 기타 실시예들의 구체적인 사항들은 상세한 설명 및 첨부 도면들에 포함되어 있다.

<41> 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성요소를 지칭한다.

<42> 또한, 도면에서 층과 막 또는 영역들의 크기 두께는 명세서의 명확성을 위하여 과장되어 기술된 것이며, 어떤 막 또는 층이 다른 막 또는 층의 "상에" 형성된다고 기재된 경우, 상기 어떤 막 또는 층이 상기 다른 막 또는 층의 위에 직접 존재할 수도 있고, 그 사이에 제3의 다른 막 또는 층이 개재될 수도 있다.

<43> 이하에서는 본 발명의 실시예에 따른 액정표시소자를 도 5 및 도 6을 참조하여 설명하기로 한다.

<44> 도 5는 본 발명의 실시예에 따른 액정표시소자를 설명하기 위한 평면도이고, 도 6은 도 5의 VI-VI'선에 따른 단면도이다.

<45> 도 5 및 도 6을 참조하면, 본 발명의 실시예에 따른 프린지 필드 액정표시소자(이하는 "액정표시소자"로 명칭함)는 기관(110), 게이트 버스 라인(120), 공통 버스 라인(130), 절연막(140), 제1,2액티브층(150-1, 150-2), 제1,2소스 전극(160-1, 160-2), 제1,2드레인 전극(170-1, 170-2), 데이터 버스 라인(180), 보호막(185), 상부 투명 전극(190) 및 하부 투명 전극(195)을 포함한다.

<46> 기관(110)은 투명한 절연기관으로서, 광을 투과시킬 수 있는 투명한 재질의 유리를 사용한다. 유리는 무알칼리 특성이다. 유리가 알칼리 특성인 경우, 유리에서 알칼리 이온이 액정표시장치의 액정층 내에 용출되면 액정층 내의 액정 비저항이 저하되어 표시 특성이 변하게 되고, 액정표시장치의 실런트(sealant)와 유리와의 부착력을 저하시키고, 액정표시장치의 박막 트랜지스터의 동작에도 악영향을 준다.

<47> 게이트 버스 라인(120) 및 공통 버스 라인(130)은 기관(110) 위에 일정 간격 이격된 상태로 서로 평행하도록 형

성된다. 이러한 게이트 버스 라인(120) 및 공통 버스 라인(130)에는 스위칭 신호가 인가된다.

- <48> 절연막(140)은 게이트 버스 라인(120) 및 공통 버스 라인(130)이 형성된 기판(110) 전면에 걸쳐 형성되며, 게이트 버스 라인(120) 및 공통 버스 라인(130)을 제1,2소스 전극(160-1, 160-2) 및 제1,2드레인 전극(170-1, 170-2)과 전기적으로 절연한다.
- <49> 이러한 절연막(140)은 실리콘 질화막(SiN_x), 실리콘 산화막(SiO_2) 등을 포함한다. 또한, 절연막(140)은 하부 투명 전극(195)의 일부를 노출시키는 제1 콘택홀(142)을 가진다.
- <50> 제1,2액티브층(150-1, 150-2)은 게이트 버스 라인(120) 및 공통 버스 라인(130)과 대응하는 절연막(140) 상에 형성되며, 게이트 버스 라인(120) 및 공통 버스 라인(130)에 인가된 스위칭 신호에 의해 제1,2소스 전극(160-1, 160-2)과 제1,2드레인 전극(170-1, 170-2) 간에 전도 채널을 형성한다. 이러한 제1,2액티브층(150-1, 150-2)은 수소화된 비정질 실리콘(a-Si:H) 등을 포함한다.
- <51> 제1,2소스 전극(160-1, 160-2) 및 제1,2드레인 전극(170-1, 170-2)은 제1,2액티브층(150-1, 150-2) 위에 이격되게 형성되며, 게이트 버스 라인(120) 및 공통 버스 라인(130)에 인가되는 스위칭 신호에 의해 제1,2액티브층(150-1, 150-2)에 형성되는 전도 채널을 통해 데이터 신호(화소 전압 신호 또는 공통 전압 신호)를 상부 투명 전극(190) 또는 하부 투명 전극(195)에 인가한다. 이러한 제1,2소스 전극(160-1, 160-2) 및 제1,2드레인 전극(170-1, 170-2)은 크롬(Cr), 몰리브덴(Mo), 탄탈륨(Ta) 등과 같은 도전성 물질을 포함한다.
- <52> 데이터 버스 라인(180)은 게이트 버스 라인(120) 및 공통 버스 라인(130)과 교차하게 형성되며, 제1,2소스 전극(160-1, 160-2)과 전기적으로 연결되어 제1,2소스 전극(160-1, 160-2)에 데이터 신호를 인가한다.
- <53> 보호막(185)은 제1,2소스 전극(160-1, 160-2) 및 제1,2드레인 전극(170-1, 170-2)이 형성된 기판(110) 전면에 걸쳐 형성되며, 게이트 버스 라인(120) 위에 형성된 제1드레인 전극(170-1)의 일부를 노출시키는 제2 콘택홀(186), 공통 버스 라인(130) 위에 형성된 제2드레인 전극(170-2)의 일부를 노출시키는 제3 콘택홀(187), 및 보호막(185)에 형성된 제1 콘택홀(142)과 대응하는 위치에 형성되어 하부 투명 전극(195)의 일부를 노출시키는 제4 콘택홀(188)을 가진다. 이러한 보호막(185)은 실리콘 질화막(SiN_x), 실리콘 산화막(SiO_2) 등을 포함한다.
- <54> 상부 투명 전극(190)은 게이트 버스 라인(120), 공통 버스 라인(130) 및 데이터 버스 라인(180)의 교차에 의해 정의되는 화소 영역에 형성되며, 게이트 버스 라인(120) 위에 형성된 제1드레인 전극(170-1)과 연결되어 데이터 신호를 인가받는다.
- <55> 이때, 상부 투명 전극(190)은 보호막(185)에 형성된 제2 콘택홀(186)을 통해 게이트 버스 라인(120) 위에 형성된 제1드레인 전극(170-1)과 전기적으로 연결되어 데이터 신호를 인가받는다. 이러한 상부 투명 전극(190)에는 복수개의 슬릿(192)이 빗살무늬 형태를 이루도록 형성된다.
- <56> 하부 투명 전극(195)은 게이트 버스 라인(120), 공통 버스 라인(130) 및 데이터 버스 라인(180)의 교차에 의해 정의되는 화소 영역에 절연막(140) 및 보호막(185)을 사이에 두고 상부 투명 전극(190)과 대향하는 위치에 형성된다.
- <57> 하부 투명 전극(195)은 공통 버스 라인(130) 위에 형성된 제2드레인 전극(170-2)과 연결되어 데이터 신호를 인가받는다. 이때, 하부 투명 전극(195)은 연결부(196)를 통해 공통 버스 라인(130) 위에 형성된 제2드레인 전극(170-2)과 전기적으로 연결되어 데이터 신호를 인가받는다.
- <58> 이와 같은 상부 투명 전극(190) 및 하부 투명 전극(195)은 인듐 주석 산화물(Indium Tin Oxide: ITO), 인듐 아연 산화물(Indium Zinc Oxide: IZO) 등과 같은 투명 도전 물질을 포함한다.
- <59> 연결부(196)는 상부 투명 전극(190)과 같은 평면상에 위치하며, 하부 투명 전극(195)의 절연막(140)에 형성된 제3 콘택홀(187)을 통해 공통 버스 라인(130) 위에 형성된 제2드레인 전극(170-2)과 전기적으로 연결되고, 절연막(140)에 형성된 제4 콘택홀(188)과 보호막(185)에 형성된 제1 콘택홀(142)을 통해 하부 투명 전극(195)과 전기적으로 연결된다.
- <60> 이러한 연결부(196)는 상부 투명 전극(190) 및 하부 투명 전극(195)과 마찬가지로 인듐 주석 산화물, 인듐 아연 산화물 등과 같은 투명한 도전 물질을 포함한다.
- <61> 이하에서는 본 발명의 실시예에 따른 액정표시소자의 제조 방법을 도 7a 내지 도 7e를 참조하여 설명하기로 한다.

- <62> 도 7a 내지 도 7e는 본 발명의 실시예에 따른 액정표시소자의 제조 방법을 설명하기 위한 공정 단면도들이다.
- <63> 먼저, 도 7a를 참조하면, 유리 기판과 같은 투명한 절연 기판(110) 위에 하부 투명 전극(195)을 형성하고, 이어서 하부 투명 전극(195)을 사이에 두고 기판(110) 위에 게이트 버스 라인(120) 및 공통 버스 라인(130)을 대향하게 형성한다.
- <64> 이때, 게이트 버스 라인(120)과 공통 버스 라인(130)은 서로 평행하도록 형성된다. 또한, 하부 투명 전극(195)은 인듐 주석 산화물(ITO), 인듐 아연 산화물(IZO) 등과 같은 투명한 도전 물질을 포함한다.
- <65> 이어서, 도 7b를 참조하면, 게이트 버스 라인(120), 공통 버스 라인(130) 및 하부 투명 전극(195)이 형성된 기판(110) 위에 절연막(140)을 형성한다. 여기서, 절연막(140)은 실리콘 질화막(SiN_x), 실리콘 산화막(SiO_2) 등을 포함한다.
- <66> 이어서, 도 7c를 참조하면, 게이트 버스 라인(120) 및 공통 버스 라인(130)에 대응하는 절연막(140) 상에 제1,2 액티브층(150-1, 150-2)을 형성하고, 제1,2액티브층(150-1, 150-2) 위에는 제1,2소스 전극(160-1, 160-2) 및 제1,2드레인 전극(170-1, 170-2)을 서로 이격되게 형성한다.
- <67> 여기서, 제1,2액티브층(150-1, 150-2)은 수소화된 비정질 실리콘(a-Si:H) 등을 포함하고, 제1,2소스 전극(160-1, 160-2) 및 제1,2드레인 전극(170-1, 170-2)은 크롬(Cr), 몰리브덴(Mo), 탄탈륨(Ta) 등과 같은 도전성 물질을 포함한다.
- <68> 이어서, 도 7d를 참조하면, 게이트 버스 라인(120) 및 공통 버스 라인(130)과 교차하도록 데이터 버스 라인(도시하지 않음)을 형성한 후, 기판(110) 전면에 걸쳐 보호막(185)을 형성한다.
- <69> 이어서, 게이트 버스 라인(120) 위에 형성된 제1드레인 전극(170-1)의 일부가 노출되도록 보호막(185)에 제2 콘택홀(186)을 형성하고, 공통 버스 라인(130) 위에 형성된 제2드레인 전극(170-2)의 일부가 노출되도록 보호막(185)에 제3 콘택홀(187)을 형성하며, 하부 투명 전극(195)의 일부가 노출되도록 보호막(185) 및 절연막(140)에 각각 제1 콘택홀(142) 및 제4 콘택홀(188)을 형성한다.
- <70> 이때, 제1 내지 제4 콘택홀(142, 186, 187, 188)은 습식 식각(Wet Etching) 또는 건식 식각(Dry Etching) 방법에 의해 동시에 형성될 수 있다. 또한, 제1 콘택홀(142)과 제4 콘택홀(188)은 하부 투명 전극(195)의 일부가 노출될 수 있도록 서로 대응되는 위치에 형성되는 것이 바람직하다.
- <71> 이어서, 도 7e를 참조하면, 하부 투명 전극(195)과 대응하는 보호막(185) 상에 상부 투명 전극(190)을 형성한다. 즉, 게이트 버스 라인(120), 공통 버스 라인(130) 및 데이터 버스 라인(180)의 교차에 의해 정의되는 화소 영역에 절연막(140)과 보호막(185)을 사이에 두고 하부 투명 전극(195)과 대향하게 형성한다.
- <72> 이어서, 상부 투명 전극(190)에 빗살무늬 형태를 이루는 슬릿(192)을 복수개 형성한다. 여기서, 상부 투명 전극(190)은 하부 투명 전극(195)과 마찬가지로 인듐 주석 산화물(ITO), 인듐 아연 산화물(IZO) 등과 같은 투명한 도전 물질을 포함한다.
- <73> 이어서, 보호막(185)에 형성된 제3 콘택홀(187)을 통해 공통 버스 라인 위에 형성된 제2드레인 전극(170-2)과 전기적으로 연결되고, 절연막(140)에 형성된 제1 콘택홀(142)과 보호막(185)에 형성된 제4 콘택홀(188)을 통해 하부 투명 전극(195)과 전기적으로 연결되는 연결부(192)를 보호막(185) 위에 형성한다.
- <74> 이때, 연결부(192)는 상부 투명 전극(190) 및 하부 투명 전극(195)과 마찬가지로 인듐 주석 산화물(ITO), 인듐 아연 산화물(IZO) 등과 같은 투명한 도전 물질을 포함하며, 상부 투명 전극(190)과 동일한 평면상에 형성된다.
- <75> 이하에서는 본 발명의 실시예에 따른 액정표시소자의 구동 방법을 도 5 내지 도 6 및 도 8을 참조하여 설명하기로 한다.
- <76> 도 8은 본 발명의 실시예에 따른 액정표시소자의 구동 방법을 설명하기 위한 파형도이다.
- <77> 참고로, 본 발명의 실시예에 따른 액정표시소자는 더블 프레임 레이트(Double Frame Rate)의 프레임 주파수를 적용하여 기존 하나의 프레임을 2개로 나누어 인버전(Inversion) 동작을 한다. 예를 들어, 1024 * 768의 해상도를 가진 XGA의 경우, 한 프레임이 약 16.8ms인 반면, 본 발명의 실시예에 따른 액정표시소자는 한 프레임이 8.4ms로 구동한다.
- <78> 본 실시예에서는 기존 하나의 프레임을 2개로 나눈 것 중 하나의 프레임을 n(n=양의 정수)번째 프레임이라고 하

고, 나머지 하나의 프레임을 $n+1$ 번째프레임이라고 가정한다.

- <79> 도 5 내지 도 6 및 도 8을 참조하면, 본 발명의 실시예에 따른 액정표시소자는 먼저, 게이트 버스 라인(120) 및 공통 버스 라인(130)에 스위칭 신호(V_g , V_c)를 순차적으로 인가한다.
- <80> 즉, 앞서 예에서처럼 본 발명의 실시예에 따른 액정표시소자가 $1024 * 768$ 의 해상도를 가진 XGA급이라고 하면, 게이트 버스 라인(120) 및 공통 버스 라인(130)은 각각 1024개의 라인씩 존재하게 된다.
- <81> 따라서 8.4ms의 시간 동안 1024개의 게이트 버스 라인(120)과 1024개의 공통 버스 라인(130)에 스위칭 신호(V_g , V_c)를 순차적으로 인가한다.
- <82> 이때, 게이트 버스 라인(120)과 공통 버스 라인(130)은 교대로 배치되어 있으므로 스위칭 신호(V_g , V_c)는 게이트 버스 라인(120)과 공통 버스 라인(130)에 순차적으로 인가되며, 게이트 버스 라인(120)과 공통 버스 라인(130)에 인가되는 스위칭 신호(V_g , V_c)는 동일한 전압 레벨을 가지는 것이 바람직하다.
- <83> 이와 같이 게이트 버스 라인(120) 및 공통 버스 라인(130)에 스위칭 신호(V_g , V_c)가 인가되면, 데이터 버스 라인(180)에 인가되는 데이터 신호(V_d)는 게이트 버스 라인(120) 및 공통 버스 라인(130) 위에 형성된 제1,2소스 전극(160-1, 160-2) 및 제1,2드레인 전극(170-1, 170-2)을 거쳐 상부 투명 전극(190) 또는 하부 투명 전극(195)에 인가되게 된다.
- <84> 즉, n 번째 프레임에서, 데이터 버스 라인(180)에 인가된 화소 전압 신호(V_p)는 게이트 버스 라인(120) 위에 형성된 제1소스 전극(160-1) 및 제1드레인 전극(170-1)을 거쳐 상부 투명 전극(190)에 인가되고, 데이터 버스 라인(180)에 인가된 공통 전압 신호(V_{com})는 공통 버스 라인(130) 위에 형성된 제2소스 전극(160-2) 및 제2드레인 전극(170-2)을 거쳐 하부 투명 전극(195)에 인가된다.
- <85> 또한, $n+1$ 번째 프레임에서, 데이터 버스 라인(180)에 인가된 화소 전압 신호(V_p)는 공통 버스 라인(130) 위에 형성된 제2소스 전극(160-2) 및 제2드레인 전극(170-2)을 거쳐 하부 투명 전극(195)에 인가되고, 데이터 버스 라인(180)에 인가된 공통 전압 신호(V_{com})는 공통 버스 라인(130) 위에 형성된 제2소스 전극(160-2) 및 제2드레인 전극(170-2)을 거쳐 상부 투명 전극(190)에 인가된다.
- <86> 이와 같이, 본 발명의 실시예에 따른 액정표시소자는 n 번째 프레임에서는 화소 전압 신호(V_p)가 공통 전압 신호(V_{com})보다 높아 포지티브(Positive) 극성으로 구동하고, $n+1$ 번째 프레임에서는 공통 전압 신호(V_{com})가 화소 전압 신호(V_p)보다 높아 네거티브(Negative) 극성으로 구동한다.
- <87> 즉, 화소에 충전된 전압은 n 번째 프레임에서는 포지티브 극성을 가지며, $n+1$ 번째 프레임에서는 네거티브 극성을 가진다.
- <88> 이와 같은 본 발명의 실시예에 따른 액정표시소자는 n 번째 프레임에서는 포지티브 극성으로 구동하고, $n+1$ 번째 프레임에서는 네거티브 극성으로 구동함으로써 n 번째 프레임(포지티브 극성)과 $n+1$ 번째 프레임(네거티브 극성)의 전위차가 동일하게 되어 플리커 현상을 개선할 수 있으며, 플리커 현상으로 인해 나타나는 잔상 현상도 함께 개선할 수 있다.
- <89> 이상 첨부된 도면 및 표를 참조하여 본 발명의 실시예들을 설명하였으나, 본 발명은 상기 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 제조될 수 있으며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

발명의 효과

- <90> 본 발명의 실시예에 따른 액정표시소자, 그 제조 방법 및 그 구동 방법에 의하면 프레임간 플리커 현상 및 위치별 플리커 차이를 개선할 수 있으며, 화소 구조에 따른 잔류 DC 극성을 상쇄하여 잔상 현상을 개선할 수 있다.

도면의 간단한 설명

- <1> 도 1은 종래기술에 따른 프린지 필드스위칭 모드의 액정표시소자의 구조를 나타낸 평면도이다.

<2> 도 2는 도 1의 II-II'선에 따른 단면도이다.

<3> 도 3a는 노멀 구조의 액정표시소자에서의 잔류 DC를 보여주기 위한 도면이다.

<4> 도 3b는 도 3a의 액정표시소자의 구조하에서 V-T 곡선의 시프트를 보여주기 위한 도면이다.

<5> 도 4a는 인버전 구조의 액정표시소자에서의 잔류 DC를 보여주기 위한 도면이다.

<6> 도 4b는 도 4a의 액정표시소자의 구조하에서 V-T 곡선의 시프트를 보여주기 위한 도면이다.

<7> 도 5는 본 발명의 실시예에 따른 액정표시소자를 설명하기 위한 평면도이다.

<8> 도 6은 도 5의 VI-VI'선에 따른 단면도이다.

<9> 도 7a 내지 도 7e는 본 발명의 실시예에 따른 액정표시소자의 제조 방법을 설명하기 위한 공정 단면도들이다.

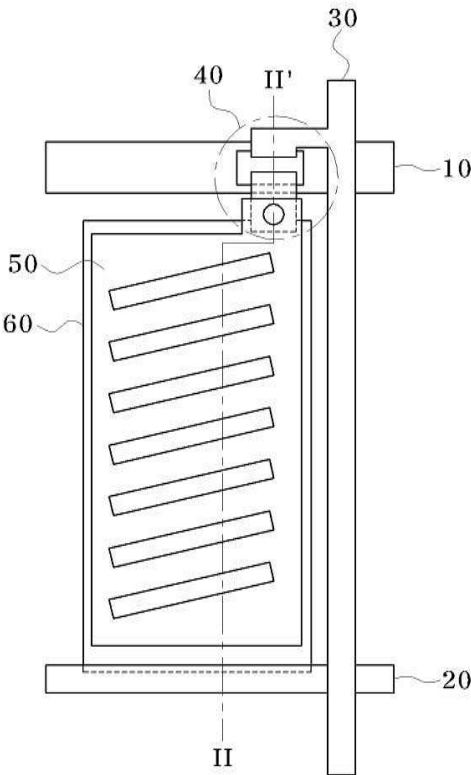
<10> 도 8은 본 발명의 실시예에 따른 액정표시소자의 구동 방법을 설명하기 위한 파형도이다.

<11> <도면의 주요 부분에 대한 부호의 설명>

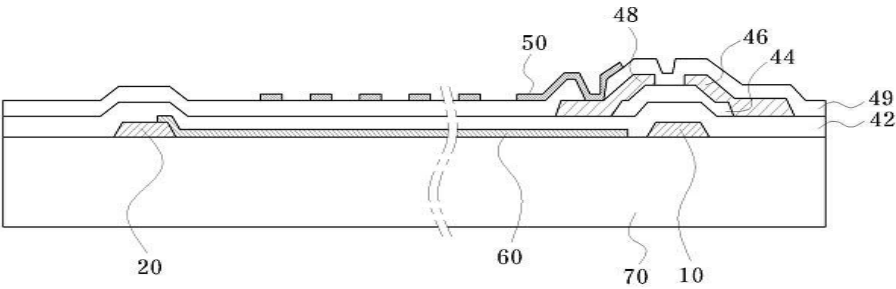
<12> 110: 기판	120: 게이트 버스 라인
<13> 130: 공통 버스 라인	140: 절연막
<14> 142: 제1 콘택홀	150: 액티브층
<15> 160: 소스 전극	170: 드레인 전극
<16> 180: 데이터 버스 라인	185: 보호막
<17> 186: 제2 콘택홀	187: 제3 콘택홀
<18> 188: 제4 콘택홀	190: 상부 투명 전극
<19> 192: 슬릿	195: 하부 투명 전극
<20> 196: 연결부	

도면

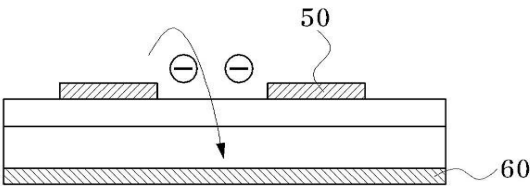
도면1



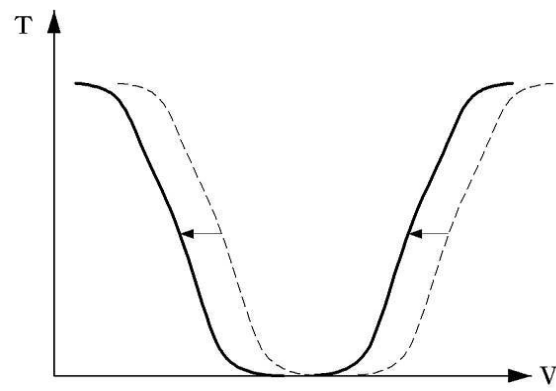
도면2



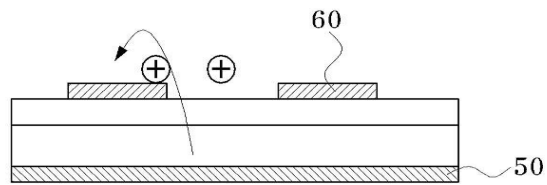
도면3a



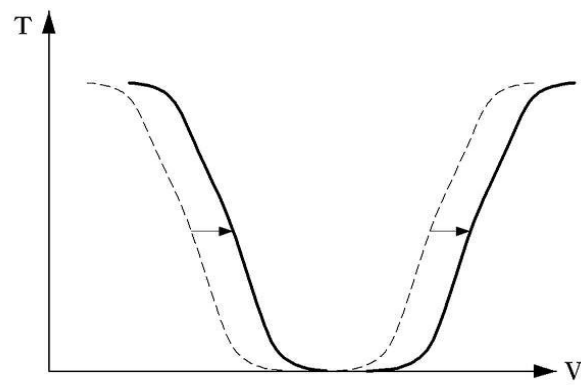
도면3b



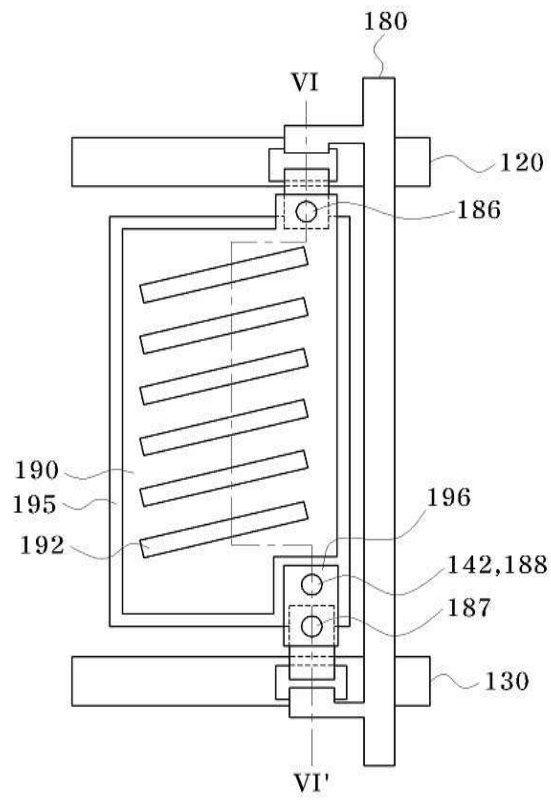
도면4a



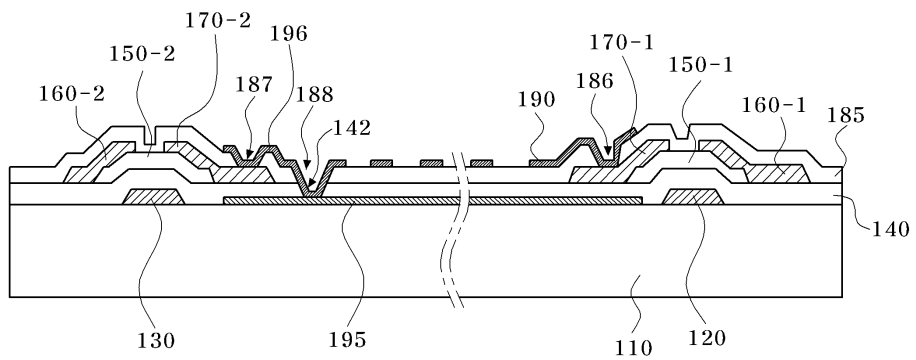
도면4b



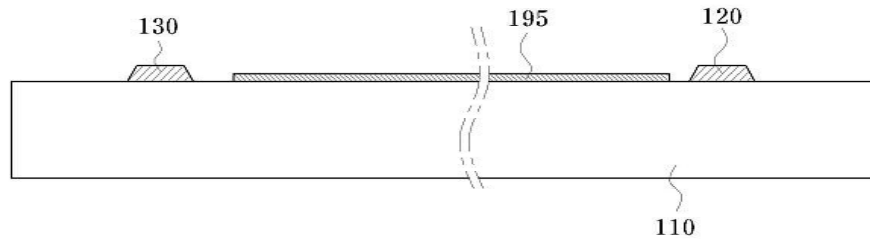
도면5



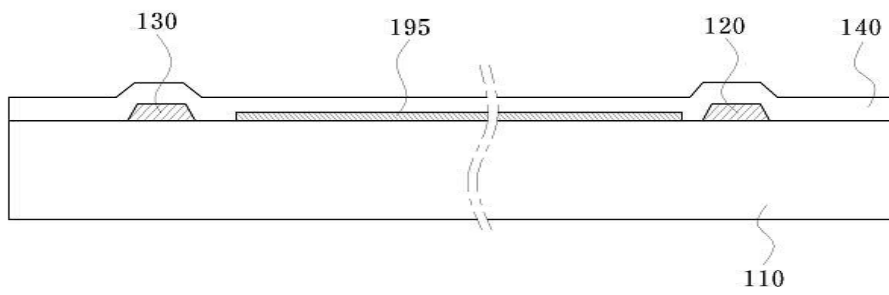
도면6



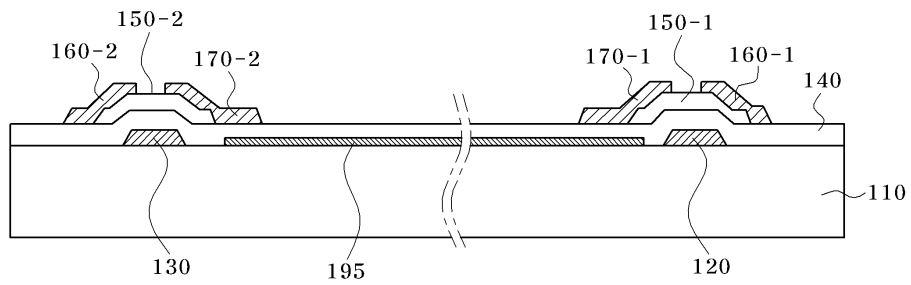
도면7a



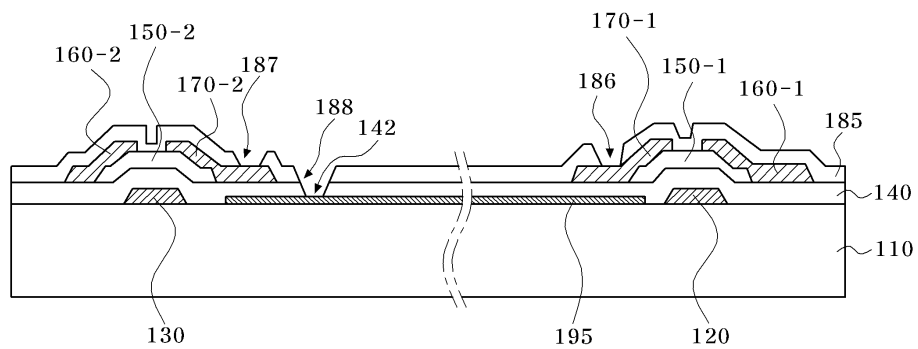
도면7b



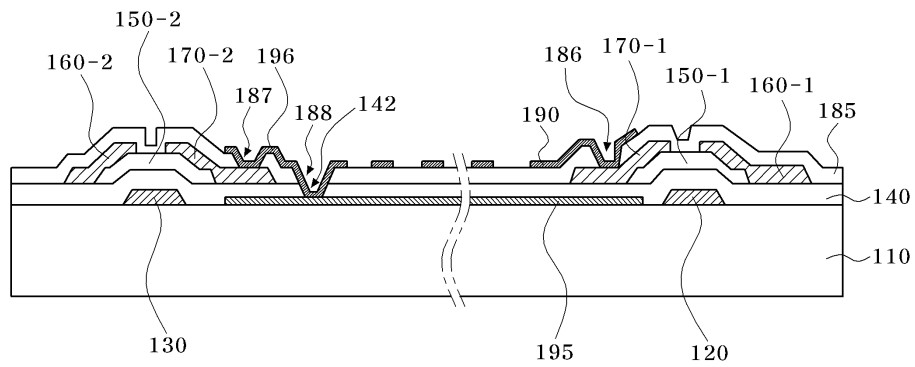
도면7c



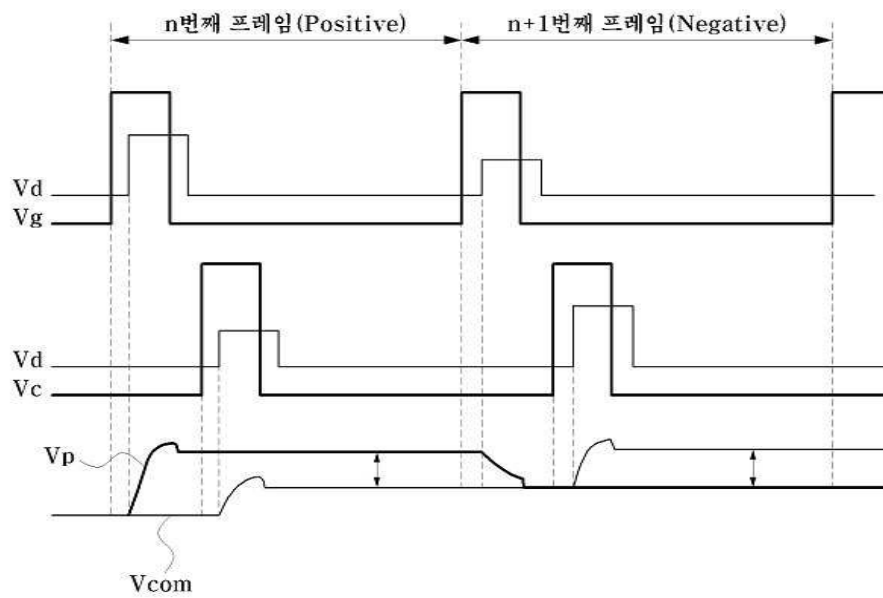
도면7d



도면7e



도면8



专利名称(译)	边缘场液晶显示元件，其制造方法及其驱动方法		
公开(公告)号	KR100838324B1	公开(公告)日	2008-06-13
申请号	KR1020060073877	申请日	2006-08-04
[标]申请(专利权)人(译)	HYDIS TECH HYDIS技术有限公司		
申请(专利权)人(译)	하이디스테크놀로지주식회사		
当前申请(专利权)人(译)	하이디스테크놀로지주식회사		
[标]发明人	KIM KWI HYUN		
发明人	KIM, KWI HYUN		
IPC分类号	G02F1/1343 G02F1/136 G09G3/36 G02F1/133		
CPC分类号	G02F1/134309 G02F1/134363 G02F1/136227 G02F1/136286 G02F1/1368		
其他公开文献	KR1020080012676A		
外部链接	Espacenet		

摘要(译)

本发明提供了一种边缘场LCD（液晶显示器）装置，其制造方法及其驱动方法，以通过位置来改善帧间闪烁和闪烁差异，并通过衰减由像素引起的残留DC（直流）极性来改善残像。结构体。在基板（110）上，形成有彼此平行的栅极总线（120）和公共总线（130）。在形成有栅极总线和公共总线的基板的正面上方形成绝缘膜（140）。有源层（150）形成在绝缘膜上，以便与栅极总线和公共总线部分重叠。源电极和漏电极（160，170）形成并彼此隔开，从而在有源层上彼此面对。数据总线形成与栅极总线和公共总线交叉，并与源电极连接。钝化膜（185）形成在形成源电极和漏电极的基板的正面上方。上透明电极（190）形成在由数据总线与公共总线和栅极总线之间的交点所限定的像素区域中，并与形成在栅极总线上的漏极相连。下透明电极（195）形成在与上透明电极相对应的位置，并在像素区域中留有用于绝缘膜和钝化膜的空间，并与形成在公共总线上的漏电极连接。

