



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년02월22일
(11) 등록번호 10-0806894
(24) 등록일자 2008년02월18일

(51) Int. Cl.

G02F 1/133 (2006.01)

(21) 출원번호 10-2001-0047027

(22) 출원일자 2001년08월03일

심사청구일자 2006년07월28일

(65) 공개번호 10-2003-0012668

(43) 공개일자 2003년02월12일

(56) 선행기술조사문헌

JP08179370 A

JP2000235371 A

KR1019990062670 A

전체 청구항 수 : 총 5 항

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

송장근

서울특별시서초구서초4동삼익아파트5동201호

(74) 대리인

팬코리아특허법인

심사관 : 이동윤

(54) 액정 표시 장치

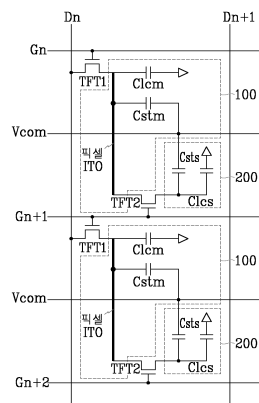
(57) 요약

본 발명은 보다 저렴한 비용으로 보다 용이하게 오버 슈트 또는 언더 슈트를 발생하고, 도트 반전 구동에도 적용이 가능한 액정 표시 장치를 개시한다.

본 발명에 따르면, 액정 표시 장치의 게이트 전극 라인과 데이터 전극 라인에 형성된 일정 영역에 메인 픽셀 영역과 서브 픽셀 영역을 각각 형성한다. 이때, 메인 픽셀 영역은 데이터 전극 라인과 이전 게이트 전극 라인간에 연결된 제1 TFT를 형성하고, 상기 제1 TFT에 제1 액정 캐패시터와 제1 스토리지 캐패시터를 병렬 연결한다. 또한, 서브 픽셀 영역은 병렬 연결된 제1 액정 캐패시터와 제1 스토리지 캐패시터에 제2 TFT의 제1단을 연결하고, 제2 TFT의 제2단은 현재 게이트 전극 라인에 연결하며, 제2 TFT의 제3단은 제2 액정 캐패시터와 제2 스토리지 캐패시터를 형성한다.

그 결과, 서브 픽셀 영역에는 이전 프레임의 정보가 저장되고, 메인 픽셀과 서브 픽셀의 캐패시턴스의 비율에 의해 최종 픽셀 전압이 결정되면 그 만큼의 오버 슈트를 얻을 수 있다.

대표도 - 도3



특허청구의 범위

청구항 1

주사 신호를 전달하는 다수의 게이트 전극 라인과, 상기 게이트 전극 라인에 수직 배치되어 데이터 신호를 전달하는 다수의 데이터 전극 라인을 포함하는 액정 표시 장치에 있어서,

제1단과 제2단이 각각 이전의 데이터 전극 라인과 이전의 게이트 전극 라인간에 연결된 제1 스위칭 소자와, 일단이 상기 제1 스위칭 소자에 연결된 제1 액정 캐패시터를 구비하여, 상기 게이트 전극 라인과 상기 데이터 전극 라인간의 일정 영역에 형성되며, 상기 주사 신호를 근거로 상기 데이터 신호를 디스플레이하는 메인 픽셀부; 및

제2단이 현재의 게이트 전극 라인에 연결된 제2 스위칭 소자를 포함하며, 소정의 캐패시터를 구비하여, 이전 프레임의 전압을 메모리하는 서브 픽셀부를 포함하여,

상기 메인 픽셀부와 상기 서브 픽셀부의 캐패시턴스의 비율에 의해 결정된 최종 픽셀 전압을 근거로 오버 슈트와 언더 슈트중 어느 하나를 얻는 것을 특징으로 하는 액정 표시 장치.

청구항 2

제1항에 있어서, 상기 메인 픽셀부는,

일단이 상기 제1 스위칭 소자에 연결된 제1 스토리지 캐패시터를 더 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 3

제1항에 있어서, 상기 서브 픽셀부는,

제1단이 상기 제1 액정 캐패시터의 일단에 연결된 제2 스위칭 소자; 및

일단이 상기 제2 스위칭 소자의 제3단에 연결되어, 이전 프레임의 전압을 메모리하는 제2 스토리지 캐패시터를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 4

제2항에 있어서, 상기 서브 픽셀부는,

제1단이 상기 제1 스토리지 캐패시터의 일단에 연결된 제2 스위칭 소자;

일단이 상기 제2 스위칭 소자의 제3단에 연결된 제2 액정 캐패시터; 및

일단이 상기 제2 액정 캐패시터의 일단에 연결되어, 이전 프레임의 전압을 메모리하는 제2 스토리지 캐패시터를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 5

제1항에 있어서,

n번째 프레임의 최종 픽셀 전압(V_n)은,

$$V_n = \frac{V_{(Dn)}V_m(C_{lcm}+C_{stm})+V_{(n-1)}(C_{lcs}+C_{sts})}{C_{lcm}+C_{stm}+C_{lcs}+C_{sts}}$$

(여기서, $V_{(Dn)}$ 는 n번째 프레임에서 데이터 전극 라인을 통한 픽셀 공급 전압, $V_{(n-1)}$ 는 n-1번째 프레임의 픽셀 전압, V_m 은 메인 픽셀부에서의 픽셀 전압, C_{lcm} 은 메인 픽셀부에서의 액정 캐패시턴스, C_{stm} 은 메인 픽셀부에서의 스토리지 캐패시턴스, V_s 는 서브 픽셀부에서의 픽셀 전압, C_{lcs} 는 서브 픽셀부에서의 액정 캐패시턴스, C_{sts} 는 서브 픽셀부에서의 스토리지 캐패시턴스)

를 근거로 산출되는 것을 특징으로 하는 액정 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <10> 본 발명은 액정 표시 장치에 관한 것으로, 보다 상세하게는 보다 저렴한 비용으로 보다 용이하게 오버 슈트 또는 언더 슈트를 발생하여 액정의 응답 속도를 증가시키고, 도트 반전 구동에도 적용이 가능한 액정 표시 장치(이하 LCD)에 관한 것이다.
- <11> 일반적으로 LCD는 두 기관 사이에 주입되어 있는 이방성 유전율을 갖는 액정 물질에 전계를 인가하고, 이 전계의 세기를 조절하여 기관에 투과되는 빛의 양을 조절함으로써 원하는 화상 신호를 얻는 표시 장치이다. 이러한 LCD는 휴대가 간편한 플랫 패널형 디스플레이 장치 중에서 대표적인 것으로서, 이 중에서도 박막 트랜지스터(Thin Film Transistor; TFT)를 스위칭 소자로 이용한 TFT-LCD가 주로 이용되고 있다.
- <12> 도 1은 일반적인 TFT-LCD의 화소 등가 회로를 설명하기 위한 도면이다.
- <13> 도 1에 도시한 바와 같이, 일반적인 TFT-LCD의 화소는 데이터 전극 라인과 게이트 전극 라인에 각각 연결된 TFT 스위칭 소자, 액정 캐패시터(C_{lc}), 스토리지 캐패시터(C_{st}), 제1 기생 캐패시터(C_{gd}), 제2 기생 캐패시터(C_{ds}) 및 오버랩 캐패시터(C_{ov})를 포함한다.
- <14> 구동시, 게이트 전극 라인을 통해 양극성의 펄스가 인가되면 TFT 스위칭 소자는 턴온 상태가 된다. 이때 신호 라인을 통해 TFT 스위칭 소자의 소스 전극에 인가된 신호 전압은 드레인을 통해서 액정 캐패시터(C_{lc}) 및 스토리지 캐패시터(C_{st})에 인가된다. 게이트 펄스와 함께 인가된 신호 전압은 게이트 전압이 오프된 후에도 계속 유지되며 액정 캐패시터(C_{lc})에 인가된다.
- <15> 이러한 액정 표시 장치(LCD)를 대화면 응용 등에 대응시키는데 있어서, 가장 큰 제한이 응답 속도이고, 응답 속도를 향상하기 위한 노력이 다각도로 연구되고 있다. 이러한 노력의 일환은 오버 슈트 구동이나 언더 슈트 구동을 이용한 액정 구동 방식이다.
- <16> 도 2는 액정 표시 장치의 노멀 구동과 오버 슈트 구동에 따른 응답 속도 파형을 설명하기 위한 도면으로, 종래의 노멀 구동 방법과 오버 슈트 구동 방법의 차이를 알 수 있다. 여기서, 도 2의 (a)에 도시한 파형은 픽셀에 인가되는 일반적인 전압의 파형과 함께 오버 슈트 구동에 따라 픽셀에 인가되는 전압 파형(빗금 처리)이다.
- <17> 도 2에 도시한 바와 같이, 기존의 구동 방법에서는 응답 속도가 느리게 나타나는((b)에 도시) 반면, 오버 슈트 구동이나 언더 슈트 구동을 해주면 계조가 바뀌는 순간에 강한 전압 혹은 더 낮은 전압이 인가되므로((c)에 도시) 액정이 빠르게 움직인다.
- <18> 이상에서 설명한 바와 같이, 일반적으로 액정 표시 장치의 응답 속도를 향상하기 위해서는 계조가 변경되는 순간에 액정에 인가되는 전압을 정상 전압보다 높은 전압(오버 슈트; Under shoot)을 인가하거나, 정상 전압보다 낮은 전압(언더 슈트; Under shoot)을 인가함으로써 액정을 보다 빠르게 움직이게 유도하고, 그에 따라 액정 표시 장치의 응답 속도를 향상시킬 수 있다.

발명이 이루고자 하는 기술적 과제

- <19> 이에 본 발명의 기술과 과제는 이러한 점에 착안한 것으로, 본 발명의 목적은 픽셀에 메모리 기능을 부여함으로써, 보다 저렴한 비용으로, 보다 간단한 방식으로 오버 슈트 또는 언더 슈트를 발생시켜 액정의 응답 속도를 고속화하기 위한 액정 표시 장치를 제공하는 것이다.

발명의 구성 및 작용

- <20> 상기한 본 발명의 목적을 실현하기 위한 하나의 특징에 따른 액정 표시 장치는, 주사 신호를 전달하는 다수의 게이트 전극 라인과, 상기 게이트 전극 라인에 수직 배치되어 데이터 신호를 전달하는 다수의 데이터 전극 라인을 포함하는 액정 표시 장치에 있어서,
- <21> 제1단과 제2단이 각각 이전의 데이터 전극 라인과 이전의 게이트 전극 라인간에 연결된 제1 스위칭 소자와, 일단이 상기 제1 스위칭 소자에 연결된 제1 액정 캐패시터를 구비하여 상기 게이트 전극 라인과 상기 데이터 전극 라인간의 일정 영역에 형성되며, 상기 주사 신호를 근거로 상기 데이터 신호를 디스플레이하는 메인 픽셀부; 및

- <22> 소정의 캐패시터를 구비하여 이전 프레임의 전압을 메모리하는 서브 픽셀부를 포함하여,
- <23> 상기 메인 픽셀부와 상기 서브 픽셀부의 캐패시턴스의 비율에 의해 결정된 최종 픽셀 전압을 근거로 오버 슈트와 언더 슈트중 어느 하나를 얻는 것을 특징으로 한다.
- <24> 여기서, 상기한 메인 픽셀부는 일단이 상기 제1 스위칭 소자에 연결된 제1 스토리지 캐패시터를 더 포함하는 것이 바람직하다.
- <25> 또한, 상기한 서브 픽셀부는,
- <26> 제1단이 상기 제1 액정 캐패시터의 일단에 연결되고, 제2단이 현재의 게이트 전극 라인에 연결된 제2 스위칭 소자; 및 일단이 상기 제2 스위칭 소자의 제3단에 연결되어, 이전 프레임의 전압을 메모리하는 제2 스토리지 캐패시터를 포함하는 것이 바람직하다.
- <27> 또한, 상기한 서브 픽셀부는,
- <28> 제1단이 상기 제1 스토리지 캐패시터의 일단에 연결되고, 제2단이 현재의 게이트 전극 라인에 연결된 제2 스위칭 소자; 일단이 상기 제2 스위칭 소자의 제3단에 연결된 제2 액정 캐패시터; 및 일단이 상기 제2 액정 캐패시터의 일단에 연결되어, 이전 프레임의 전압을 메모리하는 제2 스토리지 캐패시터를 포함하는 것이 바람직하다.
- <29> 또한, 상기한 n번째 프레임의 최종 픽셀 전압(V_n)은,
$$V_n = \frac{V_{(Dn)}V_m(C_{lcm}+C_{stm})+V_{(n-1)}(C_{lcs}+C_{sts})}{C_{lcm}+C_{stm}+C_{lcs}+C_{sts}}$$
 (여기서, $V_{(Dn)}$ 는 n번째 프레임에서 데이터 전극 라인을 통한 픽셀 공급 전압, $V_{(n-1)}$ 는 n-1번째 프레임의 픽셀 전압, V_m 은 메인 픽셀부에서의 픽셀 전압, C_{lcm} 는 메인 픽셀부에서의 액정 캐패시턴스, C_{stm} 은 메인 픽셀부에서의 스토리지 캐패시턴스, V_s 는 서브 픽셀부에서의 픽셀 전압, C_{lcs} 는 서브 픽셀부에서의 액정 캐패시턴스, C_{sts} 는 서브 픽셀부에서의 스토리지 캐패시턴스)를 근거로 산출되는 것을 특징으로 한다.
- <30> 또한, 상기한 서브 픽셀부는 소정의 투명 전극(ITO)과 연결되어 개구부로 동작하는 것이 바람직하고, 상기한 서브 픽셀부는 소스-드레인 레이어 형성시, 독립적으로 형성되는 것이 바람직하며, 상기한 서브 픽셀부는 서브 픽셀용 투명 전극을 별도로 형성하여 상기 메인 픽셀부와 연결되는 것이 바람직하다.
- <31> 이러한 액정 표시 장치에 의하면, 데이터 전극 라인과 게이트 전극 라인간에 형성된 픽셀에 메모리 기능을 부여하므로써, 보다 저렴한 비용으로, 보다 간단한 방식으로 오버 슈트 또는 언더 슈트를 발생하여 액정 표시 장치의 응답 속도를 고속화할 수 있다.
- <32> 그러면, 통상의 지식을 지닌 자가 본 발명을 용이하게 실시할 수 있도록 실시예에 관해 설명하기로 한다.
- <33> 도 3은 본 발명의 실시예에 따른 픽셀 메모리 기능을 갖는 액정 표시 장치를 설명하기 위한 도면으로, 특히 액정 표시 패널의 등가 회로도이고, 도 4는 상기한 도 3의 액정 표시 패널을 설명하기 위한 구조도이다.
- <34> 도 3을 참조하면, 본 발명의 실시예에 따른 픽셀 메모리 기능을 갖는 액정 표시 장치는 복수의 데이터 전극 라인($D_n, D_{n+1}, D_{n+2}, \dots$)과 상기 데이터 전극 라인에 수직 배치된 복수의 게이트 전극 라인($G_n, G_{n+1}, G_{n+2}, \dots$)간의 일정 영역에 메인 픽셀 영역(100)과 서브 픽셀 영역(200)을 각각 구비한다.
- <35> 메인 픽셀 영역(100)은 제1 스위칭 소자(TFT1), 메인 액정 캐패시터(C_{lcm}), 메인 스토리지 캐패시터(C_{stm})를 포함하여 이루어지고, 서브 픽셀 영역(200)은 제2 스위칭 소자(TFT2), 서브 액정 캐패시터(C_{lcs}) 및 서브 스토리지 캐패시터(C_{sts})를 포함하여 이루어진다.
- <36> 보다 상세히는, 제1 스위칭 소자(TFT1)의 소스 전극은 제1 데이터 전극 라인(D_n)에 연결되고, 게이트 전극은 제1 게이트 전극 라인(G_n)에 연결되며, 드레인 전극은 픽셀 투명 전극(ITO)을 경유하여 메인 액정 캐패시터(C_{lcm}), 메인 스토리지 캐패시터(C_{stm}) 및 제2 스위칭 소자(TFT2)에 병렬 연결되어, 게이트 전극 라인을 통해 입력되는 주사 신호, 바람직하게는 게이트를 턴온시키는 게이트 선택 펄스의 인가에 따라 턴온되어 데이터 전극 라인을 통해 입력되는 데이터 신호를 메인 액정 캐패시터(C_{lcm})에 제공한다.
- <37> 메인 스토리지 캐패시터(C_{stm})의 일단은 상기한 픽셀 ITO를 경유하여 제1 스위칭 소자의 드레인 전극에 연결되고, 타단은 공통 전극 전압(V_{com})을 공급받는다. 여기서, 공통 전극 전압을 제공받기 위해 공통 전극 라인에 연결되는 것이 바람직하다.
- <38> 메인 액정 캐패시터(C_{lcm})의 일단은 상기한 픽셀 ITO를 경유하여 제1 스위칭 소자(TFT1)의 드레인 전극에 연결

되고, 타단은 소정의 그라운드인 상판 전극(미도시)에 연결된다.

- <39> 제2 스위칭 소자(TFT2)의 소스 전극은 상기한 픽셀 IT0를 경유하여 메인 스토리지 캐패시터(Cstm)의 일단에 연결되고, 게이트 전극은 제2 게이트 전극 라인(Gn+1)에 연결되며, 드레인 전극은 서브 액정 캐패시터(Clcs) 및 서브 스토리지 캐패시터(Csts)에 각각 연결된다. 도면상에는 서브 액정 캐패시터와 서브 스토리지 캐패시터를 모두 구비하는 것을 그 일례로 설명하였으나, 서브 스토리지 캐패시터(Csts)만을 구비할 수도 있을 것이다.
- <40> 서브 스토리지 캐패시터(Csts)의 일단은 제2 스위칭 소자(TFT2)의 드레인 전극에 연결되고, 타단은 공통 전극 전압을 공급받는데, 상기한 공통 전극 전압을 공급받기 위해 공통 전극 라인에 연결되는 것이 바람직하다.
- <41> 서브 액정 캐패시터(Clcs)의 일단은 제2 스위칭 소자(TFT2)의 드레인 전극에 연결되고, 타단은 소정의 그라운드인 상판 전극(미도시)에 연결된다.
- <42> 이상에서는 상기한 서브 픽셀 영역이 액정 캐패시터와 스토리지 캐패시터를 모두 구비하는 것을 그 일례로 설명하였으나, 스토리지 캐패시터만을 구비할 수도 있다. 물론 이때에는 서브 픽셀 영역은 화상 디스플레이에 이용되지 않고, 단지 이전 프레임의 픽셀 전압을 메모리하는 역할만 수행한다.
- <43> 또한, 상기한 서브 픽셀 영역은 소스-드레인(S/D) 레이어 형성시, 메인 픽셀과는 독립적으로 형성되는 것이 바람직하며, 상기한 서브 픽셀 영역은 서브 픽셀용 투명 전극을 별도로 형성하여 상기 메인 픽셀과 연결되는 것이 바람직하다.
- <44> 이상에서 설명한 바와 같이, 서브 픽셀 영역은 IT0와 연결되어 개구부로 작용할 수도 있고, 단지 스토리지 캐패시터만을 이용하여 메모리 기능만을 수행할 수도 있다.
- <45> 또한, 데이터 전극 라인과 게이트 전극 라인간의 일정 영역에 형성된 메인 픽셀 영역을 통해 소정의 화상을 디스플레이하는 구조를 갖고 있으므로 라인 반전 구동뿐만 아니라, 도트 반전 구동에도 적용할 수 있음은 자명하다.
- <46> 그러면, 상기한 도 1과, 도 3을 참조하여 본 발명에 따른 픽셀 메모리 기능을 갖는 액정 표시 장치의 작동 원리를 프레임별로 분리하여 설명한다.
- <47> 먼저, 첫 번째 프레임에서 n번째 게이트 전극 라인(Gn)이 온 되면, n번째 메인 픽셀 영역에 전압이 인가되고, n+1번째 게이트 전극 라인(Gn+1)이 온 되면, n+1번째 메인 픽셀영역에는 전압이 인가되는 동시에 n번째 서브 픽셀 영역에서는 보다 복잡한 동작이 일어난다.
- <48> 즉, n번째 메인 픽셀 영역과 n번째 서브 픽셀 영역 사이에 형성된 제2 스위칭 소자(TFT2)가 열리면서 n번째 메인 픽셀 영역과 n번째 서브 픽셀 영역 사이의 전하 공유가 발생하면서 전압이 레벨링된다. 여기서, 인용한 도면 부호와 동일하게 메인 픽셀 영역에서의 픽셀 전압을 V_m , 액정 캐패시터의 캐패시턴스를 C_{lcm} , 스토리지 캐패시터의 캐패시턴스를 C_{stm} 이라 하고, 서브 픽셀 영역에서의 픽셀 전압을 V_s , 액정 캐패시터의 캐패시턴스를 C_{cls} , 스토리지 캐패시터의 캐패시턴스를 C_{sts} 라 하자.
- <49> 이때 두 픽셀 영역(n번째 메인 픽셀 영역과 n번째 서브 픽셀 영역) 사이를 연결하는 채널이 열리면서 레벨링이 되고 난 후의 전압을 구할 수 있다.
- <50> 즉, $Q_{fin} = Q_{main} + Q_{sub}$ (여기서, Q_{fin} 은 총 전하량, Q_{main} 메인 픽셀 전하량, Q_{sub} 서브 픽셀 전하량)이므로, $C_{tot}V_{fin} = C_{main}V_m + C_{sub}V_s$ 이다. 이를 정리하면 하기하는 수학적 식 1과 같다.

수학적 식 1

$$V_{fin} = \frac{V_m(C_{lcm} + C_{stm}) + V_s(C_{cls} + C_{sts})}{C_{lcm} + C_{stm} + C_{cls} + C_{sts}}$$

- <51>
- <52> 이와 같이 n번째 픽셀에 인가되는 전압은 상기한 수학적 식 1을 근거로 결정되고, n+1번째 게이트(Gn+1)가 닫히면서 n번째 메인 픽셀 영역과 n번째 서브 픽셀 영역은 각각 V_{fin} 전압을 유지한다. 이때 n+1번째 게이트(Gn+1)가 닫히면서 발생하는 킥백 전압은 무시한다.
- <53> 이어 두 번째 프레임이 동작하게 되면, 역시 두 번째 프레임에서도 n번째 게이트(Gn)가 열리면서 n번째 픽셀 영역의 메인 픽셀 영역에는 V_{m2} 전압이 인가된다.

<54> 상기한 Vm2 전압은 다시 n+1번째 게이트(Gn+1)가 열리면서 서브 픽셀 영역에서 가지는 서브 픽셀 전압 Vs, 즉 Vfin 전압과 레벨링이 된다.

<55> 최종적인 전압은 상기한 수학적 식 1에서 결정된다.

<56> 이 과정을 보면, 상기한 수학식 1에서 Vs는 이전 프레임의 픽셀 전압이고, Vm은 현재 프레임에서 데이터 전극 라인에 의해 전달된 전압이다. 결국 상기한 수학식 1은 하기하는 수학식 2로 변경할 수 있다.

수학식 2

$$V_n = \frac{V_{(Dn)} V_m (C_{lcm} + C_{stm}) + V_{(n-1)} (C_{lcs} + C_{sts})}{C_{lcm} + C_{stm} + C_{lcs} + C_{sts}}$$

<58> 여기서, V_n 은 n 번째 프레임의 최종 픽셀 전압이고, $V_{(Dn)}$ 는 n 번째 프레임에 서 데이터 전극 라인을 통한 픽셀 공급 전압이며, $V_{(n-1)}$ 는 $n-1$ 번째 프레임의 픽셀 전압이다.

<59> 상기한 수학식 2를 보면, n번째 프레임의 최종 픽셀 전압(V_n)은 이전 프레임의 전압의 영향을 받고, 현재 프레임의 전압과 적당히 더해져서 최종 픽셀 전압이 되는 것을 확인할 수 있다.

<60> 따라서, 이와 같은 구조에서 구동적으로 오버 슈트를 발생시키기 위한 조건을 만족시킬 수 있다.

<61> 즉, 서브 픽셀에 이전 프레임의 정보, 바람직하게는 최종 픽셀 전압을 저장한다. 이어, 상기한 수학적 식 2에 의해 메인 픽셀과 서브 픽셀의 캐패시턴스의 비율에 의해 최종 전압이 결정되면서 그 만큼의 오버 슈트 또는 언더 슈트를 얻을 수 있다.

<62> 도 5는 상기한 수학적식 2를 시뮬레이션한 결과를 도시한다.

<63> 도 5를 참조하면, 계조가 바뀌는 부분인 동그라미 표시한 부분에 오버 슈트(overshoot) 또는 언더 슈트(undershoot)가 발생하는 것을 확인할 수 있다. 이때 오버 슈트나 언더 슈트의 크기는 서브 픽셀의 캐패시턴스에 따라 달라진다.

<64> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

발명의 효과

<65> 이상 설명한 바와 같이, 본 발명에 따른 픽셀 메모리 기능을 갖는 액정 표시 장치에 의하면, 액정 표시 장치의 고속 응답을 위해 별도로 구동적인 조작을 하지 않더라도 보다 손쉽게 액정 표시 장치의 응답 속도를 고속화할 수 있다.

<66> 또한, 서브 픽셀의 캐패시턴스를 변화시켜 오버 슈트 양이나 언더 슈트 양을 조절하기 때문에 응답 속도의 성능도 탁월하다.

도면의 간단한 설명

<1> 도 1은 일반적인 TFT-LCD의 화소 등가 회로를 설명하기 위한 도면이다.

<2> 도 2는 일반적인 액정 표시 장치의 노멀 구동과 오버 슈트 및 언더 슈트 구동에 따른 응답 속도 파형을 설명하기 위한 도면이다.

<3> 도 3은 본 발명의 실시예에 따른 픽셀 메모리 기능을 갖는 액정 표시 장치를 설명하기 위한 도면이다.

<4> 도 4는 상기한 도 3의 액정 표시 패널을 설명하기 위한 구조도이다.

<5> 도 5는 본 발명에 따른 시뮬레이션한 결과를 도시한다.

<6> <도면의 주요부분에 대한 부호의 설명>

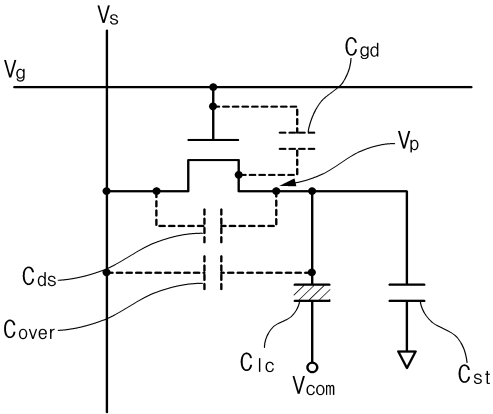
<7> 100 : 메인 픽셀 200 : 서브 픽셀

<8> Clcm : 메인 액정 캐패시터 Cstm : 메인 스토리지 캐패시터

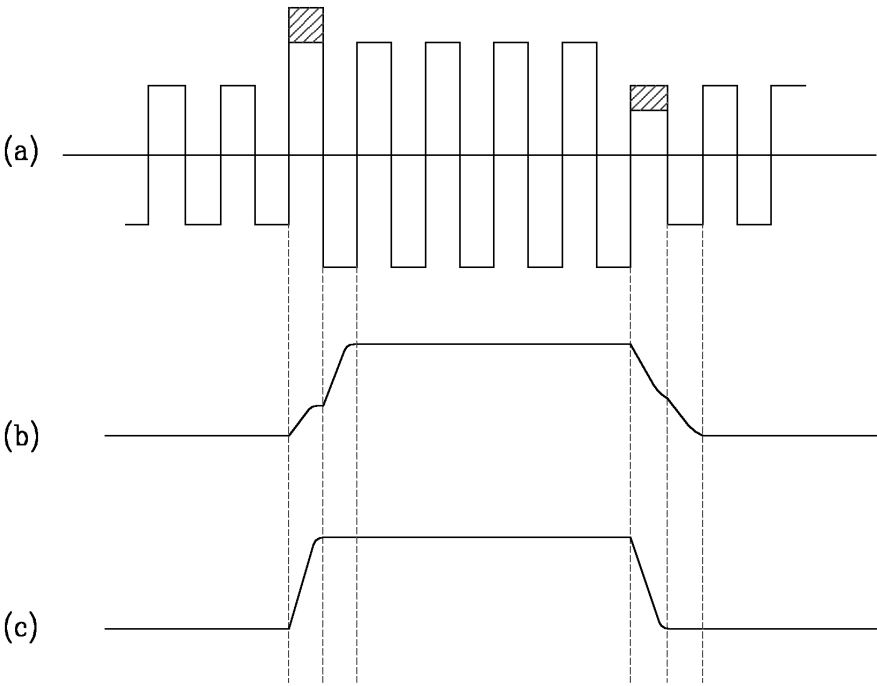
<9> C_{lcs} : 서브 액정 캐패시터 C_{sts} : 서브 스토리지 캐패시터

도면

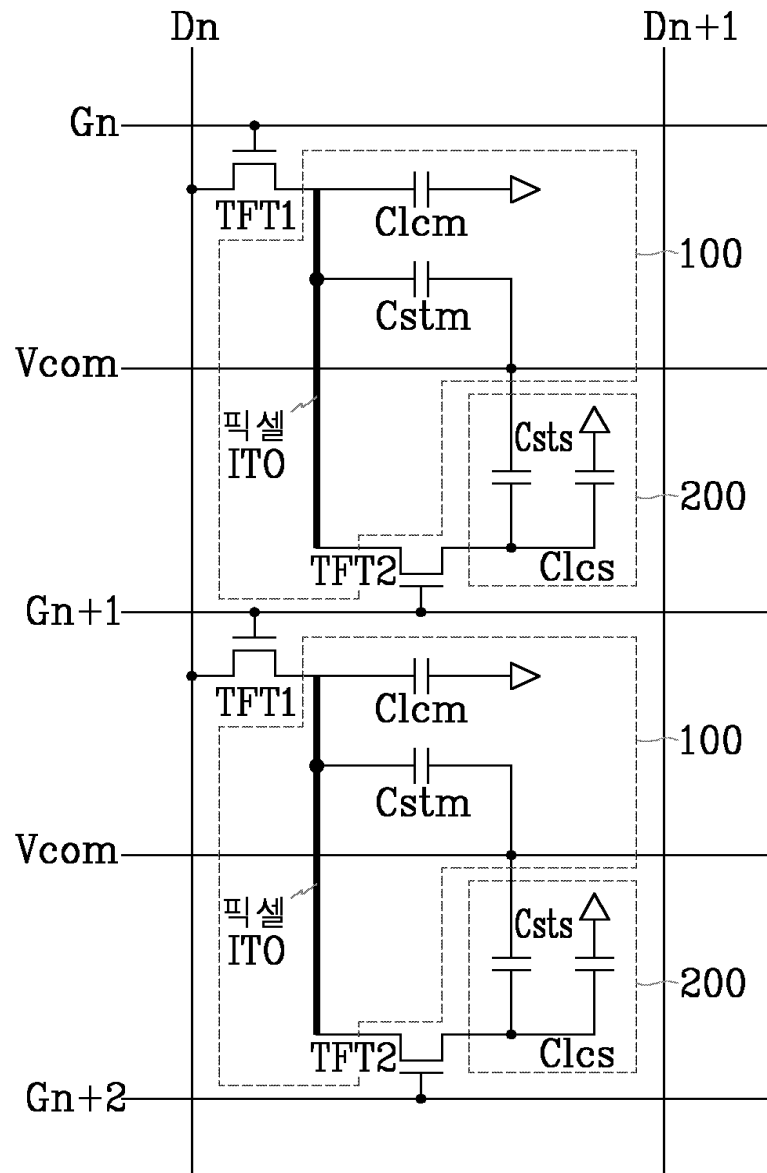
도면1



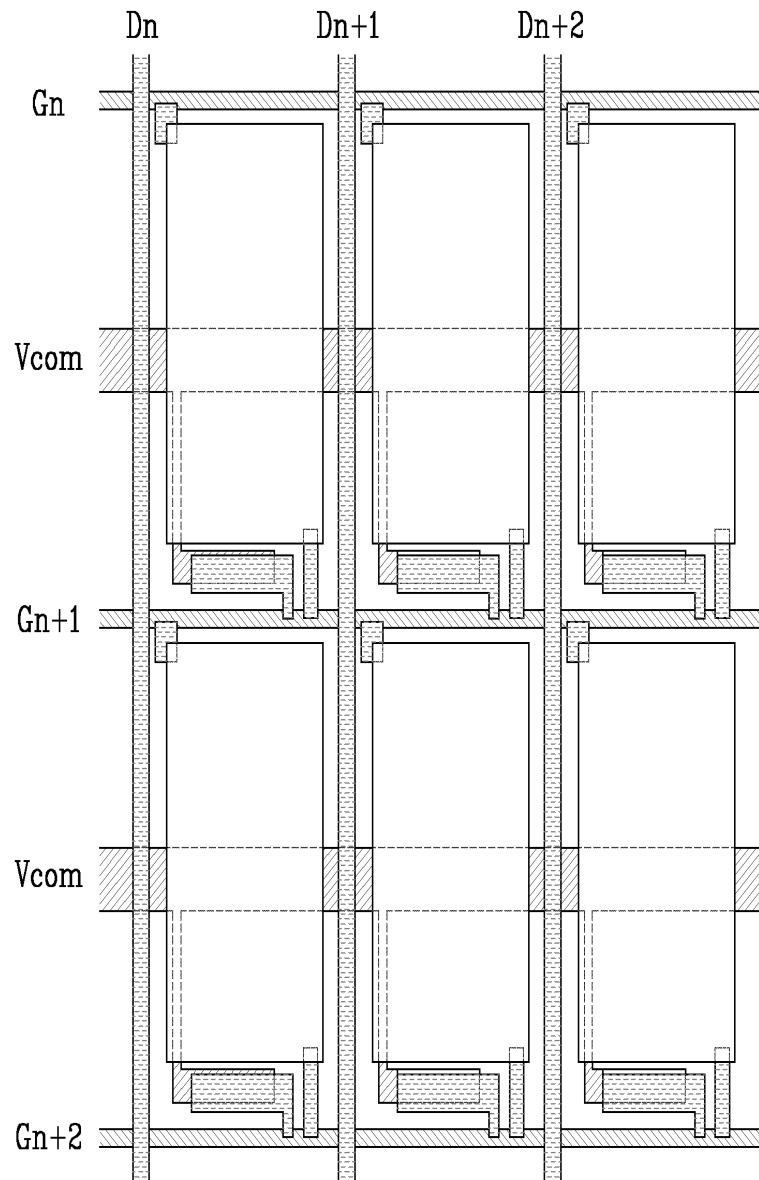
도면2



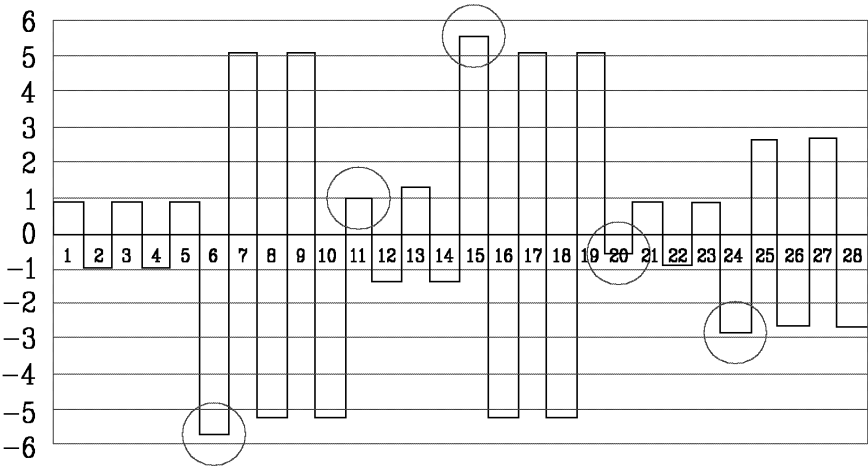
도면3



도면4



도면5



专利名称(译)	液晶显示器		
公开(公告)号	KR100806894B1	公开(公告)日	2008-02-22
申请号	KR1020010047027	申请日	2001-08-03
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	SONG JANGKUN		
发明人	SONG,JANGKUN		
IPC分类号	G02F1/133		
其他公开文献	KR1020030012668A		
外部链接	Espacenet		

摘要(译)

本发明公开了一种液晶显示装置，其能够以较低的成本容易地产生过冲或下冲，并且还适用于点反转驱动。根据本发明，主像素区域和子像素区域分别形成在形成于液晶显示装置的栅电极线和数据电极线上的预定区域中。此时，主像素区域形成连接在数据电极线和前一栅电极线之间的第一TFT，并且将第一液晶电容器和第一存储电容器并联连接到第一TFT。此外，子像素区域将第二TFT的第一端连接到第一液晶电容器和并联连接的第一存储电容器，第二TFT的第二端连接到当前的栅极电极线，第三级形成第二液晶电容器和第二存储电容器。其结果是，当子像素区中，前一帧的信息，最终像素电压由主像素和子像素的电容的比来确定，以获得多的，一个过冲。

