



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G02F 1/136 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년04월11일 10-0705615 2007년04월03일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2000-0087245 2000년12월30일 2004년08월27일	(65) 공개번호 (43) 공개일자	10-2002-0057014 2002년07월11일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자 비오이 하이디스 테크놀로지 주식회사
 경기도 이천시 부발읍 아미리 산 136-1

(72) 발명자 박병희
 서울특별시성동구옥수동극동그린아파트105동703호

 송영진
 서울특별시영등포구당산동4가32-153당산테마스텔503호

(74) 대리인 강성배

(56) 선행기술조사문헌 JP05226654 A KR1019980012634 A * 심사관에 의하여 인용된 문헌	JP06252402 A KR1019990016120 A
---	-----------------------------------

심사관 : 임동재

전체 청구항 수 : 총 16 항

(54) 박막트랜지스터-액정표시장치의 제조방법

(57) 요약

본 발명은 소오스/드레인과 투명한 화소전극을 비적층구조로 형성하여 그 화소전극의 형성을 위한 ITO(Indium Tin Oxide)의 에칭시에도 상기 소오스/드레인의 단락이 방지되도록 하면서 액티브층과 보호층을 단일의 마스크를 적용하여 형성함으로써 전체적인 마스크 공정수의 절감이 가능한 박막트랜지스터-액정표시장치의 제조방법에 관한 것이다. 본 발명의 바람직한 실시예에 따르면, 투명한 글래스기판 상에 게이트마스크를 사용하여 게이트라인을 형성하고나서 게이트절연막을 형성하는 단계; 상기 게이트절연막 상에 투명전극 마스크를 사용하여 투명한 화소전극을 형성하는 단계; 상기 게이트라인과의 사이에서 채널을 형성하면서 상기 투명전극의 일부에 접속되는 형태로 소오스/드레인 형성 마스크를 사용하여 소오스/드레인과 n+ a-Si층을 형성하는 단계; 및 상기 소오스/드레인과 n+ a-Si층이 형성된 상기한 구조에 대해 액티브층과 보호층을 동시에 형성하는 단계;를 포함하는 박막트랜지스터-액정표시장치의 제조방법이 제공된다.

대표도

도 2d

특허청구의 범위

청구항 1.

투명한 글래스기판 상에 게이트마스크를 사용하여 게이트라인을 형성하고나서 게이트절연막을 형성하는 단계;

상기 게이트절연막 상에 투명전극 마스크를 사용하여 투명한 화소전극을 형성하는 단계;

상기 게이트라인과의 사이에서 채널을 형성하면서 상기 투명전극의 일부에 접속되는 형태로 소오스/드레인 형성 마스크를 사용하여 소오스/드레인과 n^+ a-Si층을 형성하는 단계; 및

상기 소오스/드레인과 n^+ a-Si층이 형성된 상기한 구조에 대해 액티브층과 보호층을 동시에 형성하는 단계;

를 포함하는 것을 특징으로 하는 박막트랜지스터-액정표시장치의 제조방법.

청구항 2.

제 1항에 있어서, 상기 액티브층과 보호층은 단일의 마스크에 의해 형성되는 것을 특징으로 하는 박막트랜지스터-액정표시장치의 제조방법.

청구항 3.

제 1항에 있어서, 상기 액티브층과 보호층은 상기 게이트라인과 소오스/드레인 상에 형성되는 것을 특징으로 하는 박막트랜지스터-액정표시장치의 제조방법.

청구항 4.

제 1항에 있어서, 상기 액티브층과 보호층은 상기 소오스/드레인상에만 형성하는 것을 특징으로 하는 박막트랜지스터-액정표시장치의 제조방법.

청구항 5.

제 1항에 있어서, 상기 액티브층과 보호층은 상기 게이트라인 상에만 형성하는 것을 특징으로 하는 박막트랜지스터-액정표시장치의 제조방법.

청구항 6.

제 1항에 있어서, 상기 소오스/드레인과 상기 n^+ a-Si층 및 상기 액티브층 및 보호층은 a-Si층→소오스/드레인→액티브층+보호층의 순서로 형성하는 것을 특징으로 하는 박막트랜지스터-액정표시장치의 제조방법.

청구항 7.

제 1항에 있어서, 상기 소오스/드레인과 상기 n^+ a-Si층 및 상기 액티브층 및 보호층은 소오스/드레인→a-Si층→액티브층+보호층의 순서로 형성하는 것을 특징으로 하는 박막트랜지스터-액정표시장치의 제조방법.

청구항 8.

제 1항에 있어서, 상기 소오스/드레인과 상기 n^+ a-Si층 및 상기 액티브층 및 보호층은 n^+ a-Si층→소오스/드레인→ n^+ a-Si층→액티브층+ 보호층의 순서로 형성하는 것을 특징으로 하는 박막트랜지스터-액정표시장치의 제조방법.

청구항 9.

제 1항 내지 제 8항중 어느 한항에 있어서, 상기 액티브층은 a-Si로 형성하는 것을 특징으로 하는 박막트랜지스터-액정표시장치의 제조방법.

청구항 10.

제 9항에 있어서, 상기 액티브층은 다결정 실리콘으로 형성하는 것을 특징으로 하는 박막트랜지스터-액정표시장치의 제조방법.

청구항 11.

투명한 글래스기판 상에 투명전극 마스크를 사용하여 투명한 화소전극을 형성하는 단계;

상기 화소전극에 인접하여 상기 글래스기판 상에 게이트마스크를 사용하여 게이트라인을 형성하고나서 게이트절연막을 형성하는 단계;

상기 게이트절연막에 접촉공마스크를 사용하여 접촉공을 형성하고나서 그 접촉공을 통해 상기 화소전극에 접촉되는 형태로 소오스/드레인 마스크를 사용하여 소오스/드레인과 n^+ a-Si층을 형성하는 단계; 및

상기 소오스/드레인과 n^+ a-Si층이 형성된 상기한 구조에 대해 액티브층과 보호층을 동시에 형성하는 단계;

를 포함하는 것을 특징으로 하는 박막트랜지스터-액정표시장치의 제조방법.

청구항 12.

제 11항에 있어서, 상기 액티브층과 보호층은 단일의 마스크에 의해 형성되는 것을 특징으로 하는 박막트랜지스터-액정표시장치의 제조방법.

청구항 13.

제 11항에 있어서, 상기 액티브층과 보호층은 상기 게이트라인과 소오스/드레인 상에 형성되는 것을 특징으로 하는 박막트랜지스터-액정표시장치의 제조방법.

청구항 14.

제 11항에 있어서, 상기 액티브층과 보호층은 상기 소오스/드레인과 게이트라인 중 어느 일측에만 형성하는 것을 특징으로 하는 박막트랜지스터-액정표시장치의 제조방법.

청구항 15.

제 11항 내지 제 14항중 어느 한항에 있어서, 상기 액티브층은 비정질 실리콘(a-Si)으로 형성하는 것을 특징으로 하는 박막트랜지스터-액정표시장치의 제조방법.

청구항 16.

제 15항에 있어서, 상기 액티브층은 다결정실리콘으로 형성하는 것을 특징으로 하는 박막트랜지스터-액정표시장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막트랜지스터-액정표시장치의 제조방법에 관한 것으로, 보다 상세하게는 소오스/드레인 라인의 단락이 방지되는 구조를 갖도록 하면서 액티브층(Active layer)과 보호층(Passivation layer)을 하나의 마스크를 사용해서 형성함으로써 전체적인 마스크 수의 절감을 달성하도록 된 박막트랜지스터-액정표시장치의 제조방법에 관한 것이다.

현재, 평판표시장치로서 대표적으로 알려진 액정표시장치는 구동전압이 낮고 소비전력도 낮으면서 고해상도의 화질 재현이 가능하다는 점에서 점차 그 적용범위가 확대되는 추세에 있다.

도 1은 종래의 일예에 따른 TFT-LCD의 구조를 설명하기 위한 도면으로, 투명한 기판(10)상에는 패터닝된 형태의 게이트라인(12)이 형성되고, 그 게이트라인(12)을 포함하는 상기 투명한 기판(10)상에는 게이트절연층(14)이 형성된다.

상기 게이트절연층(14)상에서 상기 게이트라인(12)에 대응하는 위치에는 비정질 실리콘(a-Si)에 의한 액티브층(Active layer)(16)이 형성됨과 더불어 그 액티브층(16)의 양측상에 n+ a-Si층(18)이 형성되고, 그 n+ a-Si층(18)에 접촉되는 형태로 화상신호(즉, 그래픽신호)가 흐르는 소오스/드레인(20)이 형성된다.

상기 소오스/드레인(20)을 포함하는 전체의 면에는 보호층(Passivation layer;PVX)(22)이 형성되고, 그 보호층(22)의 일부에 관통적으로 형성된 관통구를 통해 상기 소오스/드레인(20)의 일측에 신호적으로 접속되는 투명한 화소전극(24)이 형성된다.

여기서, 도 1에 도시된 액정표시장치는 5-마스크로 제조되는 바, 그 TFT-LCD패널은 게이트라인(12)의 형성을 위한 게이트마스크와, 액티브층(16)의 형성을 위한 액티브층 마스크, 소오스/드레인(20)의 형성을 위한 소오스/드레인 마스크, 보호층(22)의 형성을 위한 보호층 마스크, 투명한 화소전극(24)의 형성을 위한 투명전극 마스크 공정의 수행에 의해 제조된다.

발명이 이루고자 하는 기술적 과제

그런데, 통상적인 TFT-LCD는 7-마스크 공정을 경유하거나 도 1을 참조하여 설명한 5-마스크로 제조되는 바, 대개 마스크의 수가 많아지면 원가의 상승이 초래될 뿐만 아니라, 전체적인 수율이 저하되는 단점을 나타내게 된다.

따라서, 현재에는 TFT-LCD패널이 대형화되면서 원가의 상승 및 수율의 저하가 문제시 되는 바, 다수의 LCD패널이 대형의 글래스기판상에 형성되는 대신 그 LCD패널의 대형화에 의해 소량의 LCD패널이 양산되면서 공정 도중에 발생하는 결함은 원가의 상승과 수율의 저하를 초래하게 된다.

그 수율의 저하 측면에서 살펴보면, 통상적으로 투명한 화소전극(24)은 대개 ITO로 형성되는 반면, 소오스/드레인(20)은 AI계 금속을 주로 사용하여 형성되고, 상기 투명한 화소전극(24)의 형성시에는 습식에칭(Wet etching)을 실행하게 되는데, 그 습식에칭을 위한 에칭제가 상기 소오스/드레인(20)의 AI계 금속을 빠르게 에칭하는 특성을 보이게 되고, 그러한 이유에서 수율저하의 원인 저하가 ITO에칭제에 의한 소오스/드레인(20)의 단락(Open)에 기인하게 된다.

본 발명은 상기한 종래기술의 사정을 감안하여 이루어진 것으로, 소오스/드레인 및 투명한 화소전극이 적층구조를 갖지 않도록 하여 화소전극의 에칭시에 소오스/드레인이 불리한 영향을 받지 않도록 하면서 5-마스크 제조과정에서 액티브층과 보호층을 단일의 마스크를 적용하여 형성함으로써 전체적인 마스크 공정수의 절감이 가능한 박막트랜지스터-액정표시장치의 제조방법을 제공함에 그 목적이 있다.

삭제

삭제

삭제

삭제

삭제

삭제

삭제

삭제

삭제

삭제

발명의 구성

상기한 목적을 달성하기 위해, 본 발명의 제 1실시예에 따르면, 투명한 글래스기판 상에 게이트마스크를 사용하여 게이트 라인을 형성하고나서 게이트절연막을 형성하는 단계; 상기 게이트절연막 상에 투명전극 마스크를 사용하여 투명한 화소전극을 형성하는 단계; 상기 게이트라인과의 사이에서 채널을 형성하면서 상기 투명전극의 일부에 접촉되는 형태로 소오스/드레인 형성 마스크를 사용하여 소오스/드레인과 n+ a-Si층을 형성하는 단계; 및 상기 소오스/드레인과 n+ a-Si층이 형성된 상기한 구조에 대해 액티브층과 보호층을 동시에 형성하는 단계;를 포함하는 박막트랜지스터-액정표시장치의 제조방법이 제공된다.

본 발명에 따르면, 상기 액티브층과 보호층은 바람직하게 단일의 마스크에 의해 형성된다.

또, 상기 액티브층과 보호층은 상기 게이트라인과 소오스/드레인상에 형성되거나 상기 게이트라인 또는 소오스/드레인 상에만 선택적으로 형성된다.

본 발명에 따르면, 상기 소오스/드레인과 상기 n+ a-Si층 및 상기 액티브층 및 보호층은 a-Si층→소오스/드레인→액티브층+보호층의 순서, 소오스/드레인→a-Si층→액티브층+보호층의 순서, n+ a-Si층→소오스/드레인→n+ a-Si층→액티브층+보호층의 순서중 어느 하나의 순서로 형성하게 된다.

또, 상기 액티브층은 바람직하게 a-Si로 형성하지만, 다결정 실리콘에 의해서도 형성가능하게 된다.

본 발명의 제 2실시예에 따르면, 투명한 글래스기판 상에 투명전극 마스크를 사용하여 투명한 화소전극을 형성하는 단계; 상기 화소전극에 인접하여 상기 글래스기판 상에 게이트마스크를 사용하여 게이트라인을 형성하고나서 게이트절연막을 형성하는 단계; 상기 게이트절연막에 접촉공마스크를 사용하여 접촉공을 형성하고나서 그 접촉공을 통해 상기 화소전극에 접촉되는 형태로 소오스/드레인 마스크를 사용하여 소오스/드레인과 n+ a-Si층을 형성하는 단계; 및 상기 소오스/드레인과 n+ a-Si층이 형성된 상기한 구조에 대해 액티브층과 보호층을 동시에 형성하는 단계;를 포함하는 박막트랜지스터-액정표시장치의 제조방법이 제공된다.

본 발명에 따르면, 바람직하게 상기 액티브층과 보호층은 단일의 마스크에 의해 형성된다.

또, 상기 액티브층과 보호층은 상기 게이트라인과 소오스/드레인 상에 형성되거나 상기 소오스/드레인과 게이트라인 중 어느 일측에만 형성된다.

또, 본 발명에 따르면 상기 액티브층은 바람직하게 비정질 실리콘(a-Si)으로 형성되지만, 다결정실리콘에 의해서도 형성된다.

상기한 본 발명에 따른 박막트랜지스터-액정표시장치의 제조방법에 의하면, 소오스/드레인이 투명한 화소전극과 적층되지 않는 구조를 채용함에 따라 상기 소오스/드레인이 상기 화소전극의 형성을 위한 ITO의 에칭시에도 불리한 영향을 받지 않는 구조를 갖게 될 뿐만 아니라, 액티브층과 보호층이 단일의 마스크에 의해 형성된다.

(실시예)

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다.

도 2a 내지 도 2d는 본 발명의 바람직한 제 1 실시예에 따른 박막트랜지스터-액정표시장치의 제조방법을 설명하기 위한 도면이다.

도면을 참조하면, 투명한 글래스기판(30)상에 게이트라인(또는 게이트전극)(32)이 패터닝형성되고나서 그 게이트라인(32)을 포함하는 상기 글래스기판(30)의 전체 상면에 게이트절연층(34)이 형성된다(도 2a 참조). 바람직하게, 상기 게이트라인(32)은 게이트금속층을 상기 글래스기판(30)상에 적층하고나서 게이트마스크를 사용하여 소정 형상으로 패터닝형성함으로써 형성된다.

그리고나서, 상기 게이트절연층(34)의 상측 일부에는 투명한 화소전극(36)이 적절한 재질, 바람직하게 ITO에 의해 패터닝형성된다(도 2b 참조). 여기서, 상기 투명한 화소전극(36)은 상기 게이트절연층(34)상에 ITO를 적층하고나서 투명전극 마스크를 사용하여 그 ITO를 습식에칭(Wet etching)함으로써 형성된다.

상기한 과정에 의해 상기 투명한 화소전극(36)이 형성된 상태에서 그 투명한 화소전극(36)에 대해 접촉되는 형태로 소오스/드레인(38)이 형성되는 바, 그 소오스/드레인(38)은 상기 게이트라인(32)과 채널을 형성하게 되고, 그 소오스/드레인(38)상에는 n^+ a-Si층(40)이 형성된다(도 2c 참조).

여기서, 상기 소오스/드레인(38)은 어느 일측이 상기 투명한 화소전극(36)에 부분적으로 접촉되는 형태로 예컨대 Al계 금속을 적층하고나서 n^+ a-Si층(40)의 형성을 위한 재료를 그 상측에 적층하여 소오스/드레인 마스크를 사용하여 예컨대 에칭에 의한 패터닝가공함으로써 형성된다.

그 후, 상기한 구조(즉 도 2c)의 전체에 액티브층(42)과 보호층(44)을 형성하게 되는 바, 본 발명에 따르면 그 액티브층(42)과 보호층(44)은 도 2d에서 볼 수 있는 바와 같이 단일의 마스크에 의해 패터닝처리되고, 그에 따라 본 발명에 의한 4-마스크 공정에 의해 TFT-LCD를 제조할 수 있게 된다.

여기서, 본 발명에 따르면 상기 소오스/드레인(38)과 액티브층(42)의 사이에 일반적으로 형성되는 n^+ a-Si층(40)의 위치에 따라 소오스/드레인→ n^+ a-Si층→액티브층+ 보호층의 형성 순서, n^+ a-Si층→소오스/드레인→액티브층+ 보호층의 형성 순서, 또는 n^+ a-Si층→소오스/드레인→ n^+ a-Si층→액티브층+ 보호층의 형성 순서에 의거하게 되고, 그 경우에 소오스/드레인(38)과 n^+ a-Si층(40)은 동시에 형성하고서 마스크를 사용하여 에칭함으로써 패터닝하게 된다.

또, 상기 액티브층과 보호층은 상기 소오스/드레인(38)의 상부와 게이트라인(32)상에만 선택적으로 형성하거나 그 양자에 대해 모두 형성하는 방식이 적용가능하게 된다.

또, 본 발명에 따르면 소오스/드레인(38)이 상기 화소전극(36)에 대해 적층구조로 형성되지 않게 됨에 따라 상기 화소전극(36)의 형성을 위한 ITO의 습식에칭시에도 불리한 영향(Affect)을 받지 않게 된다.

도 3은 본 발명의 제 2 실시예에 따른 TFT-LCD의 제조방법을 설명하는 도면이다.

본 실시예에 의해 제조되는 TFT-LCD는 글래스기판(50)상의 소정위치에는 투명한 화소전극(52)이 형성되는 한편 그 화소전극(52)에 인접한 위치에 게이트마스크를 사용하여 게이트라인(54)이 형성되고, 그 게이트라인(54) 상에 게이트절연막(56)이 형성된다.

또, 상기 게이트절연막(56)상에는 접촉공마스크를 사용하여 형성된 접촉공(58)을 매개하여 상기 화소전극(52)에 접촉되는 형태로 소오스/드레인(60)이 소오스/드레인 마스크를 사용하여 형성되고, 그 소오스/드레인(60)상에 n^+ a-Si층(62)이 형성되며, 그 상층에는 단일의 마스크에 의해 패터닝되는 액티브층(64)과 보호층(66)이 순차로 적층되어 형성된다.

따라서, 본 실시예의 경우에는 상기한 제 1실시예에 비해 상기 접촉공(58)의 형성을 위한 접촉공마스크공정이 추가되기는 하지만, 상기 화소전극(52)과 상기 소오스/드레인(60)이 적층구조를 갖지 않게 됨에 따라 화소전극(52)의 형성을 위한 에칭공정에서 상기 소오스/드레인(60)이 불리한 영향을 받지는 않게 된다.

또, 본 발명에 따르면 상기 액티브층은 비정질실리콘(a-Si)으로 형성되지만, 다결정실리콘을 사용하여 형성해도 되고, 그 경우에도 상기 액티브층과 보호층은 단일의 마스크로 형성하게 된다.

발명의 효과

상기한 바와 같이, 본 발명에 따른 박막트랜지스터-액정표시장치의 제조방법에 의하면, 소오스/드레인층과 투명한 화소전극이 적층구조를 갖지 않도록 형성됨에 따라 화소전극의 형성을 위한 ITO에칭시에도 소오스/드레인층이 ITO에칭시에 불리한 영향을 받는 일이 배제됨과 더불어, 액티브층과 보호층이 단일의 마스크에 의해 형성됨에 따라 그 전체적인 마스크 공정수도 단축되어 전체적인 생산성이 향상되고, 그에 따라 제품의 제조원가의 절감도 가능하게 된다.

도면의 간단한 설명

도 1은 종래의 일예에 따른 박막트랜지스터-액정표시장치의 구조를 설명하는 도면,

도 2a 내지 도 2d는 본 발명의 제 1실시예에 따른 박막트랜지스터-액정표시장치의 제조공정을 설명하는 단면도,

도 3은 본 발명의 제 2실시예에 따라 제조된 박막트랜지스터-액정표시장치의 단면구조도이다.

도면의 주요부분에 대한 부호의 설명

30: 글래스기판, 32: 게이트라인,

36: 화소전극, 38: 소오스/드레인,

42: 액티브층, 44: 보호층,

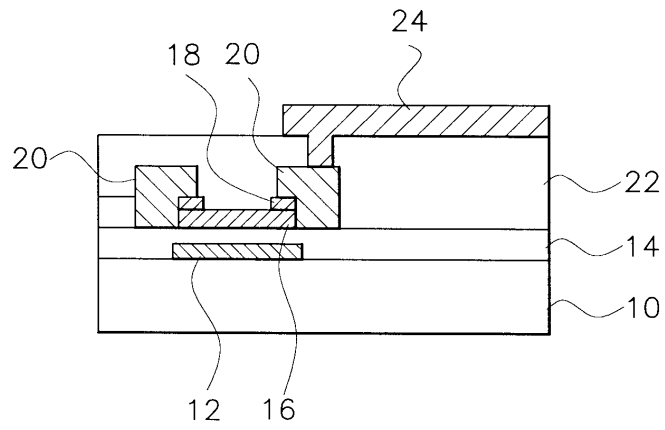
50: 글래스기판, 52: 화소전극,

54: 게이트라인, 60: 소오스/드레인,

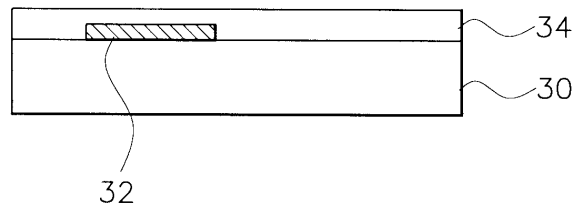
64: 액티브층, 66: 보호층.

도면

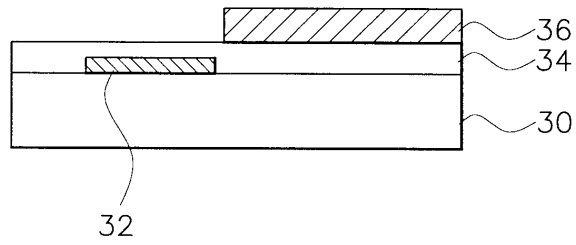
도면1



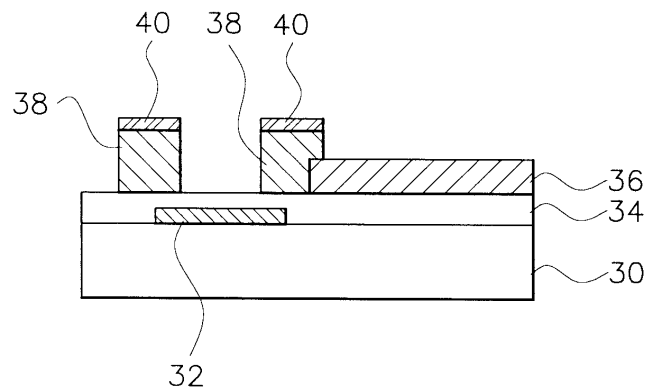
도면2a



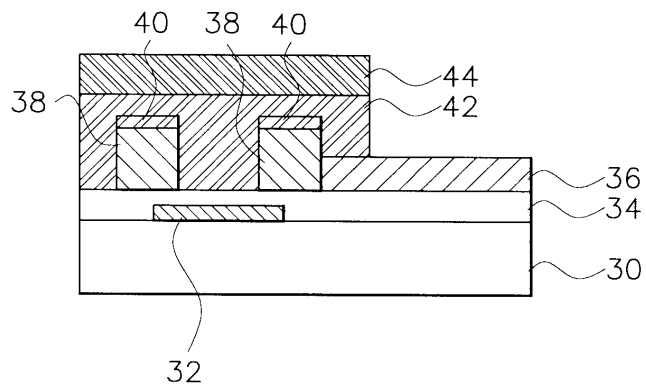
도면2b



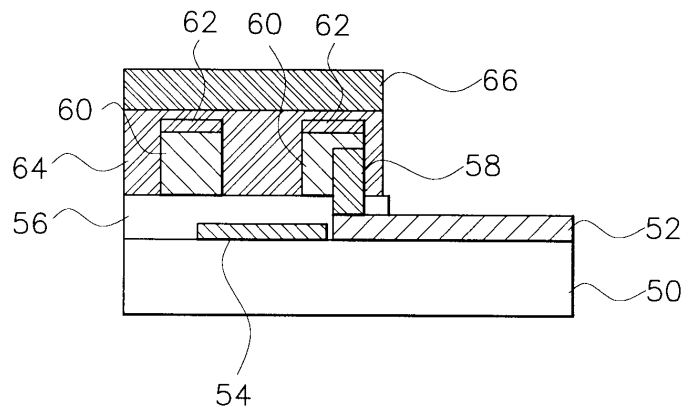
도면2c



도면2d



도면3



专利名称(译)	薄膜晶体管 - 制造液晶显示器件的方法		
公开(公告)号	KR100705615B1	公开(公告)日	2007-04-11
申请号	KR1020000087245	申请日	2000-12-30
[标]申请(专利权)人(译)	HYDIS TECH HYDIS技术有限公司		
申请(专利权)人(译)	하이디스테크놀로지주식회사		
当前申请(专利权)人(译)	하이디스테크놀로지주식회사		
[标]发明人	PARK BYOUNGHEE 박병희 SONG YOUNGJIN 송영진		
发明人	박병희 송영진		
IPC分类号	G02F1/136		
其他公开文献	KR1020020057014A		
外部链接	Espacenet		

摘要(译)

目的：提供一种制造薄膜晶体管 - 液晶显示器的方法，以使用单个掩模形成有源层和钝化层，以减少掩模工艺的数量，从而提高生产率。

