

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G09G 3/36 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년04월03일 10-0567500 2006년03월28일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2004-0028206 2004년04월23일	(65) 공개번호 (43) 공개일자	10-2004-0093016 2004년11월04일
------------------------	--------------------------------	------------------------	--------------------------------

(30) 우선권주장 JP-P-2003-00120592 2003년04월24일 일본(JP)

(73) 특허권자 엔이씨 엘씨디 테크놀로지스, 엘티디.  
일본 가나가와켄 가와사키시 나카하라구 시모누마베 1753

(72) 발명자 타케다히로시  
일본국가나가와켄카와사키시나카하라구1753시모누마베엔이씨엘씨디  
테크놀로지스.엘티디내

야마구치마치히코  
일본국도쿄도미나토구시바5-7-1엔이씨가부시끼가이샤내

(74) 대리인 최달용

심사관 : 정병락

(54) 액정 디스플레이 장치 및 액정 디스플레이 패널의 구동 방법

요약

액정 디스플레이 장치에서, 기입 전압 세트는, LCD 패널의 말단에서 나타나도록, 입력 비디오 프레임의 수평 라인 신호에 대응하여 생성된다. LCD 패널의 로우 라인이 연속적으로 선택되고 가변 기입 기간 동안 컬럼 라인의 말단으로부터 선택된 로우 라인의 액정 셀로 기입 전압이 공급된다. LCD 패널의 상단과 하단 사이의 계조차이를 보상하기 위해, 기입 기간은 선택된 로우 라인으로부터 컬럼 라인의 말단까지의 거리에 따라 점점 가변된다. 기입 기간은 공칭값으로부터, 또는, 공칭값 이하의 값으로부터 공칭값, 또는, 양쪽의 조합으로 점점 가변될 수 있다.

대표도

도 2

색인어

액정 디스플레이 장치

명세서

도면의 간단한 설명

도 1은 첫 번째와 마지막 라인 사이의 휘도 오차를 나타내기 위해 시간당 휘도값을 기입한 종래의 액정 디스플레이 패널의 그래프.

도 2는 본 발명의 제 1의 실시예에 따른 LCD 구동 회로의 블록도.

도 3은 도 2의 타이밍 제어기의 블록도.

도 4는 도 3의 동작을 설명하는 타이밍도.

도 5는 본 발명의 제 1의 실시예의 휘도 대 시간의 특성을 나타내는 그래프.

도 6은 본 발명의 제 2의 실시예에 따른 LCD 구동 회로의 블록도.

도 7은 도 6의 타이밍 제어기의 블록도.

도 8은 도 6의 동작을 설명하는 타이밍도.

도 9는 본 발명의 제 2의 실시예의 휘도 대 시간의 특성을 나타내는 그래프.

도 10은 본 발명의 제 3의 실시예에 따른 LCD 구동 회로의 블록도.

도 11은 도 10의 타이밍 제어기의 블록도.

도 12는 도 10의 동작을 설명하는 타이밍도.

도 13은 본 발명의 제 3의 실시예의 휘도 대 시간 특성을 나타내는 그래프.

♠도면의 주요 부호에 대한 부호의 설명♠

1 : LCD 패널 2 : 컬럼 드라이버

3 : 로우 드라이버 4 : 타이밍 제어기

5 : 버퍼 메모리 10 : 컬럼 라인

11 : 로우 라인 12 : 박막 트랜지스터

13 : 액정 셀 14 : 공통 전극

20 : 시프트 레지스터 21 : 래치 회로

22 : 변환 회로

## 발명의 상세한 설명

### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

### 발명의 배경

### 발명의 분야

본 발명은 액정 디스플레이 장치 및 액정 디스플레이 패널의 구동 방법에 관한 것이다.

종래의 기술

액정 디스플레이 패널은 스위칭 트랜지스터와 액정 셀에 의해 이루어지는 매트릭스 어레이의 픽셀을 포함한다. 모든 스위칭 트랜지스터는 연속적으로 선택된 컬럼 라인과 로우 라인의 교차점에 접속된다. 하나의 로우 라인이 선택될 때, 기입 전압(write-in voltage)에 의해 각각의 컬럼 라인이 구동된다. 최신평판 디스플레이 분야에서는, 최근 대형화, 고선명 디스플레이 패널을 선호하는 경향이 있다. 스크린의 크기가 커질수록, 기입 전압은 증가된 길이의 컬럼 라인을 통해 전해져야 한다. 기입 전압이 고정 기입 기간마다 선택된 로우 라인의 액정 셀로 공급되므로, 도 1에 도시된 스크린의 상부와 하부사이의 상이한 계조(shade of gray)로 인해 바람직하지 못한 감쇄와 왜곡현상이 나타나게 된다.

상기 문제를 해결하기 위해, 일본 특허 공보 2002-182616호는 가변 보충 전압을 생성하고 기입 전압과 결합시키는 기술을 기재하고 있다. 결합 전압은, 결합 전압이 공급되는 말단으로부터 선택 로우 라인 사이의 거리에 따라, 점점 가변한다.

그러나, 아날로그 회로이기 때문에, 정밀한 회로 조정을 하는 것에 어려움이 따른다. 따라서, 액정 디스플레이 장치에서 회로 조정을 용이하고 정확하게 할 수 있는 방법을 마련할 필요가 있다.

**발명이 이루고자 하는 기술적 과제**

따라서, 본 발명의 목적은 액정 디스플레이 장치 및 기입 전압에 의해 컬럼 라인을 이동한 상이한 거리에 따라서 기입 기간을 제어함으로써 액정 디스플레이 패널을 구동하는 방법을 제공하는 것이다. 펄스 기간은 디지털 회로에 의해 용이하게 제어될 수 있으므로, 본 발명은 액정 디스플레이의 스크린의 상이한 계조로 인한 문제를 해결한다.

본 발명의 제 1의 양상에 따르면, 액정 셀을 활성화시키기 위해 복수의 컬럼 라인과 복수의 로우 라인의 교점에 접속되는 매트릭스 어레이의 트랜지스터와 상기 트랜지스터에 각각 접속된 매트릭스 어레이의 액정 셀을 포함하는 액정 디스플레이 패널과, 상기 컬럼 라인의 말단에서 비디오 프레임의 라인 신호의 복수의 기입 전압을 연속적으로 생성하고, 각 로우 라인을 연속적으로 선택하고, 선택된 로우 라인으로부터 말단까지의 기하학적 거리에 대응하는 가변 기입 기간동안, 컬럼 라인의 말단으로부터 선택된 로우 라인의 액정 셀로 상기 기입 전압을 공급하는 구동 회로를 포함하는 액정 디스플레이 장치를 제공한다. 표준 텔레비전 신호 포맷의 입력 비디오 신호의 라인주기를 공칭값(nominal value)이라고 칭하기로 하며, 기입 기간은 공칭값으로부터 점점 가변될 수 있고, 또는 공칭값 이하의 값으로부터 공칭값 또는 그 조합으로 점점 가변될 수 있다.

두 번째 양상에 따르면, 본 발명은 액정 디스플레이의 구동 방법을 제공하며, 액정 디스플레이 패널은 매트릭스 어레이의 트랜지스터와 트랜지스터에 각각 접속된 매트릭스 어레이의 액정 셀을 포함하고, 트랜지스터는 액정 셀을 활성화하기 위해 복수의 컬럼 라인과 복수의 로우 라인의 교점에 각각 접속된다. 상기 방법은 (a)기입 전압이 컬럼 라인의 말단에서 나타나도록, 비디오 프레임의 라인 신호의 복수의 기입 전압을 생성하는 단계, (b)로우 라인 중 하나를 연속적으로 선택하는 단계; 및 (c)선택된 로우 라인으로부터 말단까지의 기하학적 거리에 따른 기입 기간동안, 컬럼 라인의 말단으로부터 선택된 로우 라인의 액정 셀로 기입 전압을 연속적으로 공급하는 단계를 포함한다.

**발명의 구성 및 작용**

도 2를 참조하면, 본 발명의 제 1의 실시예에 따른 LCD 구동 회로가 도시된다. 구동 회로는 타이밍 제어기(4)로부터 공급된 타이밍 펄스에 응하여 액정 디스플레이 패널(1)을 각각 구동하기 위한 컬럼 드라이버(2)와 로우 드라이버(3)를 포함한다. 제 1의 실시예에서, 각 프레임의 수직 공백 간격은 보통의 게이트-온 타임보다 긴 게이트 제어 펄스를 연장시키기 위해 사용된다. 상기 목적을 위해, 버퍼 메모리(5)가 외부 소스(도시되지 않음)로부터의 비디오 입력 데이터를 일시적으로 저장하기 위해 마련된다. 저장된 비디오 데이터는 컬럼 드라이버(2)에 한 라인씩 공급된다. 입력 타이밍 신호(sync 및 클럭)도 외부 소스로부터 타이밍 제어기(4)로 공급된다.

LCD 패널(1)은 비디오 신호를 수신하기 위해 컬럼 드라이버(2)에 접속된 복수의 컬럼(드레인) 라인(10), 게이트 제어 펄스를 수신하기 위해 로우 드라이버(3)에 접속된 복수의 수평 로우(게이트) 라인(11-1 내지 11-N)을 포함한다. 매트릭스 어레이의 픽쳐 소자(픽셀)는 컬럼 라인(10)과 로우 라인(11)의 교점에 배치된다. 각 픽셀은 박막 트랜지스터(12)와 액정 셀(13)을 포함한다. 각 픽셀에서, 트랜지스터(12)는 그 드레인을 관련 컬럼 라인(10)과 접속하고, 그 게이트를 관련 로우 라인(11)과 접속하며, 액정 셀(13)은 트랜지스터(12)의 소스와 공통 전극(14) 사이에 접속된다.

후술하는 바와 같이, 게이트 제어 펄스는 타이밍 제어기(4)로부터의 게이트 구동 클록 펄스(VCK)에 의하여 하나의 로우 라인으로부터 다음으로 시프트된다. 각 게이트 제어 펄스의 기간은 VCK 펄스의 전연(leading edge)에서 시작하고, 다음 VCK 펄스의 전연에서 종료한다. 게이트 제어 펄스에 직면하여, 컬럼 드라이버(2)로 공급된 비디오 프레임의 라인 신호는 데이터 래치 펄스(DLP)에 의하여 래치된다. 선택된 로우 라인의 "기입 기간"은, 래치된 라인 신호를 선택된 로우 라인(11)의 액정 셀(13)에 기록하기 위해 VCK 펄스의 전연(leading edge)과 DLP 펄스의 후연(trailing edge) 사이에서 정의된다. 선택된 로우 라인으로부터 컬럼 라인(10)을 따라 컬럼 드라이버(2)까지의 기하학적 거리에 따라 연속적인 VCK 펄스 사이의 간격 변화가 증가함으로써, 로우 라인(11-1)으로부터 로우 라인(11-N)으로의 선택이 계속됨에 따라 기입 기간이 점점 가변된다.

모든 액정 셀(13)이 투명 플랫 패널에 기밀하게 밀봉되고(도시되지 않음), 컬럼 라인(10), 로우 라인(11) 및 트랜지스터(12)는 플랫 패널의 한 측에 배치되고, 공통 전극(14)과 컬러 필터는 다른 측에 배치된다. 각 액정 셀(13)은 스크린의 각 도트 위치에 대응하고, 관련 스위칭 트랜지스터(12)가 로우 드라이버(3)로부터의 게이트 제어 펄스에 의하여 온될 때 컬럼 드라이버(2)로부터 공급된 "기입" 전압의 충전이 가능하다. 게이트 제어 펄스의 후연에서 트랜지스터(12)가 오프될 때, 관련 액정 셀(13)은 프레임 주기의 끝까지 기입 전압을 유지한다.

모든 공통 전극(14)은 보통 7볼트의 정전압에서 바이어스된다. 기준으로서 이 바이어스 전압을 사용하면, 기입 전압의 극성이 정해진다. 보통, 양의 기입 전압은 8 내지 13볼트 사이에서 변하고, 음의 기입 전압은 1 내지 6볼트 사이에서 변한다. 따라서, 기입 전압은 7볼트의 기준 전압에 대해 1 내지 6볼트의 범위 내에서 변한다.

제 1의 실시예에서, 소스 드라이버로도 알려진 컬럼 드라이버(2)는 시프트 레지스터(20), 래치 회로(21) 및 변환 회로(22)를 포함한다. 시프트 레지스터(20)는, 도트 클록 펄스(DCK)에 의하여 연속하여 한 픽셀 씩 클록(clock)되는 비디오 데이터를 수신하기 위해 타이밍 제어기(4)로부터의 시작 펄스(SP)에 대응한다. 한 라인의 모든 픽셀 데이터가 시프트 레지스터(20)로 클록될 때, 픽셀 데이터는 타이밍 제어기(4)로부터 데이터 래치 펄스(DLP)의 전연에 의하여 래치 회로(21)에 병렬로 공급된다. 변환 회로(22)는 각 픽셀 데이터를 기입 전압으로의 변환하고, 적당한 임피던스 매칭 회로를 통해 기입 전압으로 컬럼 라인(10)을 구동한다.

게이트 드라이버로도 알려진 로우 드라이버(3)는 로우 라인(11-1 내지 11-N)을 연속적으로 선택하기 위해 타이밍 제어기(4)로부터의 게이트 드라이버 클록 펄스(VCK)와 시작 펄스(SP)에 대응하며, 각 로우 라인은 대응 VCK 펄스의 전연과 다음 VCK 펄스의 전연 사이에서 선택된다. 각 로우 라인(11-i(i=1, 2, ... N))에 대해, 각 SP, VCK 및 DLP 펄스는, 선택된 로우 라인(11-i)으로부터 컬럼 드라이버(2)로 컬럼 라인(10)을 따른 기하학적 거리가 점점 가변되는 간격으로 생성된다.

도 3에 도시된 바와 같이, 제 1의 실시예의 타이밍 제어기(4)는 입력 비디오 프레임의 라인 sync 타이밍과 프레임 sync를 검출하기 위해 입력 클록과 sync 타이밍 신호를 판별하기 위한 sync 검출기를 포함하고, 도트 클록 펄스(DCK)를 생성한다. 프레임 sync가 검출되었을 때 리셋되는 라인 카운터(41)는, 라인 sync가 검출될 때마다 카운트 수를 증가시키고, 이진 라인-카운트 수를 메모리(42)로 제공한다. 기입 부가 타이밍 값(0,  $\alpha_1$  내지  $\alpha_{N-1}$ )은 각 로우 라인(11-1, 11-2, ... 11-N)에 대응하는 메모리(42)에 저장된다. 부가 타이밍 값( $\alpha_1$  내지  $\alpha_{N-1}$ ) 각각은 컬럼 라인(10)을 따라, 로우 라인(11-2 내지 11-N)중 대응하는 하나의 라인으로부터 컬럼 드라이버(2)까지의 기하학적 거리에 따라 결정된다. 부가 타이밍 값에 할당된 DCK 펄스의 총 수는  $(M-N) \times G$ 이고,  $M-N$ 은 수직 공백 간격내에서 생성될 수 있는 라인의 수이고,  $G$ 는 각 라인 간격사이의 DCK 펄스의 수이다.

각 부가 변수(variable)가 대응하는 라인-카운트 수에 따라 메모리(42)로부터 판독되고, 가산기(43)로 공급되며, 부가 변수는 정수( $x$ )와 합산되고,  $x$ 는 기입 기간을 지칭하는 공칭값이다. 가산기(43)의 이진 출력은 가변율 펄스 생성기(44)에 접속된다. 이 가변율 펄스 생성기는, DCK 펄스에 의하여 카운트 수를 증가시키고, 카운트 수가 미리 설정된 소정값과 동일할 때, 가산기(43)의 출력과 동일하게 설정된 출력을 생성하는 미리 설정 가능한 카운터로 구현될 수 있다. 가변율 펄스 생성기(44)는, 로우 라인(11-1 내지 11-N)이 순서에 따라 차례로 선택되도록, 점점 변하는 간격으로 발생하는 SP, VCK, DLP를 생성한다. 모든 가변율 펄스는 서로 일정 시간차를 갖는다. 최초로, sync 생성기(40)가 프레임 sync를 검출할 때 제 1의 VCK 펄스를 생성하기 위해 가변율 펄스 생성기(44)가 활성화된다.

가변율 SP와 VCK 펄스는 로우 드라이버(3)로 공급되고, 가변율 SP와 DLP(데이터 래치) 펄스는 sync 검출기(40)로부터 공급된 고정율 DCK(도트 클록) 펄스를 따라 컬럼 드라이버(2)로 공급된다. SP 및 DCK 펄스는 타이밍 제어기(4)로부터 버퍼 메모리(5)로 공급되어, 로우 라인이 선택될 때 저장된 비디오 데이터가 컬럼 드라이버(2)로 한 라인씩 판독될 수 있다.

본 발명의 제 1의 실시예의 동작은 도 4의 타이밍도를 참조하는 이하 설명에 따라 명확히 이해될 수 있다.

도 4에 도시된 바와 같이, 프레임 간격은 수직 스캔 간격과 수직 공백 간격으로 나누어진다. 수직 스캔 간격동안, 비디오 프레임의 #1 내지 #N의 라인 신호 각각은 버퍼 메모리(5)로 순서대로 판독된다.

가변율 시작 펄스(SP)에 응하여, 라인 신호가 버퍼 메모리(5)로부터 판독되고, 컬럼-드라이버 시프트 레지스터(20)로 클럭되고, 가변-게이트 DLP 펄스에 응하여 래치 회로(21)에 저장된다. 로우 드라이버(3)는 동일한 시작 펄스에 응하여 로우 라인(11-i)중 하나를 선택하고, 선택된 로우 라인(11-i)을 구동하기 위해 가변율(VCK) 펄스에 응하여 게이트 제어 펄스를 생성한다. 이러한 방식으로, 로우 라인(11-1 내지 11-N)은 기간( $T_1 \dots T_N$ )동안 연속적으로 활성화된다.

종래에, 기입 기간은 모든 로우 라인에 대해 공칭값 간격( $X$ )으로 고정되었다. 도 5에 도시된 바와 같이, 로우 라인(11-1, 11-2, ...11-N)의 기입 기간은  $X, X + \alpha_1 \dots X + \alpha_{N-1}$ 과 동일하게 각각 설정된다. 그 결과, 컬럼 라인(10)을 따라 거리와 관련된 상이한 전압 강하가 보상된다. 소정의 기입 전압에 대해, 모든 액정 셀(10)의 광의 강도는 서로 동일하게 주어진다.

디지털 회로의 사용에 의해 펄스 간격이 용이하게 제어될 수 있으므로, 모니터 스크린의 상단과 하단 라인 사이의 바람직하지 못한 계조차를 제거하도록 SP, DSL 및 VCK 펄스의 가변 간격이 정밀하게 제어될 수 있다. 각 기입 동작에 대해 할당된 시간이 고해상도 및 대형 스크린 디스플레이에 대한 현재의 추세를 제한할 수 있으므로 정밀한 타이밍 제어는 매우 중요하다.

본 발명의 제 2의 실시예가 도 6에 도시된다. 이 실시예에서, 로우 라인(11-1 내지 11-N)의 기입 동작은 기간( $T_1 = X - \beta_1, T_2 = X - \beta_2, \dots, T_{N-1} = X - \beta_{N-1}, T_N = X$ )내에 각각 수행되고,  $\beta_1 \geq \beta_2 \geq \dots \beta_{N-2} \geq \beta_{N-1}$ , 및  $\beta_i$  ( $i=1, \dots, N-1$ )는 로우 라인(11-i)과 컬럼 드라이버(2) 사이의 컬럼 라인을 따른 기하학적 거리에 따라 감소되는 차감 타이밍 값이다. 따라서, 기입 기간( $T_i = X - \beta_i$ )은, 로우 라인(11-i)과 컬럼 드라이버(2) 사이의 컬럼 라인을 따른 기하학적 거리에 따라, 공칭값 기입 기간( $X$ )내에서 증가한다. 따라서 기입 동작은 입력 비디오 프레임의 수평 라인 간격보다 작은 간격내에서 수행된다.

액정 소자(13)의 기입 동작이 시프트 레지스터(20)로 입력 라인 데이터를 기록하기 위한 시간보다 오래 걸리지 않으므로, 이전 실시예의 버퍼 메모리는 본 실시예에서는 필요하지 않다.

제 2의 실시예에서, VCK 및 DLP 펄스는 일정 간격으로 생성되고, 비디오 출력 이네이블(VOE) 펄스는 로우 라인으로부터 컬럼 드라이버(2)로의 기하학적 거리에 따라 증가하는 간격으로 생성된다. 로우 드라이버(3)에서, 각 게이트 제어 펄스는, 고정율 VCK 펄스에 대응하여 시작하고 VOE 펄스에 대응하여 종료되도록, 생성된다.

도 7에 상세히 도시된 바와 같이, 제 2의 실시예의 타이밍 제어기(4)는, 도트 클럭 펄스(DCK)와 입력 비디오 프레임의 라인 sync 타이밍과 프레임 sync를 검출하기 위해 입력 클럭과 sync 타이밍 신호를 판별하기 위한 sync 검출기를 포함한다. 고정율 펄스 생성기(51)는 일정 간격으로 시작 펄스(SP), DLP 펄스 및 VCK 펄스를 생성하기 위해 라인 sync 타이밍과 검출된 프레임에 응한다. 프레임 sync에 의해 리셋되는 라인 카운터(52)는 라인 sync가 검출되는 시간마다 카운트 수를 증가시키고, 메모리(53)로 이진 라인-카운트 수를 제공한다. 기입 차감 타이밍 값( $\beta_1$  내지  $\beta_{N-1}$ , 및 0)은 로우 라인(11-1, ..., 11-N-1, 및 11-N)에 각각 대응하는 메모리(53)에 저장된다.

각 차감 타이밍값은 대응하는 라인-카운트 수에 따라 메모리(53)로부터 판독되고, 공칭값( $X$ )으로부터 차감 타이밍 값을 감산하는 감산기(54)로 공급된다. 감산기(54)의 이진 출력은 가변율 펄스 생성기(55)를 미리 설정하기 위해 사용된다. 가변율 펄스 생성기(55)는 DCK 펄스의 카운트를 시작함으로써 고정율 VCK 펄스에 응하고, 카운트 수가 미리 설정된 값과 동일할 때 VOE 펄스를 생성한다.

가변율 VOE 펄스 및 고정율 SP 및 VCK 펄스는 로우 드라이버(3)로 공급되고, 고정율 SP 및 DLP 펄스는 입력 비디오 프레임(데이터) 및 DCK 펄스에 따라 컬럼 드라이버(2)로 공급된다.

본 발명의 제 2의 실시예의 동작은 도 8의 타이밍도에 따라 진행된다.

입력 비디오 프레임의 라인 신호가, 고정율 시작 펄스(SP)에 응하여 클럭되고 DLP 펄스에 응하여 래치될 때, 로우 드라이버(3)는 로우 라인(11-i)을 선택하고 선택된 로우 라인을 구동하기 위해 VCK 펄스에 응하여 게이트 제어 펄스를 생성한

다. 이 게이트 제어 펄스는, 로우 라인(11-i)에 대한 기입 기간( $T_i$ )과  $\chi - \beta_i$ 가 동일하도록 다음의 VOE 펄스에 의하여 종료되고, DLP 펄스의 후연에서 시작하고 VOE 펄스의 전연에서 종료된다. 이러한 방식으로, 로우 라인(11-1 내지 11-N)은 연속적으로 선택되어 기입 기간( $T_1, \dots, T_N$ )동안 각각 활성화된다. 컬럼 라인에 따른 거리-관련된 상이한 전압 강하가 보상되고 모든 액정 셀은, 도 9의 그래프로 도시된 바와 같이, 컬럼 드라이버(2)에 대한 상대 위치와 관계없이 동일한 전압으로 충전된다.

본 발명의 제 3의 실시예가 도 10에 도시된다. 이 실시예는 이전의 실시예가 조합된 형태이다. 따라서, 제 3의 실시예의 타이밍 제어기(4)는 도 3의 구성이 도 7에 따라 수정된 것과 동일한 구성을 갖는다.

도 11에 도시된 바와 같이, 제 3의 실시예의 타이밍 제어기는, 도트 클럭 펄스(DCK)와 입력 비디오 프레임의 라인 sync 타이밍과 프레임 sync를 검출하기 위해 입력 클럭과 sync 타이밍 신호를 판별하기 위한 sync 검출기(60)를 포함한다. 고정율 펄스 생성기(61)는 일정 간격으로 SP1, DLP1 및 VCK1 펄스를 생성하기 위해, 검출된 프레임 및 라인 sync 타이밍에 응한다. 프레임 sync에 의해 리셋되는 라인 카운터(62)는 라인 sync가 검출될 때 마다 카운트 수를 증가시키고 메모리(63)로 라인-카운트 수를 제공한다. 기입 차감 타이밍 값( $\beta_1, \beta_2, \dots, \beta_{M-1}$ ) 및 기입 부가 타이밍 값( $0, \alpha_{M+1}, \alpha_{M+2}, \dots, \alpha_{N-1}$ )은 각각의 로우 라인(11-1, 11-2, ..., 11-M-1, 11-M, 11-M+1, 11-M+2, ... 11-N)에 대응하는 메모리(63)에 저장된다.

각 비디오 프레임의 제 1의 부분 동안, 각 차감 타이밍값은 대응하는 라인-카운트 수에 의하여 메모리(63)로부터 판독되고 공칭값( $\chi$ )에서 차감 타이밍 값을 감산하는 감산기(64)로 공급된다. 감산기(64)의 이진 출력은 가변율 펄스 생성기(66)를 미리 설정하는데 사용된다. 가변율 펄스 생성기(66)는, DCK 펄스의 카운트를 시작함으로써 고정율 VCK1 펄스에 응하고, 카운트 수가 미리 설정된 값과 동일할 때 가변율 VOE 펄스를 생성한다. 가변율 VOE 펄스와 고정율 SP1 및 VCK1 펄스는 로우 드라이버(3)로 공급되고 고정율 SP1 및 DLP1 펄스는 입력 비디오 프레임(데이터) 및 DCK 펄스에 따라 컬럼 드라이버(2)로 공급된다. 버퍼 메모리(5)는 DCK 펄스와 고정율 시작 펄스(SP1)가 공급된다.

비디오 프레임의 제 2의 부분동안, 각 부가 타이밍값은 대응하는 라인-카운트 수에 의하여 메모리(63)로부터 판독되고, 부가 타이밍값과 공칭값( $\chi$ )이 합산되는 가산기(65)로 공급된다. 가산기(65)의 이진 출력은 가변율 펄스 생성기(66)를 미리 설정하기 위해 사용된다. 미리 설정된 값이 도달할 때, 가변율 펄스 생성기(66)는 VOE 펄스 대신, 가변 간격으로 펄스(SP2, DLP2, 및 VCK2)를 생성한다. 가변율 SP2 및 VCK2 펄스는 로우 드라이버(3)로 공급되고, SP2 및 DLP2 펄스는 입력 비디오 프레임과 DCK 펄스를 따라 컬럼 드라이버(2)로 공급된다. 버퍼 메모리(5)는 DCK 펄스와 가변율 시작 펄스(SP2)가 공급된다.

본 발명의 제 3의 실시예의 동작은 도 12의 타이밍도에 따라 진행된다.

프레임 간격의 제 1의 부분 동안, 입력 비디오 프레임의 각 라인 신호는 고정율 시작 펄스(SP1)에 의하여 컬럼 드라이버(2)로 클럭되고 DLP1 펄스에 의하여 래치되며, 로우 드라이버(3)는 로우 라인(11-i)을 선택하고, 선택된 로우 라인을 구동하기 위해 고정율 VCK1 펄스에 의하여 게이트 제어 펄스를 생성한다. 이 게이트 제어는, 기입 기간( $T_i$ )이  $\chi - \beta_i$ 와 동일하게 되도록 다음 VOE 펄스에 의하여 종료된다. 이러한 방식으로, 로우 라인(11-1 내지 11-M-1)이 연속적으로 선택되고 기입 기간( $T_1, \dots, T_{M-1}$ )동안 각각 활성화된다.

프레임 간격의 두 번째 부분 동안, 입력 비디오 프레임의 각 라인 신호는 가변율 시작 펄스(SP2)에 의하여 컬럼 드라이버(2)로 클럭되고, 가변율 DLP2 펄스에 의하여 래치되며, 로우 드라이버(3)는 로우 라인(11-i)을 선택하고 선택된 로우 라인을 구동하기 위해 가변율 VCK2 펄스에 의하여 게이트 제어 펄스를 생성한다. 게이트 제어 펄스는, 기입 기간( $T_i$ )이  $\chi - \alpha_i$ 와 동일하도록 다음 VCK2 펄스에 의하여 종료된다. 이러한 방식으로, 로우 라인(11-M 내지 11-N)은 연속적으로 선택되고 기입 기간( $T_M, \dots, T_N$ ) 동안 각각 활성화된다.

도 13에 도시된 바와 같이, 로우 라인(11-1 내지 11-M-1)에 대한 기입 기간은 각각  $T_1 = \chi - \beta_1, T_2 = \chi - \beta_2, \dots, T_{M-1} = \chi - \beta_{M-1}$  이고, 로우 라인(11-M 내지 11-N)에 대한 기입 기간은  $T_M = \chi, T_{M+1} = \chi + \alpha_1, \dots, T_N = \chi + \alpha_{N-1}$  이며,  $\beta_1 \geq \beta_2 \geq \dots \geq \beta_{M-1}, \alpha_1 \leq \alpha_2 \leq \dots, \alpha_{N-2} \leq \alpha_{N-1}$  이다.

### 발명의 효과

본 발명에 따르면 기입 전압에 의해 컬럼 라인을 이동한 상이한 거리에 따라서 기입 기간을 제어함으로써 액정 디스플레이 패널을 구동하는 것이 가능해지며, 디지털 회로에 의해 펄스 기간이 용이하게 제어될 수 있으므로, 액정 디스플레이의 스크린의 상이한 계조로 인한 문제를 해결할 수 있게 된다.

(57) 청구의 범위

**청구항 1.**

각각의 액정 셀을 활성화시키기 위해 복수의 컬럼 라인(10)과 복수의 로우 라인(11-1 내지 11-N)의 교점에 접속되는 매트릭스 어레이의 트랜지스터(12)와 상기 트랜지스터에 각각 접속된 매트릭스 어레이의 액정 셀(13)을 포함하는 액정 디스플레이 패널(1) 및,

상기 컬럼 라인(10)의 말단에서 비디오 프레임의 라인 신호의 복수의 기입 전압을 연속적으로 생성하고, 상기 각 로우 라인을 연속적으로 선택하고, 상기 선택된 로우 라인으로부터 상기 말단까지의 기하학적 거리에 대응하는 기간동안 상기 컬럼 라인의 말단으로부터 상기 선택된 로우 라인의 액정 셀로 상기 기입 전압을 공급하기 위한 구동 회로(2 내지 5)를 포함하는 것을 특징으로 하는 액정 디스플레이 장치.

**청구항 2.**

제 1항에 있어서,

상기 구동 회로는,

상기 비디오 프레임을 저장하기 위한 버퍼 메모리(5);

제 1 및 제 2의 타이밍 신호(DLP, VCK)를 생성하기 위한 타이밍 제어기(4);

상기 메모리로부터 라인 신호를 수신하고, 상기 라인 신호를 상기 기입 전압으로 변환하며, 상기 제 1의 타이밍 신호(DLP)에 응하여 상기 기입 전압을 상기 컬럼 라인(10)으로 공급하기 위한 컬럼 드라이버(2); 및

상기 제 2의 타이밍 신호(VCK)중 연속된 신호 사이의 간격 동안 상기 각각의 로우 라인(11-1 내지 11-N)을 연속적으로 선택하고, 상기 제 1의 타이밍 신호(DLP)로부터 상기 제 2의 타이밍 신호(VCK)까지의 기입 기간동안 선택된 로우 라인의 액정 셀로 상기 기입 전압을 공급하기 위한 로우 드라이버(3)를 포함하고,

상기 타이밍 제어기(4)는, 선택된 로우 라인으로부터 상기 컬럼 드라이버까지의 기하학적 거리에 따라 점점 가변되는 간격으로 상기 제 1의 타이밍 신호(DLP)를 생성하는 것을 특징으로 하는 액정 디스플레이 장치.

**청구항 3.**

제 2항에 있어서,

상기 기입 기간은 공칭값( $\chi$ )으로부터 점점 가변되는 것을 특징으로 하는 액정 디스플레이 장치.

**청구항 4.**

제 2항에 있어서,

상기 타이밍 제어기는,

선택된 로우 라인으로부터 상기 컬럼 드라이버까지의 기하학적 거리에 대응하는 복수의 부가값을 저장하기 위한 메모리(42);

라인 신호에 의하여 카운트 수를 증가시키고, 상기 카운트 수에 대응하는 상기 메모리로부터 부가 변수를 판독하기 위한 라인 카운터(41);

고정값과 판독 변수를 합산하기 위한 가산기(43); 및

상기 가산기의 출력 신호에 대응하는 간격으로 상기 제 1 및 제 2의 신호(DLP 및 VCK) 각각을 생성하기 위한 가변율 펄스 생성 수단(44)을 포함하는 것을 특징으로 하는 액정 디스플레이 장치.

## 청구항 5.

제 1항에 있어서,

상기 구동 회로는,

제 1 내지 제 3의 타이밍 신호(DLP, VCK, VOE)를 생성하기 위한 타이밍 제어기(4);

라인 신호를 상기 기입 전압으로 변환하고 제 1의 타이밍 신호(DLP)에 의하여 상기 컬럼 라인(10)으로 상기 기입 전압을 공급하기 위한 컬럼 드라이버(2);

상기 제 2의 타이밍 신호(VCK) 중 연속된 신호 사이의 간격 동안 상기 로우 라인(11-1 내지 11-N) 중 하나를 연속적으로 선택하고, 상기 제 1의 타이밍 신호(DLP)로부터 상기 제 3의 타이밍 신호(VOE)까지의 기입 기간 동안 선택된 로우 라인의 액정 셀로 상기 기입 전압을 공급하기 위한 로우 드라이버(3)를 포함하고,

상기 타이밍 제어기는 일정 간격으로 상기 제 1 및 제 2의 타이밍 신호(DLP, VCK) 각각을 생성하고, 선택된 로우 라인으로부터 상기 컬럼 드라이버의 기하학적 거리에 따라 점점 가변되는 간격으로 상기 제 3의 타이밍 신호(VOE)를 생성하는 것을 특징으로 하는 액정 디스플레이 장치.

## 청구항 6.

제 5항에 있어서,

상기 기입 기간은 공칭값 이하의 값으로부터 공칭값( $\chi$ )으로 가변되는 것을 특징으로 하는 액정 디스플레이 장치.

## 청구항 7.

제 5항에 있어서,

상기 타이밍 제어기는,

선택된 로우 라인으로부터 상기 컬럼 드라이버까지의 기하학적 거리에 대응하는 복수의 차감값을 저장하기 위한 메모리(53);

라인 신호에 응해 카운트 수를 증가시키고, 상기 카운트수에 대응하는 상기 메모리로부터 차감값을 판독하기 위한 라인 카운터(52);

고정값으로부터 판독 차감값을 감산하기 위한 감산기(54);

일정 간격으로 상기 제 1 및 제 2의 타이밍 신호(DLP 및 VCK)를 생성하기 위한 고정용 펄스 생성 수단(51); 및

상기 감산기의 출력 신호에 대응하는 간격으로 상기 제 3의 타이밍 신호(VOE)를 생성하기 위한 가변용 펄스 생성 수단(55)을 포함하는 것을 특징으로 하는 액정 디스플레이 장치.

### 청구항 8.

제 1항에 있어서,

상기 구동 회로는,

상기 비디오 프레임을 저장하기 위한 버퍼 메모리(5);

제 1 내지 제 5의 타이밍 신호(DLP1, VCK1, VOE, DLP2, VCK2)를 생성하기 위한 타이밍 제어기(4);

상기 메모리로부터 라인 신호를 수신하고, 상기 라인 신호를 상기 기입 전압으로 변환하며, 프레임 간격의 제 1의 부분 동안은 상기 제 1의 타이밍 신호(DLP1)에 응하고, 프레임 간격의 제 2의 부분 동안은 상기 제 4의 타이밍 신호(DLP2) 응하여 상기 기입 전압을 상기 컬럼 라인(10)으로 공급하기 위한 컬럼 드라이버(2);

프레임 간격의 상기 제 1의 부분 동안은 상기 제 2의 타이밍 신호(VCK1)중 연속된 신호 사이의 간격동안 상기 로우 라인(11-1 내지 11-M+1)중 하나를 연속적으로 선택하고 상기 제 1의 타이밍 신호(DLP1)로부터 상기 제 3의 타이밍 신호(VOE)까지의 기입 기간 동안 선택된 로우 라인의 액정 셀로 상기 기입 전압을 공급하며, 프레임 간격의 상기 제 2의 부분 동안은 상기 제 5의 타이밍 신호(VCK2)중 연속된 신호 사이의 간격동안 상기 로우 라인(11-M 내지 11-N)중 하나를 연속적으로 선택하고, 상기 제 4의 타이밍 신호(DLP2)로부터 상기 제 5의 타이밍 신호(VCK2)까지의 기간 동안 선택된 로우 라인의 액정 셀로 기입 전압을 공급하기 위한 로우 드라이버(3)를 포함하고,

상기 타이밍 생성기는, 상기 프레임 간격의 제 1의 부분 동안은, 일정 간격으로 상기 제 1 및 제 2의 타이밍 신호(DLP1 및 VCK1) 각각을 생성하고 상기 선택된 로우 라인으로부터 상기 컬럼 드라이버로의 기하학적 거리에 따라 점점 가변되는 간격으로 상기 제 3의 신호(VOE)를 생성하며, 프레임 간격의 제 2의 부분 동안은, 상기 선택된 로우 라인으로부터 상기 컬럼 드라이버까지의 기하학적 거리에 따라 점점 가변되는 상기 제 4 및 제 5의 타이밍 신호(DLP2 및 VCK2)를 각각 생성하는 것을 특징으로 하는 액정 디스플레이 장치.

### 청구항 9.

제 8항에 있어서,

상기 프레임 간격의 상기 제 1의 부분의 상기 기입 기간은 공칭값 이하의 값으로부터 공칭값( $\chi$ )으로 점점 가변하고, 상기 프레임 간격의 상기 제 2의 부분의 상기 기입 기간은 상기 공칭값( $\chi$ )으로부터 점점 가변되는 것을 특징으로 하는 액정 디스플레이 장치.

### 청구항 10.

제 8항에 있어서,

상기 타이밍 제어기는,

상기 선택된 로우 라인으로부터 상기 컬럼 드라이버까지의 기하학적 거리에 대응하는 복수의 차감값과 복수의 부가값을 저장하기 위한 메모리(63);

라인 신호에 의하여 카운트 수를 증가시키고, 상기 프레임 간격의 상기 제 1의 부분 동안에는 카운트 수에 대응하는 상기 메모리로부터 상기 차감값 중 하나를 판독하고, 상기 프레임 간격의 상기 제 2의 부분 동안에는 카운트 수에 대응하는 상기 메모리로부터 상기 부가값 중 하나를 판독하는 라인 카운터(62);

프레임 간격의 상기 제 1의 부분 동안 상기 메모리로부터 판독된 차감값을 고정값으로부터 감산하기 위한 감산기(64);

상기 프레임 간격의 상기 제 2의 부분 동안 상기 메모리로부터 판독된 부가값과 상기 고정값을 합산하기 위한 가산기(65);

일정 간격으로 상기 제 1 및 제 2의 타이밍 신호 각각을 생성하기 위한 고정용 펄스 생성 수단(61); 및

상기 감산기의 출력 신호에 대응하는 간격으로 상기 제 3의 타이밍 신호(VOE)를 생성하고, 상기 가산기의 출력 신호에 대응하는 간격으로 상기 제 4 및 제 5의 타이밍 신호(DLP2 및 VCK2)를 생성하기 위한 가변용 펄스 생성 수단(66)을 포함하는 것을 특징으로 하는 액정 디스플레이 장치.

### 청구항 11.

액정 디스플레이의 구동 방법에 있어서,

액정 디스플레이 패널(1)은 매트릭스 어레이의 트랜지스터(12)와 상기 트랜지스터에 각각 접속된 매트릭스 어레이의 액정 셀(13)을 포함하고, 상기 트랜지스터는 액정 셀을 각각 활성화시키기 위해 복수의 로우 라인(11-1 내지 11-N)과 복수의 컬럼 라인(10)의 교점에 각각 접속되며,

(a)상기 컬럼 라인의 말단에서 기입 전압이 나타나도록 비디오 프레임의 라인 신호의 복수의 기입 전압을 생성하는 단계와;

(b)상기 로우 라인(11-1 내지 11-N) 중 하나를 연속적으로 선택하는 단계와;

(c)상기 선택된 로우 라인으로부터 상기 말단까지의 기하학적 거리에 대응하는 기입 기간 동안 상기 컬럼 라인의 말단에서부터 선택 로우 라인의 액정 셀로 상기 기입 전압을 연속적으로 공급하는 단계를 포함하는 것을 특징으로 하는 액정 디스플레이의 구동 방법..

### 청구항 12.

제 11항에 있어서,

단계(a)는 메모리에 상기 라인 신호를 버퍼링하는 단계를 포함하고, 단계(c)는 상기 기하학적 거리에 따라 공칭값( $\chi$ )으로부터 상기 기입 기간을 점점 가변시키는 단계를 포함하는 것을 특징으로 하는 액정 디스플레이의 구동 방법..

### 청구항 13.

제 11항에 있어서,

단계(c)는 공칭값 이하의 값으로부터 공칭값( $\chi$ )까지의 범위에서 상기 기하학적 거리에 따라 상기 기입 기간을 점점 가변시키는 단계를 포함하는 것을 특징으로 하는 액정 디스플레이의 구동 방법.

### 청구항 14.

제 11항에 있어서,

단계(a)는 메모리에 상기 라인 신호를 버퍼링하는 단계를 포함하며, 단계(d)는 프레임 간격의 제 1의 부분 동안 공칭값 이하의 값으로부터 공칭값까지의 범위에서 상기 기하학적 거리에 따라 상기 기입 기간을 점점 가변하고, 공칭값으로부터 상기 기하학적 거리에 따라 상기 기입 기간을 점점 가변시키는 단계를 포함하는 것을 특징으로 하는 액정 디스플레이의 구동 방법.

### 청구항 15.

매트릭스 어레이의 트랜지스터(12)와 상기 트랜지스터에 각각 접속된 매트릭스 어레이의 액정 셀(13)을 포함하고, 상기 트랜지스터는 액정 셀을 활성화시키기 위해 복수의 로우 라인(11-1 내지 11-N)과 복수의 컬럼 라인(10)의 교점에 각각 접속되는 액정 디스플레이용 구동 회로에 있어서,

상기 구동 회로는, 상기 컬럼 라인(10)의 말단에서 비디오 프레임의 라인 신호의 복수의 기입 전압을 연속적으로 생성하고, 상기 로우 라인(11) 각각을 연속적으로 선택하며, 상기 선택된 로우 라인으로부터 상기 말단까지의 기하학적 거리에 대응하는 기간 동안 상기 컬럼 라인의 말단으로부터 상기 선택된 로우 라인의 액정 셀로 상기 기입 전압을 공급하는 수단(2 내지 5)을 포함하는 것을 특징으로 하는 구동 회로.

### 청구항 16.

제 15항에 있어서,

상기 수단(2 내지 5)은,

상기 비디오 프레임을 저장하기 위한 버퍼 메모리(5);

제 1 및 제 2의 타이밍 신호(DLP 및 VCK)를 생성하기 위한 타이밍 제어기(4);

상기 메모리로부터 라인 신호를 수신하고, 상기 라인 신호를 상기 기입 전압으로 전환하며, 상기 제 1의 타이밍 신호(DLP)에 응하여 상기 컬럼 라인(10)으로 상기 기입 전압을 공급하는 컬럼 드라이버(2); 및

상기 제 2의 타이밍 신호(VCK)중 연속된 신호 사이의 간격 동안 상기 로우 라인(11-1 내지 11-N) 각각을 연속적으로 선택하고, 상기 제 1의 타이밍 신호(DLP)로부터 상기 제 2의 타이밍 신호(VCK)까지의 기입 기간 동안 선택된 로우 라인의 액정 셀로 상기 기입 전압을 공급하기 위한 로우 드라이버(3)를 포함하고,

상기 타이밍 제어기(4)는 상기 선택된 로우 라인으로부터 상기 컬럼 드라이버까지의 기하학적 거리에 따라 점점 가변되는 간격으로 상기 제 1의 타이밍 신호(DLP)를 생성하고, 상기 점점 가변되는 간격으로 상기 제 2의 타이밍 신호(VCK)를 생성하는 것을 특징으로 하는 구동 회로.

### 청구항 17.

제 16항에 있어서,

상기 기입 기간은 공칭값( $\chi$ )으로부터 점점 가변되는 것을 특징으로 하는 구동 회로.

### 청구항 18.

제 16항에 있어서,

상기 타이밍 제어기는,

선택된 로우 라인으로부터 상기 컬럼 드라이버까지의 기하학적 거리에 대응하는 복수의 부가값을 저장하기 위한 메모리(42);

라인 신호에 의하여 카운트 수를 증가시키고, 상기 카운트 수에 대응하는 상기 메모리로부터 부가 변수를 판독하는 라인 카운터(41);

판독 변수를 고정값과 합산하기 위한 가산기(43); 및

상기 가산기의 출력 신호에 대응하는 간격으로 상기 제 1 및 제 2의 타이밍 신호(DLP 및 VCK) 각각을 생성하기 위한 가변을 펄스 생성 수단(44)을 포함하는 것을 특징으로 하는 구동 회로.

### 청구항 19.

제 15항에 있어서,

상기 구동 회로는,

제 1 내지 제 3의 타이밍 신호(DLP, VCK, VOE)를 생성하기 위한 타이밍 제어기(4);

라인 신호를 상기 기입 전압으로 전환하고, 상기 제 1의 타이밍 신호(DLP)에 의하여 상기 컬럼 라인(10)으로 상기 기입 전압을 공급하기 위한 컬럼 드라이버(2);

상기 제 2의 타이밍 신호(VCK)중 연속된 신호 사이의 간격 동안 상기 로우 라인(11-1 내지 11-N)중 하나를 연속적으로 선택하고, 상기 제 1의 타이밍 신호(DLP)로부터 상기 제 3의 타이밍 신호(VOE)까지의 기입 기간 동안 선택된 로우 라인의 액정 셀로 상기 기입 전압을 공급하기 위한 로우 드라이버(3)를 포함하고,

상기 타이밍 제어기는 일정 간격으로 상기 제 1 및 제 2의 타이밍 신호(DLP 및 VCK) 각각을 생성하고, 상기 선택된 로우 라인으로부터 상기 컬럼 드라이버까지의 기하학적 거리에 따라 점점 가변되는 간격으로 상기 제 3의 타이밍 신호(VOE)를 생성하는 것을 특징으로 하는 구동 회로.

### 청구항 20.

제 19항에 있어서,

상기 기입 기간은 공칭값 이하의 값으로부터 공칭값( $\chi$ )으로 가변되는 것을 특징으로 하는 구동 회로.

### 청구항 21.

제 19항에 있어서,

상기 타이밍 제어기는,

상기 선택된 로우 라인으로부터 상기 컬럼 드라이버까지의 기하학적 거리에 대응하는 복수의 차감값을 저장하기 위한 메모리(53);

라인 신호에 의하여 카운트 수를 증가시키고, 상기 카운트 수에 대응하는 상기 메모리로부터 차감값을 판독하기 위한 라인 카운터(52);

고정값으로부터 판독 차감값을 감산하기 위한 감산기(54);

일정 간격으로 상기 제 1 및 제 2의 타이밍 신호(DLP 및 VCK) 각각을 생성하기 위한 고정용 펄스 생성 수단(51); 및

상기 감산기의 출력 신호에 대응하는 간격으로 상기 제 3의 타이밍 신호(VOE)를 생성하기 위한 가변용 펄스 생성기 수단(55)을 포함하는 것을 특징으로 하는 구동 회로.

## 청구항 22.

제 15항에 있어서,

상기 수단(2 내지 5)은,

상기 비디오 프레임을 저장하기 위한 버퍼 메모리(5);

제 1 내지 제 5의 타이밍 신호(DLP1, VCK1, VOE, DLP2, VCK2)를 생성하기 위한 타이밍 제어기(4);

상기 메모리로부터 라인 신호를 수신하고, 상기 라인 신호를 상기 기입 전압으로 변환하며, 프레임 간격의 제 1의 부분 동안은 상기 제 1의 타이밍 신호(DLP1)에 응하고, 프레임 간격의 제 2의 부분 동안은 상기 제 4의 타이밍 신호(DLP2) 응하여 상기 기입 전압을 상기 컬럼 라인(10)으로 공급하기 위한 컬럼 드라이버(2);

프레임 간격의 상기 제 1의 부분 동안은 상기 제 2의 타이밍 신호(VCK1)중 연속된 신호 사이의 간격동안 상기 로우 라인(11-1 내지 11-M+1)중 하나를 연속적으로 선택하고 상기 제 1의 타이밍 신호(DLP1)로부터 상기 제 3의 타이밍 신호(VOE)까지의 기입 기간 동안 선택된 로우 라인의 액정 셀로 상기 기입 전압을 공급하며, 프레임 간격의 상기 제 2의 부분 동안은 상기 제 5의 타이밍 신호(VCK2)중 연속된 신호 사이의 간격동안 상기 로우 라인(11-M 내지 11-N)중 하나를 연속적으로 선택하고, 상기 제 4의 타이밍 신호(DLP2)로부터 상기 제 5의 타이밍 신호(VCK2)까지의 기간 동안 선택된 로우 라인의 액정 셀로 기입 전압을 공급하기 위한 로우 드라이버(3)를 포함하고,

상기 타이밍 생성기는, 상기 프레임 간격의 제 1의 부분 동안은, 일정 간격으로 상기 제 1 및 제 2의 타이밍 신호(DLP1 및 VCK1) 각각을 생성하고 상기 선택된 로우 라인으로부터 상기 컬럼 드라이버로의 기하학적 거리에 따라 점점 가변되는 간격으로 상기 제 3의 신호(VOE)를 생성하며, 프레임 간격의 제 2의 부분 동안은, 상기 선택된 로우 라인으로부터 상기 컬럼 드라이버까지의 기하학적 거리에 따라 점점 가변되는 상기 제 4 및 제 5의 타이밍 신호(DLP2 및 VCK2)를 각각 생성하는 것을 특징으로 하는 구동 회로.

## 청구항 23.

제 22항에 있어서,

상기 프레임 간격의 상기 제 1의 부분의 상기 기입 기간은 공칭값 이하의 값으로부터 공칭값( $\chi$ )으로 점점 가변하고, 상기 프레임 간격의 상기 제 2의 부분의 상기 기입 기간은 상기 공칭값( $\chi$ )으로부터 점점 가변되는 것을 특징으로 하는 구동 회로.

## 청구항 24.

제 22항에 있어서,

상기 타이밍 제어기는,

선택된 로우 라인으로부터 상기 컬럼 드라이버까지의 기하학적 거리에 대응하는 복수의 차감값 및 복수의 부가값을 저장하기 위한 메모리(63);

라인 신호에 응해 카운트 수를 증가시키고, 프레임 간격의 상기 제 1의 부분 동안에는 상기 카운트 수에 대응하는 상기 메모리로부터 차감값 중 하나를 판독하고, 프레임 간격의 상기 제 2의 부분 동안에는 상기 카운트 수에 대응하는 상기 메모리로부터 부가값 중 하나를 판독하기 위한 라인 카운터(62);

상기 프레임 간격의 상기 제 1의 부분 동안 상기 메모리로부터 판독된 차감값을 고정값으로부터 감산하기 위한 감산기(64);

프레임 간격의 상기 제 2의 부분 동안 상기 메모리로부터 판독된 부가값과 상기 고정값을 합산하기 위한 가산기(65);

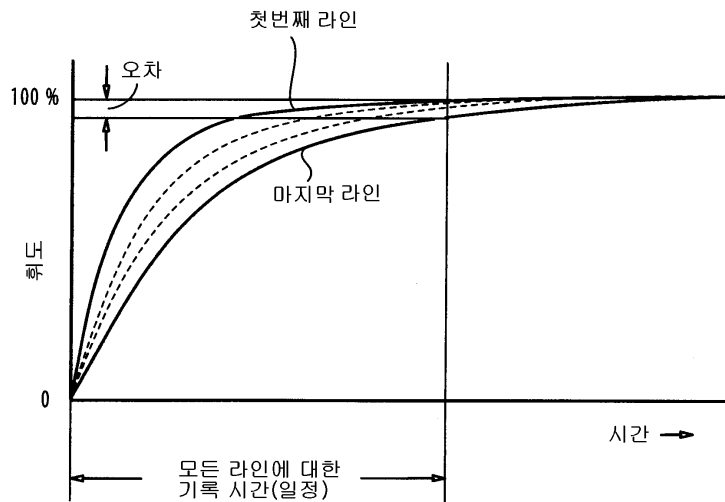
일정 간격으로 상기 제 1 및 제 2의 타이밍 신호 각각을 생성하기 위한 고정클럭 펄스 생성 수단(61); 및

상기 감산기의 출력 신호에 대응하는 간격으로 상기 제 3의 타이밍 신호(VOE)를 생성하고, 상기 가산기의 출력 신호에 대응하는 간격으로 상기 제 4 및 제 5의 타이밍 신호(DLP2 및 VCK2)를 각각 생성하는 가변클럭 펄스 생성 수단(66)을 포함하는 것을 특징으로 하는 구동 회로.

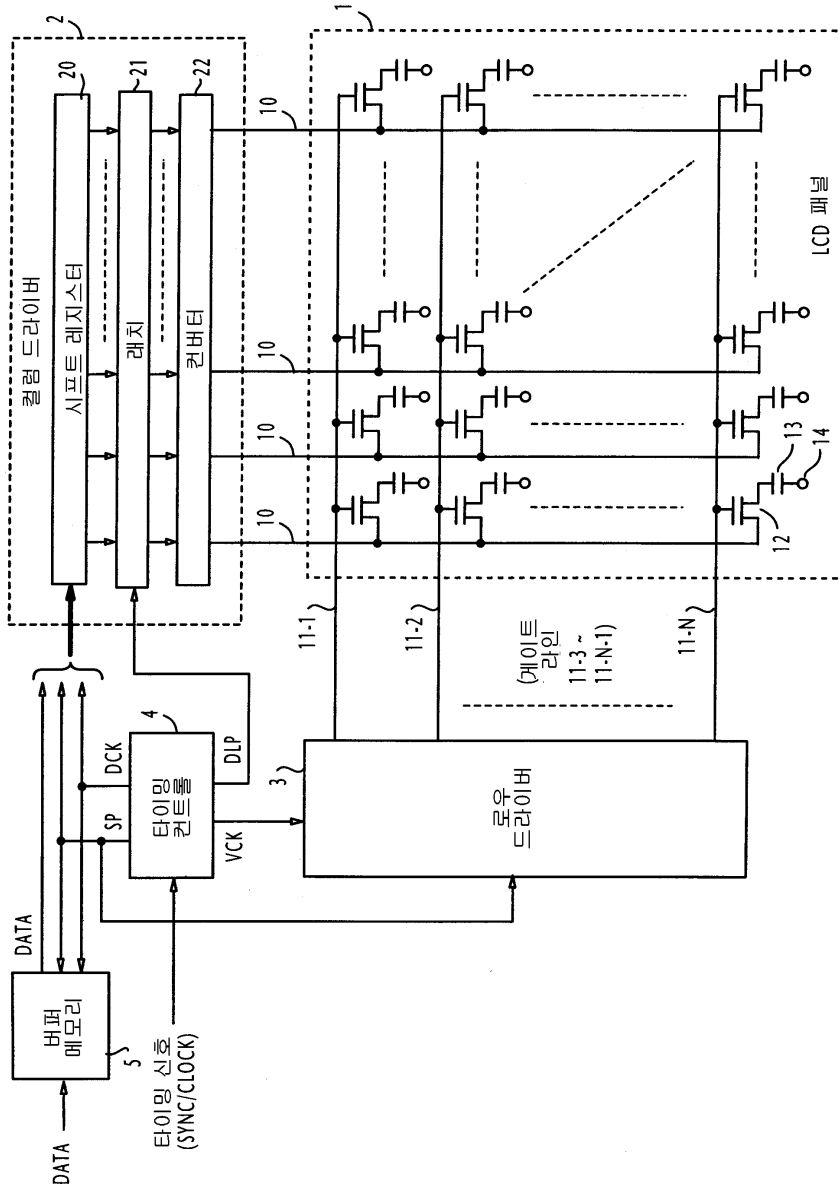
도면

도면1

종래 기술

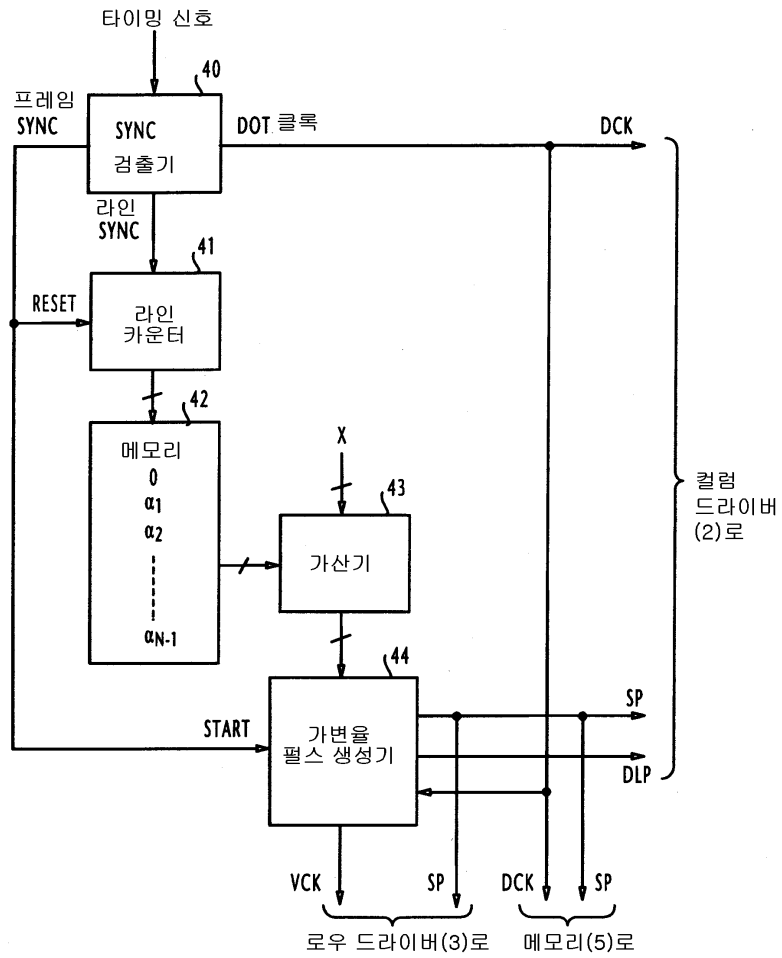


도면2

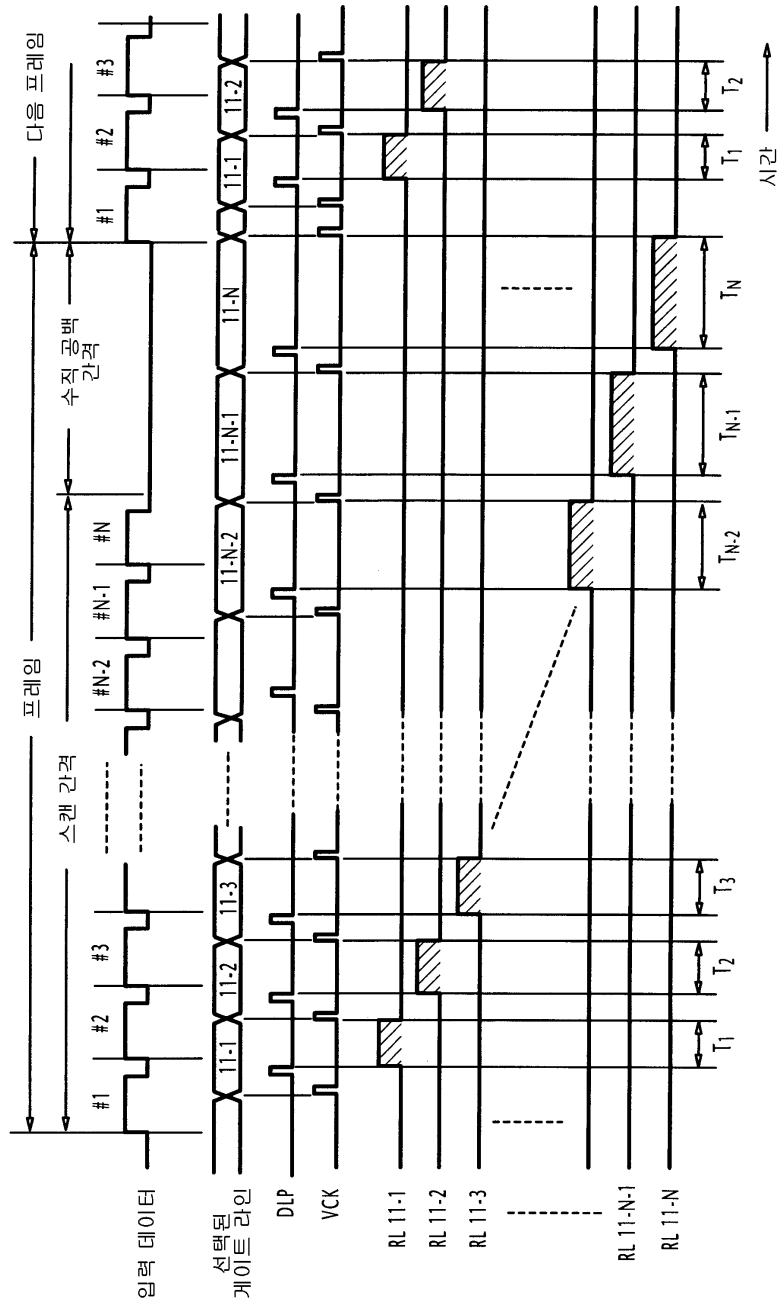


도면3

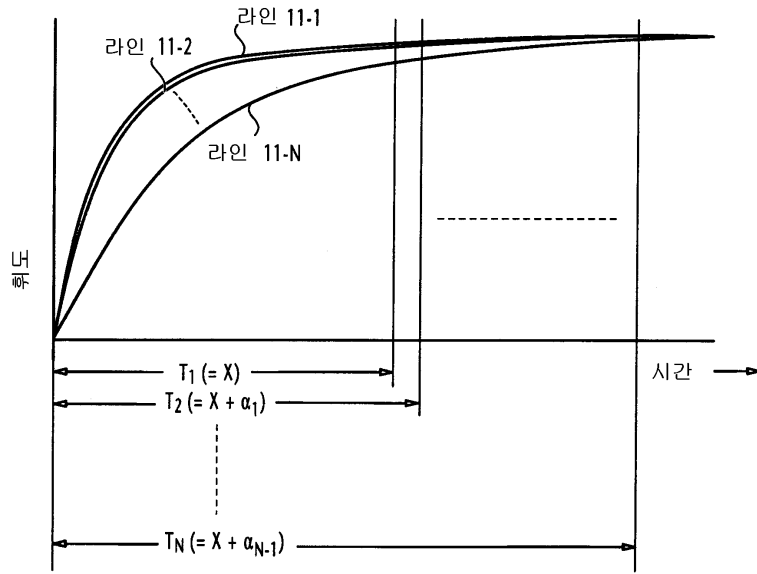
타이밍 제어기



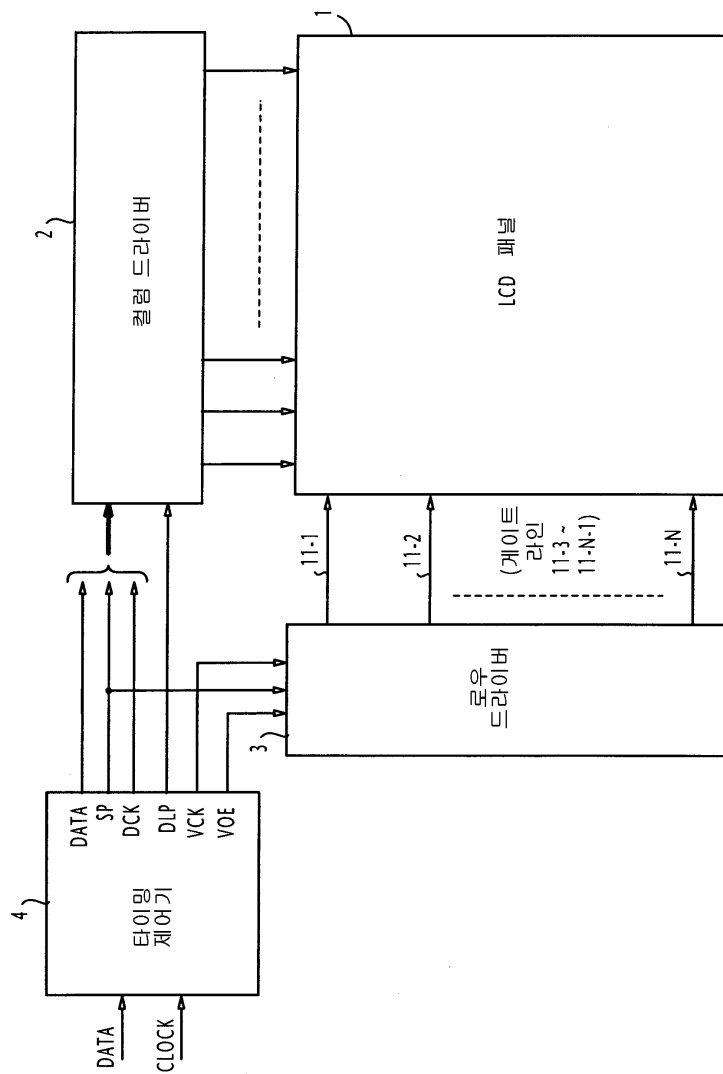
도면4



도면5

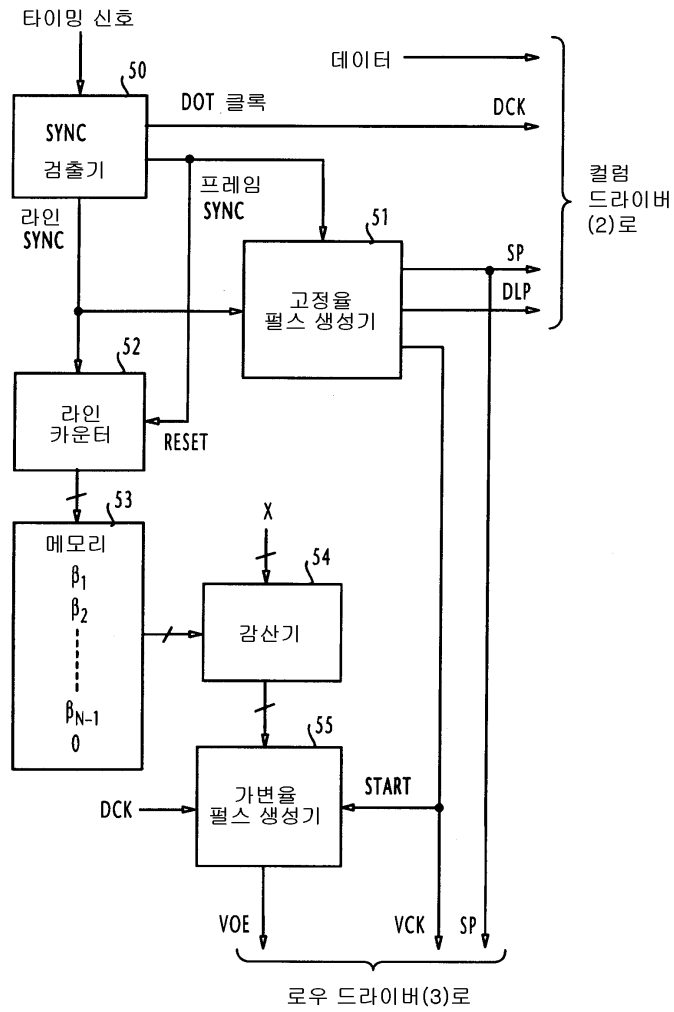


도면6

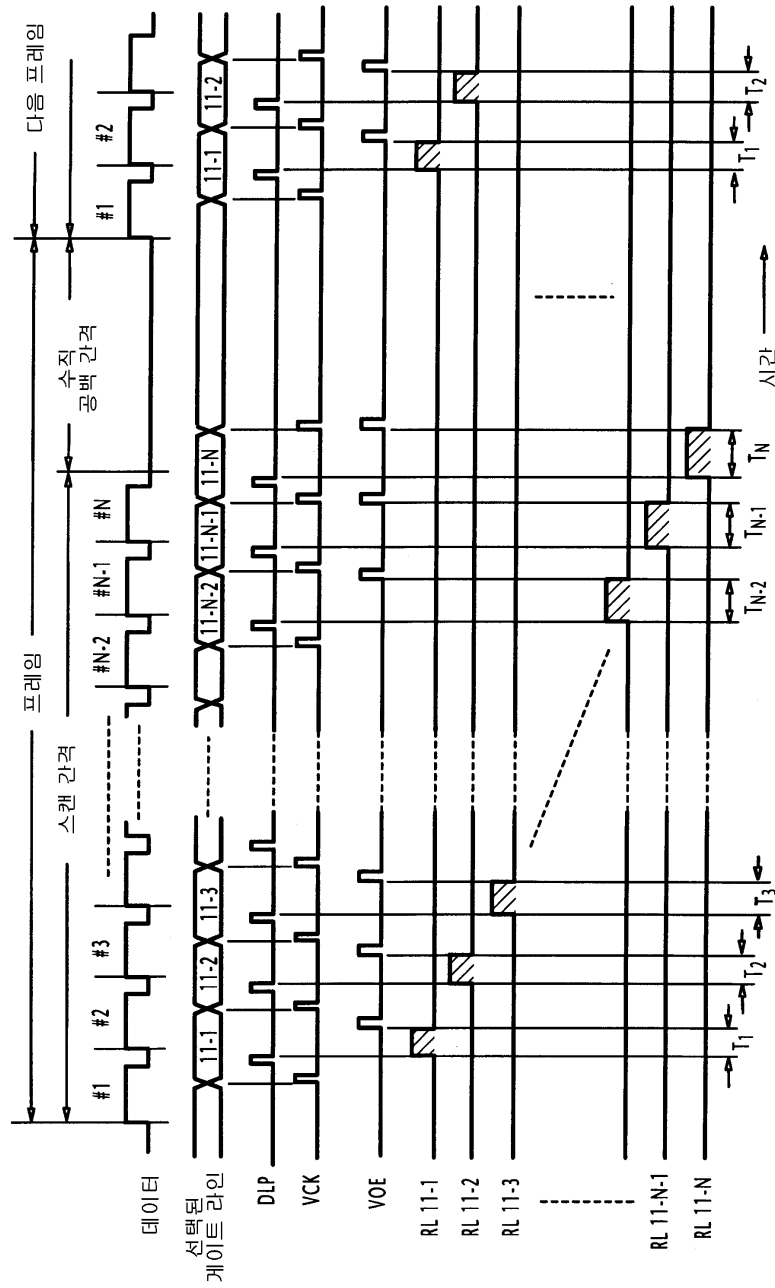


도면7

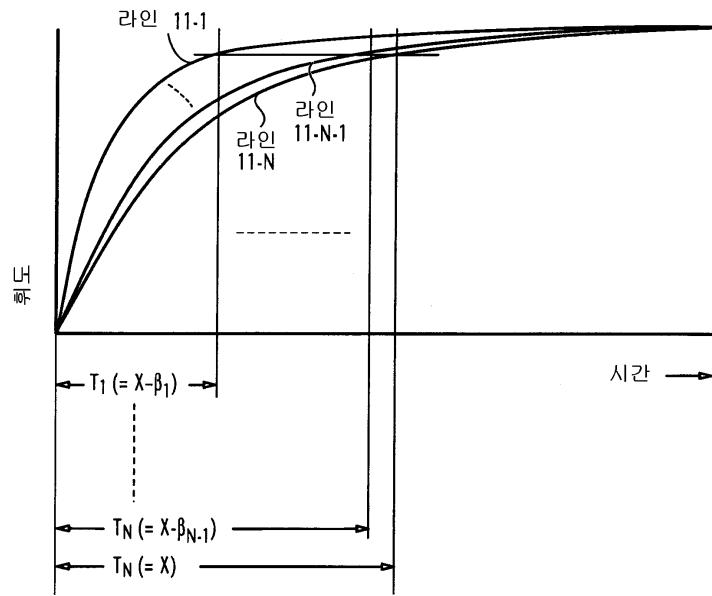
타이밍 제어기



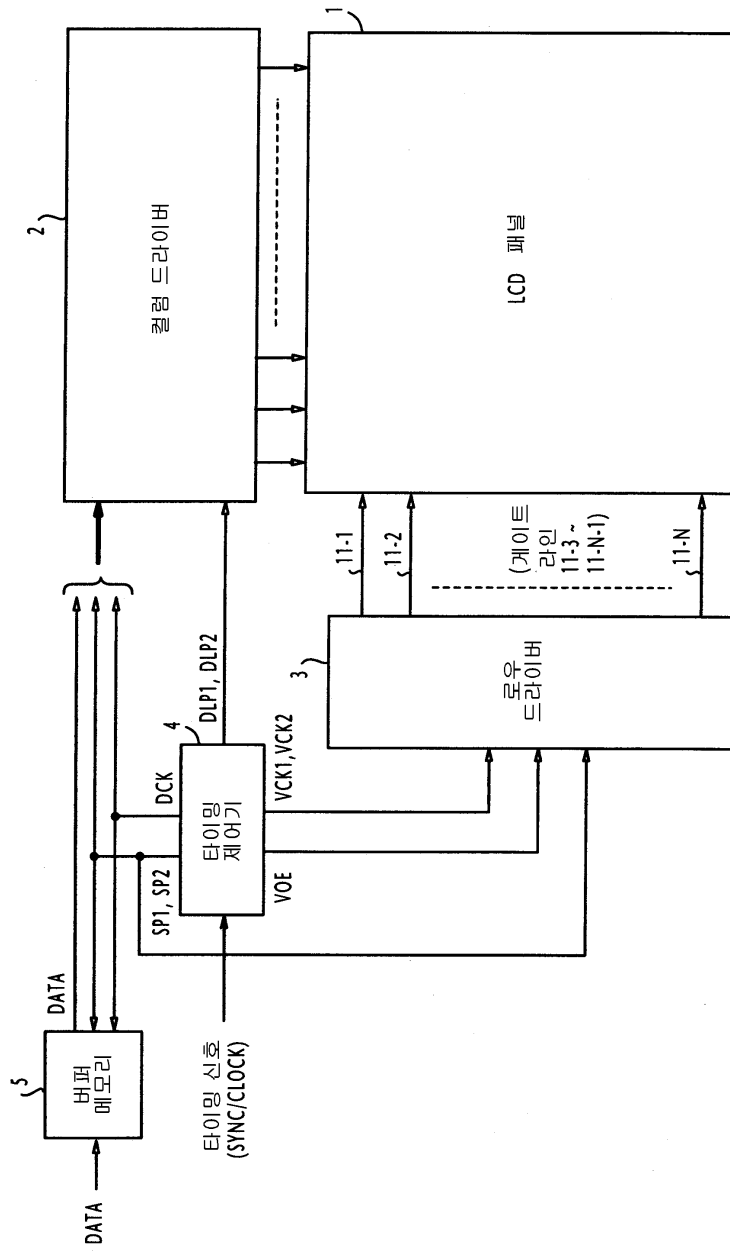
도면8



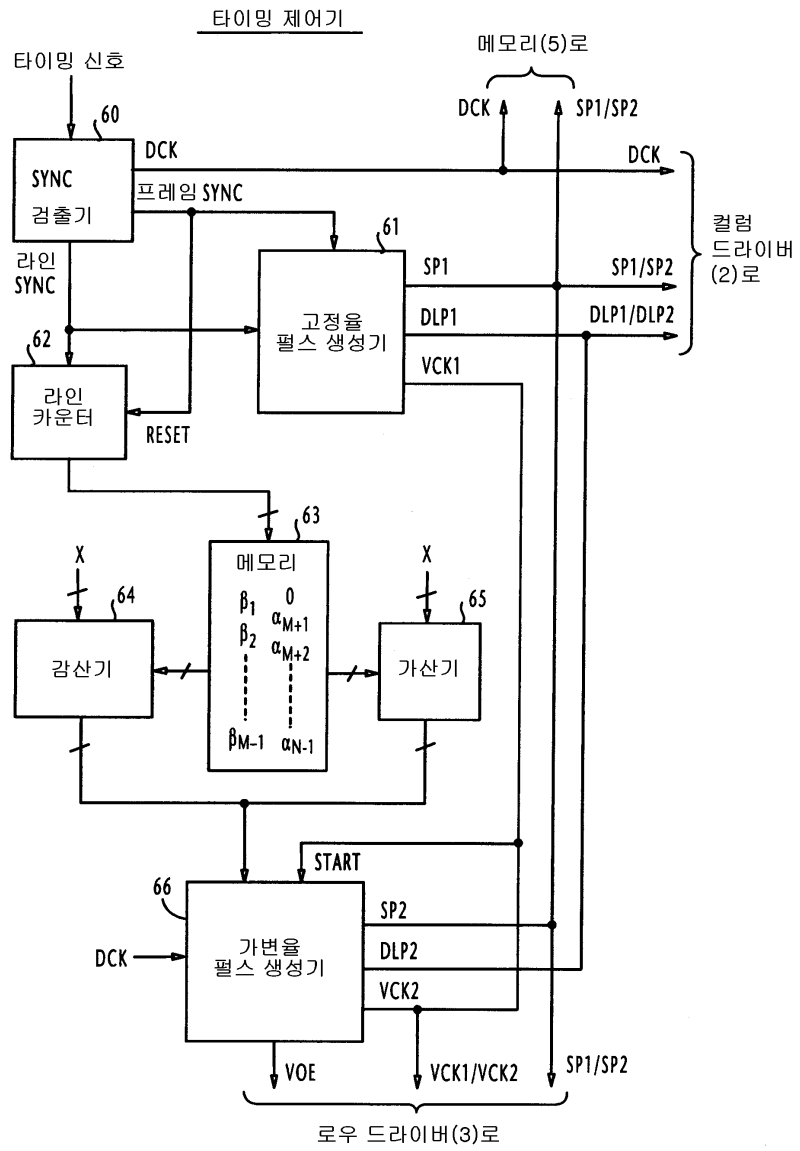
도면9



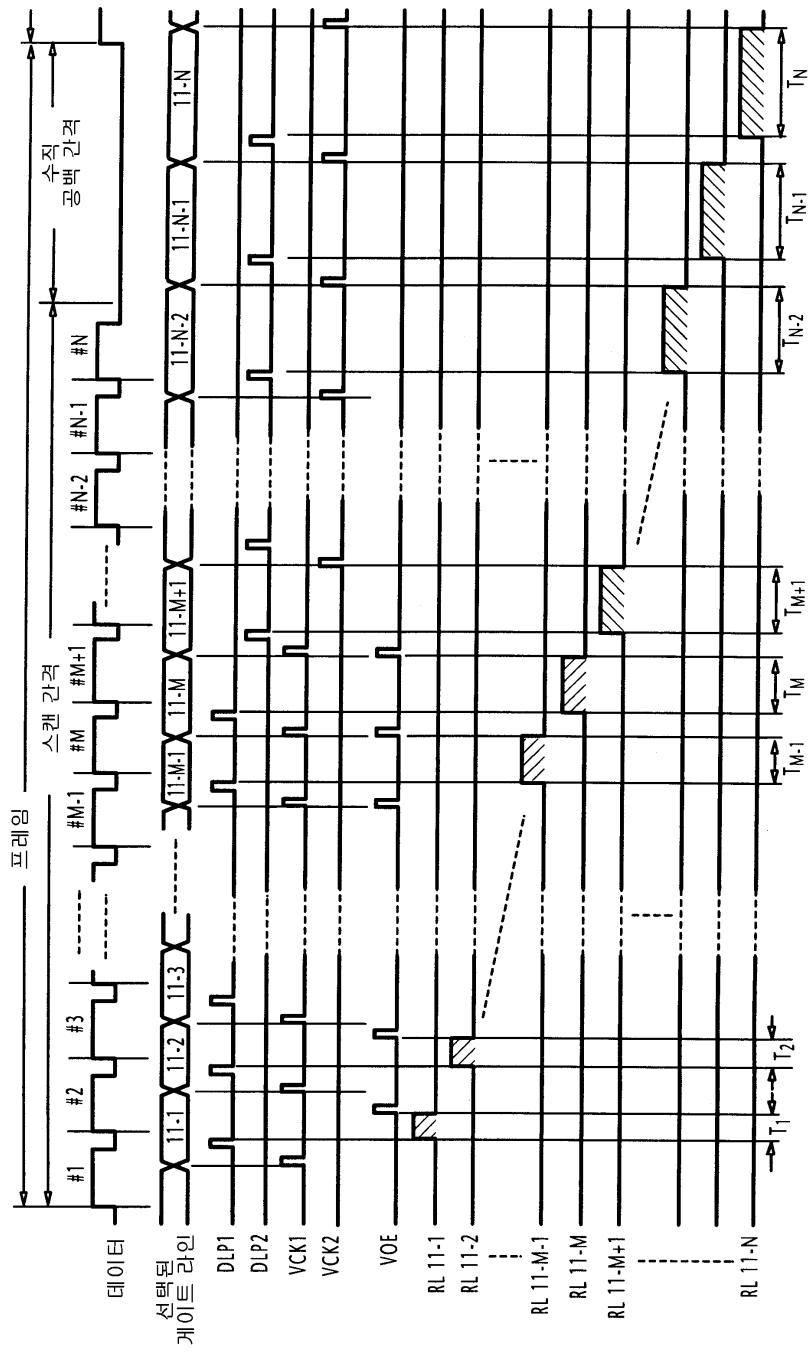
도면10



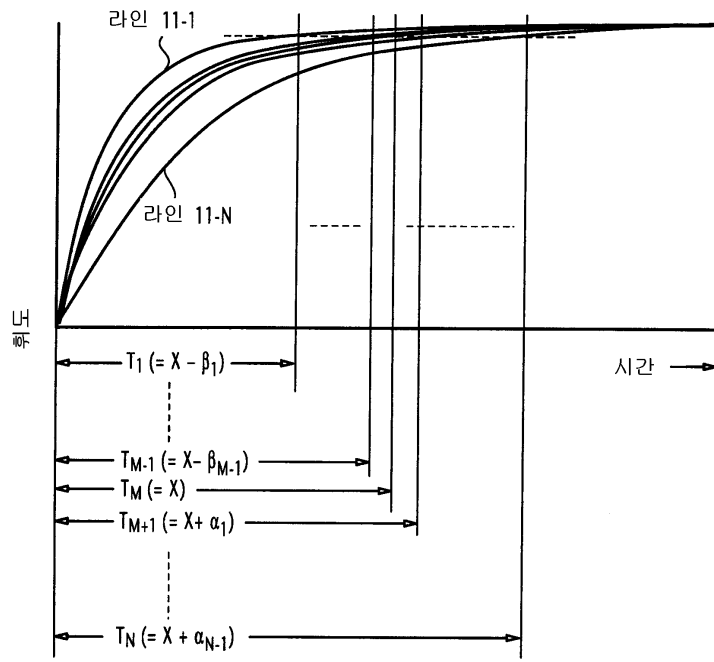
도면11



도면12



도면13



专利名称(译)	液晶显示装置和驱动液晶显示板的方法		
公开(公告)号	<a href="#">KR100567500B1</a>	公开(公告)日	2006-04-03
申请号	KR1020040028206	申请日	2004-04-23
[标]申请(专利权)人(译)	NEC液晶技术株式会社		
申请(专利权)人(译)	日元号技术可否让这个夏		
当前申请(专利权)人(译)	日元号技术可否让这个夏		
[标]发明人	TAKEDA HIROSHI 타케다히로시 YAMAGUCHI MACHIHIKO 야마구치마치히코		
发明人	타케다히로시 야마구치마치히코		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3648 G09G2320/0223 G09G2310/02 F24F6/12 F24F2221/12 Y02B30/80		
优先权	2003120592 2003-04-24 JP		
其他公开文献	KR1020040093016A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

在液晶显示装置中，对应于输入视频帧的水平线信号产生写入电压组，以便出现在LCD面板的末端。连续选择LCD面板的行线，并且在可变写入时段期间将写入电压提供给从列线的末端选择的行线的液晶单元。为了补偿LCD面板的顶部和底部之间的灰度差异，写入周期根据从所选择的行线到列线的末端的距离而逐渐改变。写入时段可以从标称值逐渐改变，或者从低于标称值的值逐渐改变为标称值，或者两者的组合。2 指数方面 液晶显示装置

