

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁸ G09G 3/36 (2006.01)		(45) 공고일자	2006년01월24일
		(11) 등록번호	10-0545027
		(24) 등록일자	2006년01월13일
(21) 출원번호	10-2003-0042124	(65) 공개번호	10-2005-0001790
(22) 출원일자	2003년06월26일	(43) 공개일자	2005년01월07일

(73) 특허권자	엘지.필립스 엘시디 주식회사 서울 영등포구 여의도동 20번지
(72) 발명자	김성균 경기도군포시금정동울곡아파트340동1401호
(74) 대리인	김영호

심사관 : 이병우

(54) 액정표시장치의 구동장치 및 구동방법

요약

본 발명은 P 또는 N 형 금속 산화막 반도체(MOS) 박막 트랜지스터만을 사용하여 액정표시장치의 해상도를 다중으로 구동시킬 수 있도록 한 액정표시장치의 구동장치 및 구동방법에 관한 것이다.

본 발명에 따른 액정표시장치의 구동장치는 게이트 라인들과 데이터 라인들이 매트릭스 형태로 형성된 액정패널과, 상기 액정패널에 표시되는 데이터의 해상도를 변경하기 위한 모드 변경신호를 생성하고 스타트 펄스를 생성하는 타이밍 컨트롤러와, 상기 모드 변경신호에 따라 다수의 클럭신호를 생성하는 클럭 발생기와, 4N+1(단, N은 양의 정수) 번째 쉬프트 레지스터, 4N+2 번째 쉬프트 레지스터, 4N+3 번째 쉬프트 레지스터 및 4N+4 번째 쉬프트 레지스터를 포함하여 상기 다수의 클럭신호에 따라 상기 스타트 펄스를 쉬프트시켜 게이트 신호를 생성하여 상기 게이트 라인들에 공급하는 쉬프트 레지스터 어레이와, 상기 다수의 클럭신호에 따라 상기 스타트 펄스 또는 N 번째 쉬프트 레지스터의 출력신호를 선택적으로 N+1 번째 쉬프트 레지스터에 공급하기 위한 스위칭 어레이를 구비한다. 이러한 구성의 본 발명은 사용자의 조작에 따라 화상표시부에 표시되는 데이터의 해상도를 고 해상도 및 저해상도로 변경하여 액정표시장치의 소비전력을 감소시킬 수 있다.

대표도

도 6

명세서

도면의 간단한 설명

도 1은 종래의 저 전력 모바일 액티브 매트릭스 액정표시장치용 다중 해상도의 게이트 드라이버를 나타내는 도면.

도 2는 도 1에 도시된 액정패널 상에 데이터를 다중 해상도로 표시하기 위한 게이트 신호를 나타내는 파형도.

도 3은 본 발명의 실시 예에 따른 액정표시장치의 구동장치를 나타내는 블록도.

도 4는 도 3에 도시된 액정패널 상에 데이터를 고 해상도로 표시하기 위한 클럭신호 및 게이트 신호를 나타내는 파형도.

도 5는 도 3에 도시된 액정패널 상에 데이터를 저 해상도로 표시하기 위한 클럭신호 및 게이트 신호를 나타내는 파형도.

도 6은 도 3에 도시된 게이트 드라이버를 나타내는 블록도.

도 7a는 도 3에 도시된 타이밍 컨트롤러로부터의 게이트 스타트 펄스를 승압하여 게이트 드라이버에 공급하기 위한 승압 회로를 나타내는 블록도.

도 7b는 도 3에 도시된 게이트 드라이버로부터의 게이트 신호를 레벨 쉬프팅시켜 게이트 라인들에 공급하기 위한 레벨 쉬프터를 나타내는 블록도.

도 8은 도 3에 도시된 액정패널 상에 데이터를 고 해상도로 표시하기 위한 쉬프트 레지스터 어레이에서의 스타트 펄스 전달경로를 나타내는 도면.

도 9는 도 3에 도시된 액정패널 상에 데이터를 저 해상도로 표시하기 위한 쉬프트 레지스터 어레이에서의 스타트 펄스 전달경로를 나타내는 도면.

< 도면의 주요 부분에 대한 부호의 설명 >

10, 112 : 클럭 발생기 쉬프트 레지스터 : 10, SR1 내지 SR4

30, 200 : 레벨 쉬프터 40 : RS 플립플롭

50 : 트랜스미션 게이트 60 : 버퍼

102 : 화상표시부 104 : 데이터 드라이버

106 : 게이트 드라이버 108 : 타이밍 컨트롤러

110 : 액정패널 114 : 스위칭 어레이

116 : 신호공급 라인군 190 : 승압회로

120 : 쉬프트 레지스터 어레이 1141, 1142 : 스위칭 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치의 게이트 구동장치에 관한 것으로, 특히 P 또는 N 형 금속 산화막 반도체(MOS) 박막 트랜지스터만을 사용하여 액정표시장치의 해상도를 다중으로 구동시킬 수 있도록 한 액정표시장치의 구동장치 및 구동방법에 관한 것이다. 또한, 본 발명은 비디오 데이터의 해상도에 따라 게이트 드라이버의 출력파형을 변경하여 소비전력을 감소시킬 수 있도록 한 액정표시장치의 구동장치 및 구동방법에 관한 것이다.

액정표시장치(Liquid Crystal Display ; 이하, "LCD"라 함)는 경량, 박형, 저소비 전력구동 등의 특징으로 인해 그 응용범위가 점차 넓어지고 있는 추세에 있다. 이러한 추세에 따라, LCD는 사무자동화 기기, 오디오/비디오 기기 등에 이용되고 있다.

이러한, 통상의 LCD는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, LCD는 액정셀들이 매트릭스 형태로 배열되어진 액정패널과 이 액정패널을 구동하기 위한 구동회로를 구비한다.

액정패널에는 게이트 라인들과 데이터 라인들이 교차하게 배열되고 그 게이트 라인들과 데이터 라인들의 교차로 마련되는 영역에 액정셀들이 위치하게 된다. 이 액정패널에는 액정셀들 각각에 전계를 인가하기 위한 화소전극들과 공통전극이 마련된다. 화소전극들 각각은 스위칭 소자인 박막 트랜지스터(Thin Film Transistor)의 소스 및 드레인 단자들을 경유하여 데이터 라인들 중 어느 하나에 접속된다. 박막 트랜지스터의 게이트 단자는 게이트 라인들 중 어느 하나에 접속된다.

구동회로는 게이트 라인들을 구동하기 위한 게이트 드라이버와, 데이터 라인들을 구동하기 위한 데이터 드라이버를 구비한다. 게이트 드라이버는 스캔 신호를 게이트 라인들에 순차적으로 공급하여 액정 패널 상의 액정셀들을 1 라인 분씩 순차적으로 구동한다. 데이터 드라이버는 게이트 라인들 중 어느 하나에 게이트 신호가 공급될 때마다 데이터 라인들 각각에 비디오 신호를 공급한다. 이에 따라, 액정표시장치는 액정셀별로 비디오 신호에 따라 화소전극과 공통전극 사이에 인가되는 전계에 의해 광투과율을 조절함으로써 화상을 표시한다.

이러한 LCD에 이용되는 박막 트랜지스터는 반도체층으로 아몰퍼스(Amorphous) 실리콘과 폴리(Poly) 실리콘을 사용하는가에 따라 아몰퍼스 실리콘형과 폴리 실리콘형으로 구분된다.

아몰퍼스 실리콘형 박막 트랜지스터는 아몰퍼스 실리콘막의 균일성이 비교적 좋아 특성이 안정된 장점을 가지고 있으나 전하 이동도가 비교적 작아 화소 밀도를 향상시키는 경우에는 적용이 어려운 단점이 있다. 또한, 아몰퍼스 실리콘형 박막 트랜지스터를 사용하는 경우 상기 게이트 드라이버와 데이터 드라이버와 같은 주변 구동 회로들은 별도로 제작하여 액정패널에 실장시켜야 하므로 LCD의 제조 비용이 높다는 단점이 있다.

반면에, 폴리 실리콘형 박막 트랜지스터는 전하 이동도가 높음에 따라 화소 밀도 증가에 어려움이 없을 뿐만 아니라 주변 구동 회로들을 액정패널에 내장할 수 있게 되어 제조단가를 낮출 수 있는 장점을 가지고 있다. 이에 따라, 폴리 실리콘형 박막 트랜지스터를 이용한 LCD가 대두되고 있다.

또한, 일반적인 LCD의 구동장치는 액정패널에 표시되는 데이터의 해상도에 따라 상기 게이트 드라이버로부터 게이트 라인들에 공급되는 게이트 신호를 변경하게 된다. 즉, 고해상의 데이터를 저해상도의 데이터로 표시할 경우 게이트 드라이버인 인접한 게이트 라인들에 게이트 신호를 동시에 출력하게 된다. 이와 같이, 액정패널에 표시되는 데이터의 해상도에 따라 액정패널을 멀티 해상도로 구동시키기 위하여, "K.Maeda et al. SID'02 Digest, pp 794-797."에 수록된 저 전력 모바일 액티브 매트릭스 액정표시장치용 다중 해상도(Multi-Resolution for Low Power Mobile AMLCD)가 제안되었다.

도 1 및 도 2를 참조하면, 종래의 저 전력 모바일 액티브 매트릭스 액정표시장치용 다중 해상도의 게이트 드라이버는 클럭 발생기(10)와, LCD 컨트롤러로부터 공급되는 게이트 스타트 펄스(GSP)의 전압레벨을 레벨 쉬프팅시키는 레벨 쉬프터(30)와, CMOS 트랜지스터들로 구성된 RS 플립플롭(40)과 트랜스미션 게이트(50)로 구성되어 클럭 발생기(10)로부터 공급되는 4개의 클럭(GCK1, GCK2, GCK3, GCK4) 신호들을 이용하여 레벨 쉬프터(30)로부터의 레벨 쉬프팅된 게이트 스타트 펄스(GSP)의 출력 타이밍을 가변하는 쉬프트 레지스터(20)와, 버퍼(60)로 구성된다.

클럭 발생기(10)는 외부의 입력신호로부터 4개의 클럭(GCK1, GCK2, GCK3, GCK4) 신호들을 발생하게 된다. 이러한, 클럭 발생기(10)는 사용자의 조작에 가변되는 모드 변경 제어신호(MC)에 따라 제 1 내지 제 4 클럭(GCK1, GCK2, GCK3, GCK4) 신호들을 순차적으로 쉬프트 레지스터(20)에 공급하거나, 동일한 제 1 및 제 2 클럭(GCK1, GCK2) 및 동일한 제 3 및 제 4 클럭(GCK3, GCK4)을 쉬프트 레지스터(20)에 공급한다.

쉬프트 레지스터(20)는 클럭 발생기(10)로부터 공급되는 제 1 내지 제 4 클럭(GCK1, GCK2, GCK3, GCK4) 신호들을 이용하여 게이트 라인들에 공급되는 게이트 펄스를 발생한다. 버퍼(60)는 쉬프트 레지스터(20)로부터 공급되는 게이트 신호를 완충하여 게이트 라인들에 공급한다.

이러한, 저 전력 모바일 액티브 매트릭스 액정표시장치용 다중 해상도에서 사용자의 조작에 따라 하이상태(HIGH)의 모드 변경 제어신호(MC)가 클럭 발생기(10)에 공급될 경우 클럭 발생기(10)는 제 1 내지 제 4 클럭(GCK1, GCK2, GCK3, GCK4) 신호들을 순차적으로 쉬프트 레지스터(20)에 공급한다. 이에 따라, 게이트 드라이버에서 출력되는 게이트 신호는 게이트 라인들에 순차적으로 공급된다. 따라서, 액정패널 상에 표시되는 데이터는 풀 컬러 고 해상도로 표시된다.

반면에, 사용자의 조작에 따라 로우상태(LOW)의 모드 변경 제어신호(MC)가 클럭 발생기(10)에 공급될 경우 클럭 발생기(10)는 동일한 제 1 및 제 2 클럭(GCK1, GCK2) 및 동일한 제 3 및 제 4 클럭(GCK3, GCK4)을 쉬프트 레지스터(20)에 공급한다. 이에 따라, 게이트 라인들에는 도 2에 도시된 바와 같이 게이트 드라이버로부터 인접한 2개의 게이트 라인들에 동일한 게이트 신호가 2개의 게이트 라인 단위로 순차적으로 공급된다. 따라서, 액정패널 상에 표시되는 데이터는 풀 컬러 저 해상도로 표시된다.

이와 같은, 종래의 저 전력 모바일 액티브 매트릭스 액정표시장치용 다중 해상도는 쉬프트 레지스터(20)가 N채널 MOS-FET 와 P채널 MOS-FET를 접속한 CMOS 트랜지스터들로 구성되기 때문에 구동전압의 범위가 넓고 회로 집적화가 용이하고, 소비 전력과 잡음 여유 등에서 우수한 특성을 가지고 있으나, 공정수가 많아 제조단가가 높고 신뢰성이 떨어지는 단점이 있다.

또한, 종래의 저 전력 모바일 액티브 매트릭스 액정표시장치용 다중 해상도는 별도의 일반적인 쉬프트 레지스터 회로를 더 구비하여 기수번째 쉬프트 레지스터의 출력을 담당하는 쉬프트 레지스터와 우수번째 쉬프트 레지스터의 출력을 담당하는 쉬프트 레지스터 2개로 완전히 분리하여 독립된 게이트 스타트 펄스(GSP)와 제 1 내지 제 4 클럭을 인가하여 상술한 멀티 해상도, 즉 고 해상도 및 저 해상도를 선택적으로 구동할 수는 있으나, 이를 구성하기 위해서는 입력클럭 수가 증가하게 되고, 입력 클럭의 파형이 복잡해지는 단점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 P 또는 N 형 금속 산화막 반도체(MOS) 박막 트랜지스터만을 사용하여 액정표시장치의 해상도를 멀티로 구동시킬 수 있도록 한 액정표시장치의 구동장치 및 구동방법을 제공하는데 있다.

또한, 본 발명의 다른 목적은 비디오 데이터의 해상도에 따라 게이트 드라이버의 출력파형을 변경하여 소비전력을 감소시킬 수 있도록 한 액정표시장치의 구동장치 및 구동방법을 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시장치의 구동장치는 게이트 라인들과 데이터 라인들이 매트릭스 형태로 형성된 액정패널과, 상기 액정패널에 표시되는 데이터의 해상도를 변경하기 위한 모드 변경신호를 생성하고 스타트 펄스를 생성하는 타이밍 컨트롤러와, 상기 모드 변경신호에 따라 다수의 클럭신호를 생성하는 클럭 발생기와, $4N+1$ (단, N 은 양의 정수) 번째 쉬프트 레지스터, $4N+2$ 번째 쉬프트 레지스터, $4N+3$ 번째 쉬프트 레지스터 및 $4N+4$ 번째 쉬프트 레지스터를 포함하여 상기 다수의 클럭신호에 따라 상기 스타트 펄스를 쉬프트시켜 게이트 신호를 생성하여 상기 게이트 라인들에 공급하는 쉬프트 레지스터 어레이와, 상기 다수의 클럭신호에 따라 상기 스타트 펄스 또는 N 번째 쉬프트 레지스터의 출력신호를 선택적으로 $N+1$ 번째 쉬프트 레지스터에 공급하기 위한 스위칭 어레이를 구비한다.

본 발명에 따른 액정표시장치의 구동방법은 게이트 라인들과 데이터 라인들이 매트릭스 형태로 형성된 액정패널과 상기 게이트 라인들에 게이트 신호를 공급하기 위한 제 1 내지 제 N (단, N 은 양의 정수) 쉬프트 레지스터를 포함하는 쉬프트 레지스터 어레이를 마련하는 제 1 단계와, 상기 액정패널에 표시되는 데이터의 해상도를 변경하기 위한 모드 변경신호를 생성함과 아울러 스타트 펄스를 생성하는 제 2 단계와, 클럭 발생기를 이용하여 상기 모드 변경신호에 따라 다수의 클럭신호를 생성하는 제 3 단계와, 상기 제 1 내지 제 N 쉬프트 레지스터를 이용하여 상기 다수의 클럭신호에 따라 선택적으로 공급되는 상기 스타트 펄스를 상기 다수의 클럭신호에 따라 쉬프트시켜 게이트 신호를 생성하여 상기 게이트 라인들에 공급하는 제 4 단계를 포함한다.

삭제

삭제

삭제

삭제

삭제

삭제

삭제

삭제

삭제

삭제

삭제

삭제

삭제

삭제

삭제

삭제

삭제

삭제

삭제

삭제

삭제

삭제

삭제

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 3 내지 도 9를 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.

도 3은 본 발명의 실시 예에 따른 폴리 실리콘 박막트랜지스터를 이용한 LCD의 구동장치의 구성을 개략적으로 도시한 것이다.

도 3을 참조하면, 본 발명의 실시 예에 따른 액정표시장치(Liquid Crystal Display ; 이하, "LCD"라 함)는 액정셀들(Clc)이 매트릭스형으로 배열된 화상 표시부(102)와, 화상 표시부(102)의 게이트 라인들(GL)에 접속되어 게이트 라인들(GL)에 게이트 신호를 공급하기 위한 게이트 드라이버(106)와, 화상 표시부(102)의 데이터 라인들(DL)에 비디오 데이터를 공급하기 위한 데이터 드라이버(104)가 형성된 액정패널(110)과; 게이트 드라이버(106)와 데이터 드라이버(104)를 제어하기 위한 타이밍 컨트롤러(108)를 구비한다.

화상표시부(102)는 액정셀들(LC) 매트릭스를 통해 화상을 표시한다. 액정셀들(LC) 각각은 게이트라인(GL)과 데이터라인(DL)의 교차점에 접속된 스위칭소자로서 폴리 실리콘을 이용한 박막트랜지스터(TFT)를 포함한다. 아몰퍼스 실리콘 보다 전하 이동도가 100배 정도 빠른 폴리 실리콘을 이용함에 따라 박막 트랜지스터(TFT)의 응답속도가 빠르므로 액정셀들(LC)은 점순차 방식으로 구동된다. 데이터라인들(DL)은 데이터 드라이버(104)로부터 비디오신호를 공급받는다. 게이트라인들(GL)은 게이트 드라이버(106)로부터 게이트 신호를 공급받는다.

타이밍 컨트롤러(108)는 도시하지 않은 디지털 비디오 카드로부터 공급되는 디지털 비디오 데이터를 적색(R), 녹색(G) 및 청색(B) 별로 재정렬하게 된다. 타이밍 컨트롤러(108)에 의해 재정렬된 비디오 데이터(R, G, B)는 데이터 드라이버(104)에 공급된다. 또한, 타이밍 컨트롤러(108)는 자신에게 입력되는 수평/수직 동기신호(H,V)를 이용하여 데이터 제어신호와 게이트 제어신호를 발생한다. 데이터 제어신호는 도트클럭(Dclk), 소스스위프트클럭(SSC), 소스인에이블신호(SOE), 극성반전신호(POL) 등을 포함하며 데이터 드라이버(104)에 공급된다. 게이트 제어신호는 게이트 스타트 펄스(GSP), 게이트스위프트클럭(GSC), 게이트출력인에이블(GOE) 등을 포함하며 게이트 드라이버(106) 각각에 공급된다.

또한, 타이밍 컨트롤러(108)는 화상표시부(102)에 표시되는 데이터의 해상도를 변경하기 위한 사용자의 조작에 의한 모드 변경신호(MC)에 따라 게이트 신호를 순차적으로 발생시키기 위한 제 1 내지 제 4 클럭신호(CLK1, CLK2, CLK3, CLK4)를 생성하는 클럭 발생기(112)를 내장한다.

클럭 발생기(112)는 사용자의 조작에 의해 데이터를 화상표시부(102)에 고 해상도로 표시하기 위한 하이상태(HIGH)의 모드 변경신호(MC)가 공급될 경우 도 4에 도시된 바와 같이 소정 주기를 가지는 제 1 클럭신호(CLK1)와, 제 1 클럭신호(CLK2)의 역위상으로 발생하는 제 2 클럭신호(CLK2)와, 제 1 클럭신호(CLK1)와 동위상으로 발생하는 제 3 클럭신호(CLK3)와, 제 2 클럭신호(CLK2)와 동위상으로 발생하는 제 4 클럭신호(CLK4)를 발생하여 게이트 드라이버(106)에 공급한다. 또한, 클럭 발생기(112)는 사용자의 조작에 의해 데이터를 화상표시부(102)에 저 해상도로 표시하기 위한 로우상태(LOW)의 모드 변경신호(MC)가 공급될 경우 도 5에 도시된 바와 같이 소정 주기를 가지는 제 1 클럭신호(CLK1)와, 제 1 클럭신호(CLK1)가 반전되는 제 2 클럭신호(CLK2)와, 제 2 클럭신호(CLK2)와 동일한 제 3 클럭신호(CLK3)와, 제 1 클럭신호(CLK1)와 동일한 제 4 클럭신호(CLK4)를 발생하여 게이트 드라이버(106)에 공급한다.

데이터 드라이버(104)는 타이밍 컨트롤러(108)로부터의 데이터 제어 신호들(SSP, SSC, SOE, POL)에 응답하여 수평 기간(H1, H2, ...)마다 1라인 분석의 화소 신호를 데이터 라인들(DL)에 공급한다. 특히, 데이터 드라이버(104)는 타이밍 컨트롤러(108)로부터의 디지털 비디오 데이터(R, G, B)를 도시하지 않은 감마 전압 발생부로부터의 감마전압을 이용하여 아날로그 비디오 신호로 변환하여 공급한다. 이러한 데이터 드라이버(104)는 데이터 라인들(DL)을 분리 구동하는 다수개의 데이터 드라이브 IC들로 구성된다.

게이트 드라이버(106)는 도 6에 도시된 바와 같이 모드 변경신호(MC)에 따라 타이밍 컨트롤러(108)의 클럭 발생기(112)로부터 제 1 내지 제 4 클럭신호(CLK1, CLK2, CLK3, CLK4) 및 도시하지 않은 전원장치로부터 구동전압(VSS)이 공급되는 신호공급 라인군(116)과, 신호공급 라인군(116)에 공급되는 제 1 내지 제 4 클럭신호(CLK1, CLK2, CLK3, CLK4) 중 2 개의 클럭신호를 이용하여 타이밍 컨트롤러(108)로부터 공급되는 게이트 스타트 펄스(GSP)를 순차적으로 쉬프트시켜 게이트 신호를 생성하는 다수의 쉬프트 레지스터(SR)를 포함하는 쉬프트 레지스터 어레이(120)와; 쉬프트 레지스터 어레이(120)의 기수번째($2N+1$, 단 N 은 0 이상의 양의 정수) 쉬프트 레지스터(SR_1, SR_3 내지 SR_{n-1})와 우수번째($2N$) 쉬프트 레지스터(SR_2, SR_4 내지 SR_n) 사이에 접속되어 신호공급 라인군(116)에 공급되는 제 1 내지 제 4 클럭신호(CLK1, CLK2, CLK3, CLK4)를 이용하여 이전단 쉬프트 레지스터에서 출력되는 게이트 신호와 다음 단 쉬프트 레지스터에서 출력되는 게이트 신호를 중첩(Overlap)시키거나 비 중첩(Non Overlap)시키기 위한 스위칭 어레이(114)를 구비한다. 여기서, 타이밍 컨트롤러(108)로부터 게이트 드라이버(106)에 공급되는 게이트 스타트 펄스(GSP)는 도 7a에 도시된 바와 같이 승압회로(190)에 의해 승압되어 공급될 수 있다. 또한, 쉬프트 레지스터 어레이(120)로부터 출력되는 게이트 신호는 도 7b에 도시된 바와 같이 레벨 쉬프트 어레이(200)에 의해 레벨 쉬프트되어 각 게이트 라인들에 공급될 수 있다.

쉬프트 레지스터 어레이(120)는 신호공급 라인군(116)을 경유하여 클럭 발생기(112)로부터 모드 변경신호(MC)에 따라 공급되는 제 1 내지 제 4 클럭신호(CLK1, CLK2, CLK3, CLK4) 중 2 개의 클럭신호를 이용하여 타이밍 컨트롤러(108)로부터 공급되는 게이트 스타트 펄스(GSP)를 쉬프트시켜 게이트 라인들(GL)에 공급한다. 이 때, 쉬프트 레지스터 어레이(120)의 다수의 쉬프트 레지스터(SR)는 도시하지 않은 다수의 트랜지스터들로 구성되며, 다수의 트랜지스터들은 P형 MOS 또는 N형 MOS로 구성된다.

구체적으로, 쉬프트 레지스터 어레이(120)의 다수의 쉬프트 레지스터(SR) 중 제 $4N+1$ 번째 쉬프트 레지스터, 즉 제 1 쉬프트 레지스터(SR_1)의 입력단자(IN)에는 타이밍 컨트롤러(108)로부터 게이트 스타트 펄스(GSP)가 공급되고, 제 1 및 제

2 클럭 입력단자(CK1, CK2) 각각에는 신호공급 라인군(116)의 제 1 및 제 2 신호 공급라인(1161, 1162)을 통해 제 1 및 제 2 클럭신호(CLK1, CLK2)가 공급되고, 전압 공급단자(VSS)에는 신호공급 라인군(116)의 제 5 신호 공급라인(1165)을 통해 공급 전압(VSS)이 공급된다. 그리고, 제 1 쉬프트 레지스터(SR1)의 출력단자(OUT)는 화상표시부(102)의 제 1 게이트 라인(GL1)에 접속됨과 아울러 스위칭 어레이(114) 중 제 1 스위칭 회로(1141)에 접속된다. 이러한, 제 1 쉬프트 레지스터(SR1)는 모드 변경신호(MC)에 따라 공급되는 제 1 및 제 2 클럭신호(CLK1, CLK2)를 이용하여 게이트 스타트 펄스(GSP)를 쉬프트시켜 게이트 신호를 생성하여 출력단자(OUT)를 통해 제 1 게이트 라인(GL1)에 공급한다.

쉬프트 레지스터 어레이(120)의 다수의 쉬프트 레지스터(SR) 중 제 $4N+2$ 번째 쉬프트 레지스터, 즉 제 2 쉬프트 레지스터(SR2)의 입력단자(IN)에는 스위칭 어레이(114) 중 제 1 스위칭 회로(1141)의 구동에 따라 타이밍 컨트롤러(108)로부터 게이트 스타트 펄스(GSP) 및 제 1 쉬프트 레지스터(SR1)에서 출력되는 출력신호 중 어느 하나의 신호가 공급되고, 제 1 및 제 2 클럭 입력단자(CK1, CK2) 각각에는 신호공급 라인군(116)의 제 4 및 제 3 신호 공급라인(1164, 1163)을 통해 제 4 및 제 3 클럭신호(CLK4, CLK3)가 공급되고, 전압 공급단자(VSS)에는 신호공급 라인군(116)의 제 5 신호 공급라인(1165)을 통해 공급 전압(VSS)이 공급된다. 그리고, 제 2 쉬프트 레지스터(SR2)의 출력단자는 화상표시부(102)의 제 2 게이트 라인(GL2)에 접속됨과 아울러 스위칭 어레이(114) 중 제 2 스위칭 회로(1142)에 접속된다. 이러한, 제 2 쉬프트 레지스터(SR2)는 모드 변경신호(MC)에 따라 공급되는 제 4 및 제 3 클럭신호(CLK4, CLK3)를 이용하여 타이밍 컨트롤러(108)로부터 게이트 스타트 펄스(GSP) 및 제 1 쉬프트 레지스터(SR1)에서 출력되는 출력신호 중 어느 하나의 신호를 쉬프트시켜 출력단자(OUT)를 통해 제 2 게이트 라인(GL2)에 공급한다.

쉬프트 레지스터 어레이(120)의 다수의 쉬프트 레지스터(SR) 중 제 $4N+3$ 번째 쉬프트 레지스터, 즉 제 3 쉬프트 레지스터(SR3)의 입력단자(IN)에는 제 2 쉬프트 레지스터(SR2)에서 출력되는 출력신호가 공급되고, 제 1 및 제 2 클럭 입력단자(CK1, CK2) 각각에는 신호공급 라인군(116)의 제 3 및 제 4 신호 공급라인(1163, 1164)을 통해 제 3 및 제 4 클럭신호(CLK3, CLK4)가 공급되고, 전압 공급단자(VSS)에는 신호공급 라인군(116)의 제 5 신호 공급라인(1165)을 통해 공급 전압(VSS)이 공급된다. 그리고, 제 3 쉬프트 레지스터(SR3)의 출력단자는 화상표시부(102)의 제 3 게이트 라인(GL3)에 접속된다. 이러한, 제 3 쉬프트 레지스터(SR3)는 모드 변경신호(MC)에 따라 공급되는 제 3 및 제 4 클럭신호(CLK3, CLK4)를 이용하여 제 2 쉬프트 레지스터(SR2)에서 출력되는 출력신호를 쉬프트시켜 출력단자(OUT)를 통해 제 3 게이트 라인(GL3)에 공급한다.

쉬프트 레지스터 어레이(120)의 다수의 쉬프트 레지스터(SR) 중 제 $4N+4$ 번째 쉬프트 레지스터, 즉 제 4 쉬프트 레지스터(SR4)의 입력단자(IN)에는 스위칭 어레이(114) 중 제 2 스위칭 회로(1142)의 구동에 따라 제 2 쉬프트 레지스터(SR2)에서 출력되는 출력신호 및 제 3 쉬프트 레지스터(SR3)에서 출력되는 출력신호 중 어느 하나의 신호가 공급되고, 제 1 및 제 2 클럭 입력단자(CK1, CK2) 각각에는 신호공급 라인군(116)의 제 2 및 제 1 신호 공급라인(1162, 1161)을 통해 제 2 및 제 1 클럭신호(CLK2, CLK1)가 공급되고, 전압 공급단자(VSS)에는 신호공급 라인군(116)의 제 5 신호 공급라인(1165)을 통해 공급 전압(VSS)이 공급된다. 그리고, 제 4 쉬프트 레지스터(SR4)의 출력단자는 화상표시부(102)의 제 4 게이트 라인(GL4)에 접속된다. 이러한, 제 4 쉬프트 레지스터(SR4)는 모드 변경신호(MC)에 따라 공급되는 제 2 및 제 1 클럭신호(CLK2, CLK1)를 이용하여 제 2 스위칭 회로(1142)의 구동에 따라 제 2 쉬프트 레지스터(SR2)에서 출력되는 출력신호 및 제 3 쉬프트 레지스터(SR3)에서 출력되는 출력신호 중 어느 하나의 신호를 쉬프트시켜 출력단자(OUT)를 통해 제 4 게이트 라인(GL4)에 공급한다.

$4N+2$ 번째 쉬프트 레지스터(SR2)의 출력단자(OUT)와 $4N+3$ 번째 쉬프트 레지스터(SR3)의 입력단자(IN)는 접속된다.

이와 같은 제 1 내지 제 4 쉬프트 레지스터(SR1, SR2, SR3, SR4)는 반복적으로 배치되어 게이트 드라이버(106)의 쉬프트 레지스터 어레이(120)를 구성하게 된다.

스위칭 회로 어레이(114)는 쉬프트 레지스터 어레이(120)의 제 $4N$ 번째 쉬프트 레지스터(SR1)와 제 $4N+2$ 번째 쉬프트 레지스터(SR2) 사이에 접속되는 제 1 스위칭 회로(1141)와, 제 $4N+3$ 번째 쉬프트 레지스터(SR3)와 제 $4N+4$ 번째 쉬프트 레지스터(SR4) 사이에 접속되는 제 2 스위칭 회로(1142)를 구비하고, 제 1 및 제 2 스위칭 회로(1141, 1142)가 교번적으로 배치된다.

스위칭 회로 어레이(114)의 제 1 스위칭 회로(1141)는 $4N+1$ 번째 쉬프트 레지스터(SR1)의 입력단자(IN)와 $4N+2$ 번째 쉬프트 레지스터(SR2)의 입력단자(IN) 사이에 접속된 제 1 박막 트랜지스터(T1)와, 제 1 박막 트랜지스터(T1)와 $4N+2$ 번째 쉬프트 레지스터(SR2)의 입력단자(IN) 사이에 접속된 제 3 박막 트랜지스터(T3)와, 제 1 및 제 3 박막 트랜지스터(T1, T3) 사이의 제 1 노드(N1)와 $4N+1$ 번째 쉬프트 레지스터(SR1)의 출력단자(OUT) 사이에 접속된 제 2 박막 트랜지스터(T2)와, 제 3 박막 트랜지스터(T3)와 $4N+2$ 번째 쉬프트 레지스터(SR2)의 입력단자(IN) 사이의 제 2 노드(N2)와 신호공급 라인군(116)의 제 5 신호 공급라인(1165) 사이에 접속되어 제 2 노드(N2) 상의 전압을 공급 전압(VSS)으로 방전

시키는 제 4 박막 트랜지스터(T4)를 구비한다. 여기서, 제 1 내지 제 4 박막 트랜지스터(T1 내지 T4) 각각은 P형 MOS 또는 N형 MOS로 구성될 수 있으며, 제 1 내지 제 4 박막 트랜지스터(T1 내지 T4) 각각을 P형 MOS를 예를 들어 설명하기로 한다.

이러한, 제 1 스위칭 회로(1141)에서 제 1 박막 트랜지스터(T1)는 신호공급 라인군(116)의 제 2 신호 공급라인(1162)을 통해 공급되는 제 2 클럭신호(CLK2)에 의해 구동되고, 제 2 박막 트랜지스터(T2)는 신호공급 라인군(116)의 제 1 신호 공급라인(1161)을 통해 공급되는 제 1 클럭신호(CLK1)에 의해 구동된다. 또한, 스위칭 어레이(114)의 제 1 스위칭 회로(1141)에서 제 3 박막 트랜지스터(T3)는 신호공급 라인군(116)의 제 3 신호 공급라인(1163)을 통해 공급되는 제 3 클럭신호(CLK3)에 의해 구동되고, 제 4 박막 트랜지스터(T4)는 신호공급 라인군(116)의 제 4 신호 공급라인(1164)을 통해 공급되는 제 4 클럭신호(CLK4)에 의해 구동된다.

한편, 스위칭 회로 어레이(114)의 제 2 스위칭 회로(1142)는 4N+3 번째 쉬프트 레지스터(SR3)의 입력단자(IN)와 4N+4 번째 쉬프트 레지스터(SR4)의 입력단자(IN) 사이에 접속된 제 5 박막 트랜지스터(T5)와, 제 5 박막 트랜지스터(T5)와 4N+4 번째 쉬프트 레지스터(SR4)의 입력단자(IN) 사이에 접속된 제 7 박막 트랜지스터(T7)와, 제 5 및 제 7 박막 트랜지스터(T5, T7) 사이의 제 3 노드(N3)와 4N+3 번째 쉬프트 레지스터(SR3)의 출력단자(OUT) 사이에 접속된 제 5 박막 트랜지스터(T5)와, 제 6 박막 트랜지스터(T6)와 4N+4 번째 쉬프트 레지스터(SR4)의 입력단자(IN) 사이의 제 4 노드(N4)와 신호공급 라인군(116)의 제 5 신호 공급라인(1165) 사이에 접속되어 제 4 노드(N4) 상의 전압을 공급 전압(VSS)으로 방전시키는 제 8 박막 트랜지스터(T8)를 구비한다. 여기서, 제 5 내지 제 8 박막 트랜지스터(T5 내지 T8) 각각은 P형 MOS 또는 N형 MOS로 구성될 수 있으며, 제 5 내지 제 8 박막 트랜지스터(T5 내지 T8) 각각을 P형 MOS를 예를 들어 설명하기로 한다.

스위칭 어레이(114)의 제 2 스위칭 회로(1142)에서 제 5 박막 트랜지스터(T5)는 신호공급 라인군(116)의 제 4 신호 공급라인(1164)을 통해 공급되는 제 4 클럭신호(CLK4)에 의해 구동되고, 제 6 박막 트랜지스터(T6)는 신호공급 라인군(116)의 제 3 신호 공급라인(1163)을 통해 공급되는 제 3 클럭신호(CLK3)에 의해 구동된다. 또한, 스위칭 어레이(114)의 제 2 스위칭 회로(1142)에서 제 7 박막 트랜지스터(T7)는 신호공급 라인군(116)의 제 1 신호 공급라인(1161)을 통해 공급되는 제 1 클럭신호(CLK1)에 의해 구동되고, 제 8 박막 트랜지스터(T8)는 신호공급 라인군(116)의 제 2 신호 공급라인(1162)을 통해 공급되는 제 2 클럭신호(CLK2)에 의해 구동된다.

이와 같은, 본 발명의 실시 예에 따른 액정표시장치의 구동장치 및 구동방법은 사용자의 조작에 의한 모드 변경신호(MC)에 따라 발생되어 제 1 내지 제 4 쉬프트 레지스터(SR1, SR2, SR3, SR4)가 반복적으로 배치되는 쉬프트 레지스터 어레이에 공급되는 제 1 내지 제 4 클럭신호(CLK1, CLK2, CLK3, CLK4)와 스위칭 회로 어레이(114)를 이용하여 게이트 신호가 인접한 게이트 라인간에 비중첩되도록 순차적으로 공급하거나, 인접한 게이트 라인간에 중첩되는 게이트 신호를 순차적으로 공급한다.

도 8을 도 4와 결부하여 화상표시부(102)에 데이터를 고 해상도로 표시할 경우에 본 발명의 실시 예에 따른 액정표시장치의 구동장치 및 구동방법을 상세히 설명하면 다음과 같다. 우선, 화상표시부(102)에 데이터를 고 해상도로 표시하기 위한 사용자의 버튼 조작 또는 이에 대응되는 명령신호에 의해 하이상태의 모드 변경신호(MC)가 타이밍 컨트롤러(108)에 공급된다. 타이밍 컨트롤러(108)는 하이상태의 모드 변경신호(MC)에 응답하여 클럭 발생기(112)를 제어하게 된다. 이에 따라, 클럭 발생기(112)는 도 4에 도시된 바와 같은 제 1 내지 제 4 클럭신호(CLK1, CLK2, CLK3, CLK4)를 발생하여 쉬프트 레지스터 어레이(120)의 신호 공급라인군(116)에 공급한다.

ST0 구간에서 타이밍 컨트롤러(108)로부터 공급되는 게이트 스타트 펄스(GSP)는 제 1 쉬프트 레지스터(SR1) 및 제 2 쉬프트 레지스터(SR2)에 입력된다. 그러나, 제 2 쉬프트 레지스터(SR2)에 공급되는 타이밍 컨트롤러(108)로부터의 게이트 스타트 펄스(GSP)는 제 3 클럭신호(CLK3)에 의해 오프 상태가 되는 제 1 스위칭 회로(1141)의 제 3 박막 트랜지스터(T3)에 의해 차단된다. 즉, 제 2 쉬프트 레지스터(SR2)의 입력단자(IN)로 공급되는 게이트 스타트 펄스(GSP)는 제 2 클럭신호(CLK2)에 의해 온되는 제 1 스위칭 회로(1141)의 제 1 박막 트랜지스터(T1) 및 제 1 노드(N1)를 경유하여 제 3 박막 트랜지스터(T3)에 의해 차단된다. 이러한, ST0 구간에서 제 1 쉬프트 레지스터(SR1)는 제 1 및 제 2 클럭신호(CLK1, CLK2)에 따라 타이밍 컨트롤러(108)로부터 공급되는 게이트 스타트 펄스(GSP)를 쉬프트 시키게 된다.

ST1 구간에서 제 1 쉬프트 레지스터(SR1)는 제 1 및 제 2 클럭신호(CLK1, CLK2)에 따라 상기 게이트 스타트 펄스(GSP)를 쉬프트 시켜 생성된 게이트 신호를 제 1 게이트 라인(GL1)에 공급하게 된다. 이 ST1 구간에 제 1 스위칭 회로(1141)의 제 1 박막 트랜지스터(T1)는 제 2 클럭신호(CLK2)에 의해 오프 상태가 되고, 제 2 박막 트랜지스터(T2)는 제 1 클럭신호(CLK1)에 의해 온 상태가 되고, 제 3 박막 트랜지스터(T3)는 제 3 클럭신호(CLK3)에 의해 온 상태가 됨과 아울러 제 4 박막 트랜지스터(T4)는 제 4 클럭신호(CLK4)에 의해 오프 상태가 된다. 이로 인하여, 제 2 쉬프트 레지스터(SR2)의 입력단

자(IN)에는 제 1 쉬프트 레지스터(SR1)에서 제 1 게이트 라인(GL1)으로 출력되는 출력신호가 제 2 박막 트랜지스터(T2), 제 1 노드(N1), 제 3 박막 트랜지스터(T3) 및 제 2 노드(N2)로 이어지는 제 1 패스(1P1)를 경유하여 공급된다. 이 때, 타이밍 컨트롤러(108)로부터 제 2 쉬프트 레지스터(SR2)의 입력단자(IN)에 공급되는 게이트 스타트 펄스(GSP)는 제 1 박막 트랜지스터(T1)에 의해 차단된다.

ST2 구간에서 제 2 쉬프트 레지스터(SR2)는 제 4 및 제 3 클럭신호(CLK4, CLK3)에 따라 제 1 쉬프트 레지스터(SR1)로부터 출력되어 상기 제 1 패스(1P1)를 경유하여 공급되는 게이트 신호를 쉬프트시켜 제 2 게이트 라인(GL2)에 공급하게 된다. 이 제 2 쉬프트 레지스터(SR2)에서 출력되는 출력신호는 제 2 게이트 라인(GL2)에 공급됨과 동시에 제 3 쉬프트 레지스터(SR3)에 공급된다. 한편, ST2 구간에 제 1 스위칭 회로(1141)의 제 4 박막 트랜지스터(T4)는 제 4 클럭신호(CLK4)에 응답하여 제 2 노드(N2) 상의 전압을 공급 전압(VSS)으로 방전시키게 된다.

ST3 구간에서 제 3 쉬프트 레지스터(SR3)는 제 3 및 제 4 클럭신호(CLK3, CLK4)에 따라 제 2 쉬프트 레지스터(SR2)로부터의 출력신호를 쉬프트시켜 출력단자(OUT)를 통해 제 3 게이트 라인(GL3)에 공급함과 동시에 제 4 쉬프트 레지스터(SR4)에 입력한다. 이 ST3 구간에 제 2 스위칭 회로(1142)의 제 5 박막 트랜지스터(T5)는 제 4 클럭신호(CLK4)에 의해 오프 상태가 되고, 제 6 박막 트랜지스터(T6)는 제 3 클럭신호(CLK3)에 의해 온 상태가 되고, 제 7 박막 트랜지스터(T7)는 제 1 클럭신호(CLK1)에 의해 온 상태가 됨과 아울러 제 8 박막 트랜지스터(T8)는 제 2 클럭신호(CLK2)에 의해 오프 상태가 된다. 이로 인하여, 제 4 쉬프트 레지스터(SR4)의 입력단자(IN)에는 제 3 쉬프트 레지스터(SR3)에서 제 3 게이트 라인(GL3)으로 출력되는 출력신호가 제 6 박막 트랜지스터(T6), 제 3 노드(N3), 제 7 박막 트랜지스터(T7) 및 제 4 노드(N4)로 이어지는 제 2 패스(1P2)를 경유하여 공급된다. 이 때, 제 2 쉬프트 레지스터(SR2)의 출력단자(OUT)로부터 제 4 쉬프트 레지스터(SR4)의 입력단자에 공급되는 출력신호는 제 5 박막 트랜지스터(T5)에 의해 차단된다.

ST4 구간에서 제 4 쉬프트 레지스터(SR4)는 제 1 및 제 2 클럭신호(CLK1, CLK2)에 따라 제 3 쉬프트 레지스터(SR3)의 출력단자(OUT)로부터 공급되는 게이트 신호를 쉬프트시켜 제 4 게이트 라인(GL4)에 공급한다. 또한, 제 4 쉬프트 레지스터(SR4)에서 출력되는 출력신호는 다음 단 쉬프트 레지스터의 입력단자에 공급된다.

이와 같은, ST1 내지 ST4 구간을 반복함으로써 도 4에 도시된 바와 같이 게이트 라인들에 순차적으로 게이트 신호가 공급된다. 결과적으로, 사용자의 조작에 의해 화상표시부(102)에 데이터를 고 해상도로 표시할 경우 이에 대응되는 모드 변경신호(MC)에 의해 상술한 바와 같이 다수의 쉬프트 레지스터(SR)가 타이밍 컨트롤러(108)로부터의 게이트 스타트 펄스(GSP)를 순차적으로 쉬프트시켜 게이트 라인들에 공급한다. 따라서, 게이트 신호에 게이트 라인들에 순차적으로 공급되기 때문에 인접한 게이트 라인들에 공급되는 게이트 신호가 비 중첩되기 때문에 화상 표시부에는 데이터가 고 해상도로 표시된다.

한편, 도 9를 도 5와 결부하여 화상표시부(102)에 데이터를 저 해상도로 표시할 경우에 본 발명의 실시 예에 따른 액정표시장치의 구동장치 및 구동방법을 상세히 설명하면 다음과 같다.

우선, 화상표시부(102)에 데이터를 저 해상도로 표시하기 위한 사용자의 버튼 조작 또는 이에 대응되는 명령신호에 의해 로우상태의 모드 변경신호(MC)가 타이밍 컨트롤러(108)에 공급된다. 타이밍 컨트롤러(108)는 로우상태의 모드 변경신호(MC)에 응답하여 클럭 발생기(112)를 제어하게 된다. 이에 따라, 클럭 발생기(112)는 도 5에 도시된 바와 같은 제 1 내지 제 4 클럭신호(CLK1, CLK2, CLK3, CLK4)를 발생하여 쉬프트 레지스터 어레이(120)의 신호 공급라인군(116)에 공급한다.

ST0 구간에서 제 1 스위칭 회로(1141)의 제 1 박막 트랜지스터(T1)는 제 2 클럭신호(CLK2)에 의해 온 상태가 되고, 제 2 박막 트랜지스터(T2)는 제 1 클럭신호(CLK1)에 의해 오프 상태가 되고, 제 3 박막 트랜지스터(T3)는 제 3 클럭신호(CLK3)에 의해 온 상태가 됨과 아울러 제 4 박막 트랜지스터(T4)는 제 4 클럭신호(CLK4)에 의해 오프 상태가 된다. 이에 따라, 이 ST0 구간에서 타이밍 컨트롤러(108)로부터 공급되는 게이트 스타트 펄스(GSP)는 제 1 쉬프트 레지스터(SR1) 및 제 2 쉬프트 레지스터(SR2)에 입력된다. 이러한, ST0 구간에서 제 1 쉬프트 레지스터(SR1)는 제 1 및 제 2 클럭신호(CLK1, CLK2)에 따라 타이밍 컨트롤러(108)로부터 공급되는 게이트 스타트 펄스(GSP)를 쉬프트 시키게 되고, 제 2 쉬프트 레지스터(SR2)는 제 4 및 제 3 클럭신호(CLK4, CLK3)에 따라 타이밍 컨트롤러(108)로부터 공급되는 게이트 스타트 펄스(GSP)를 쉬프트 시키게 된다.

ST1 구간에서 제 1 쉬프트 레지스터(SR1)는 제 1 및 제 2 클럭신호(CLK1, CLK2)에 따라 상기 게이트 스타트 펄스(GSP)를 쉬프트시켜 생성된 게이트 신호를 제 1 게이트 라인(GL1)에 공급한다. 이와 동시에 제 2 쉬프트 레지스터(SR2) 역시 제 3 및 제 4 클럭신호(CLK3, CLK4)에 따라 ST0 구간에서 쉬프트된 게이트 신호를 제 2 게이트 라인(GL2)에 공급함과 아울러 제 3 쉬프트 레지스터(SR3)의 입력단자(IN)에 공급한다. 즉, ST1 구간에서는 제 1 및 제 2 게이트 라인들(GL1,

GL2)에 게이트 신호를 동시에 공급한다. 다시 말하여, ST1 구간에서는 인접한 2 개의 게이트라인들에 공급되는 게이트 신호를 중첩시켜 2개의 게이트 라인 각각에 공급한다. 이 ST1 구간에 제 1 스위칭 회로(1141)의 제 1 박막 트랜지스터(T1)는 제 2 클럭신호(CLK2)에 의해 오프 상태가 되고, 제 2 박막 트랜지스터(T2)는 제 1 클럭신호(CLK1)에 의해 온 상태가 되고, 제 3 박막 트랜지스터(T3)는 제 3 클럭신호(CLK3)에 의해 오프 상태가 됨과 아울러 제 4 박막 트랜지스터(T4)는 제 4 클럭신호(CLK4)에 의해 온 상태가 된다. 이로 인하여, 제 1 쉬프트 레지스터(SR1)의 출력단자(OUT)로부터 출력되어 제 2 쉬프트 레지스터(SR2)의 입력단자(IN)로 출력되는 게이트 신호는 제 3 박막 트랜지스터(T3)에 의해 차단되고, 제 2 노드(N2) 상의 전압은 제 4 박막 트랜지스터(T4)를 경유하여 공급 전압(VSS)으로 방전된다.

한편, ST1 구간에서 제 2 스위칭 회로(1142)는 제 1 및 제 4 클럭신호(CLK1, CLK4)에 의해 제 5 및 제 7 박막 트랜지스터(T5, T7)가 온되어 제 2 쉬프트 레지스터(SR2)의 출력단자(OUT)로부터 출력되는 게이트 신호가 제 4 쉬프트 레지스터(SR4)에 공급된다. 이에 따라, ST1 구간에서 제 3 및 제 4 쉬프트 레지스터(SR3, SR4) 각각은 제 2 쉬프트 레지스터(SR2)의 출력단자(OUT)로부터 공급되는 게이트 신호를 공급받아 쉬프트시키게 된다.

ST2 구간에서 제 3 쉬프트 레지스터(SR3)는 제 3 및 제 4 클럭신호(CLK3, CLK4)에 따라 제 2 쉬프트 레지스터(SR2)로부터의 출력신호를 쉬프트시켜 출력단자(OUT)를 통해 제 3 게이트 라인(GL3)에 공급함과 동시에 제 2 스위칭 회로(1142)의 제 6 박막 트랜지스터(T6)에 공급한다. 또한, ST2 구간에서 제 4 쉬프트 레지스터(SR4)는 제 1 및 제 2 클럭신호에 따라 ST1 구간에서 발생된 게이트 신호를 제 4 게이트 라인(GL4)에 공급함과 아울러 다음 단 쉬프트 레지스터의 입력단자(IN)에 공급한다. 이 때, ST2 구간에 제 2 스위칭 회로(1142)의 제 5 박막 트랜지스터(T5)는 제 4 클럭신호(CLK4)에 의해 오프 상태가 되고, 제 6 박막 트랜지스터(T6)는 제 3 클럭신호(CLK3)에 의해 온 상태가 되고, 제 7 박막 트랜지스터(T7)는 제 1 클럭신호(CLK1)에 의해 오프 상태가 됨과 아울러 제 8 박막 트랜지스터(T8)는 제 2 클럭신호(CLK2)에 의해 온 상태가 된다. 이로 인하여, 제 3 쉬프트 레지스터(SR3)의 출력단자(OUT)로부터 제 4 쉬프트 레지스터(SR4)의 입력단자(IN)로 공급되는 게이트 신호는 제 7 박막 트랜지스터(T7)에 의해 차단되고, 제 2 노드(N2) 상의 전압은 제 8 박막 트랜지스터(T8)를 경유하여 공급 전압(VSS)으로 방전된다.

이와 같은, ST0 내지 ST2 구간을 반복함으로써 도 5에 도시된 바와 같이 제 $4N+1$ 쉬프트 레지스터(SR1)와 제 $4N+2$ 쉬프트 레지스터(SR2)는 동일한 게이트 신호를 출력하게 된다. 따라서, 중첩되는 게이트 신호에 인접한 2 개의 게이트 라인들에 순차적으로 공급되기 때문에 화상 표시부에는 데이터가 저 해상도로 표시된다.

발명의 효과

상술한 바와 같이, 본 발명의 실시 예에 따른 액정표시장치의 구동장치 및 구동방법은 사용자의 조작에 의한 모드 변경신호에 따라 제 1 내지 제 4 클럭신호를 생성하고, 모드 변경신호에 따라 제 $4N+1$ 쉬프트 레지스터에서 제 $4N+2$ 쉬프트 레지스터로 공급되는 스타트 펄스를 변경함으로써 게이트 신호를 순차적으로 게이트 라인들에 공급하거나 동일한 게이트 신호를 인접한 2개의 게이트 라인들에 순차적으로 공급하게 된다. 따라서, 본 발명은 사용자의 조작에 따라 화상표시부에 표시되는 데이터의 해상도를 고 해상도 및 저해상도로 변경하여 액정표시장치의 소비전력을 감소시킬 수 있다.

또한, 본 발명은 쉬프트 레지스터 어레이를 구성하는 트랜지스터를 CMOS 대신에 PMOS 또는 NMOS로 구성함으로써 공정을 단순화시킬 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

게이트 라인들과 데이터 라인들이 매트릭스 형태로 형성된 액정패널과,

상기 액정패널에 표시되는 데이터의 해상도를 변경하기 위한 모드 변경신호를 생성하고 스타트 펄스를 생성하는 타이밍 컨트롤러와,

상기 모드 변경신호에 따라 다수의 클럭신호를 생성하는 클럭 발생기와,

$4N+1$ (단, N 은 양의 정수) 번째 쉬프트 레지스터, $4N+2$ 번째 쉬프트 레지스터, $4N+3$ 번째 쉬프트 레지스터 및 $4N+4$ 번째 쉬프트 레지스터를 포함하여 상기 다수의 클럭신호에 따라 상기 스타트 펄스를 쉬프트시켜 게이트 신호를 생성하여 상기 게이트 라인들에 공급하는 쉬프트 레지스터 어레이와,

상기 다수의 클럭신호에 따라 상기 스타트 펄스 또는 N 번째 쉬프트 레지스터의 출력신호를 선택적으로 $N+1$ 번째 쉬프트 레지스터에 공급하기 위한 스위칭 어레이를 구비하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 2.

제 1 항에 있어서,

상기 타이밍 컨트롤러는 사용자의 조작에 의한 조작신호를 검출하여 제 1 모드 변경신호 및 제 2 모드 변경신호 중 어느 하나를 상기 클럭 발생기에 공급하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 3.

제 2 항에 있어서,

상기 클럭 발생기는,

상기 제 1 모드 변경신호에 응답하여 소정 주기를 가지는 제 1 클럭신호와,

상기 제 1 클럭신호와 반전되는 제 2 클럭신호와,

상기 제 1 클럭신호와 동일한 제 3 클럭신호와,

상기 제 2 클럭신호와 동일한 제 4 클럭신호를 생성하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 4.

제 3 항에 있어서,

상기 클럭 발생기는,

상기 제 2 모드 변경신호에 응답하여 상기 제 3 클럭신호를 상기 제 2 클럭신호와 동일하도록 반전시키고,

상기 제 4 클럭신호를 상기 제 1 클럭신호와 동일하도록 반전시키는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 5.

제 4 항에 있어서,

외부 공급전압 및 상기 제 1 내지 제 4 클럭신호들 각각이 공급되는 신호라인군을 더 구비하고;

$4N+1$ 번째 쉬프트 레지스터는 상기 스타트 펄스를 상기 제 1 및 제 2 클럭신호에 따라 쉬프트시키고;

$4N+2$ 번째 쉬프트 레지스터는 상기 스위칭 어레이를 경유하여 공급되는 상기 스타트 펄스 또는 상기 $4N+1$ 쉬프트 레지스터의 출력신호를 상기 제 3 및 제 4 클럭신호에 따라 쉬프트시키고;

4N+3 번째 쉬프트 레지스터는 상기 4N+2 번째 쉬프트 레지스터의 출력신호를 상기 제 3 및 제 4 클럭신호에 따라 쉬프트시키며;

4N+4 번째 쉬프트 레지스터는 상기 스위칭 어레이를 경유하여 공급되는 상기 4N+2 번째 쉬프트 레지스터의 출력신호 또는 상기 4N+3 번째 쉬프트 레지스터의 출력신호를 상기 제 1 및 제 2 클럭신호에 따라 쉬프트시키는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 6.

제 5 항에 있어서,

상기 스위칭 어레이는,

상기 4N+1 번째 쉬프트 레지스터의 입력단자 및 출력단자와 상기 4N+2 번째 쉬프트 레지스터의 입력단자 사이에 접속되는 제 1 스위칭 회로와,

상기 4N+3 번째 쉬프트 레지스터의 입력단자 및 출력단자와 상기 4N+4 번째 쉬프트 레지스터의 입력단자 사이에 접속되는 제 2 스위칭 회로를 구비하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 7.

제 6 항에 있어서,

상기 제 1 스위칭 회로는,

상기 4N+1 번째 쉬프트 레지스터의 입력단자에 접속되어 상기 제 2 클럭신호에 의해 구동되는 제 1 스위치와,

상기 제 1 스위치와 상기 4N+2 번째 쉬프트 레지스터의 입력단자 사이에 접속되어 상기 제 3 클럭신호에 의해 구동되는 제 3 스위치와,

상기 제 1 스위치와 제 3 스위치 사이의 제 1 노드와 상기 4N+1 번째 쉬프트 레지스터의 출력단자 사이에 접속되어 상기 제 1 클럭신호에 의해 구동되는 제 2 스위치와,

상기 제 3 스위치와 상기 4N+2 번째 쉬프트 레지스터의 입력단자 사이의 제 2 노드와 상기 신호라인군에 포함된 외부 공급전압라인 사이에 접속되어 상기 제 4 클럭신호에 의해 구동되는 제 4 스위치를 구비하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 8.

제 7 항에 있어서,

상기 제 1 내지 제 4 스위치들 각각은 상기 트랜지스터는 P 타입 트랜지스터 또는 N 타입 트랜지스터를 포함하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 9.

제 6 항 또는 제 7 항에 있어서,

상기 4N+2 번째 쉬프트 레지스터의 출력단자와 상기 4N+3 번째 쉬프트 레지스터의 입력단자가 접속되고;

상기 제 2 스위칭 회로는,

상기 4N+3 번째 쉬프트 레지스터의 입력단자와 상기 4N+4 번째 쉬프트 레지스터의 입력단자 사이에 접속되어 상기 제 4 클럭신호에 의해 구동되는 제 5 스위치와;

상기 제 5 스위치와 상기 4N+4 번째 쉬프트 레지스터의 입력단자 사이에 접속되어 상기 제 1 클럭신호에 의해 구동되는 제 7 스위치와,

상기 제 5 스위치와 제 7 스위치 사이의 제 3 노드와 상기 4N+3 번째 쉬프트 레지스터의 출력단자 사이에 접속되어 상기 제 3 클럭신호에 의해 구동되는 제 6 스위치와,

상기 제 7 스위치와 상기 4N+4 번째 쉬프트 레지스터의 입력단자 사이의 제 4 노드와 상기 외부 공급전압라인 사이에 접속되어 상기 제 2 클럭신호에 의해 구동되는 제 8 스위치를 구비하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 10.

제 9 항에 있어서,

상기 제 5 내지 제 8 스위치들 각각은 상기 트랜지스터는 P 타입 트랜지스터 또는 N 타입 트랜지스터를 포함하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 11.

제 7 항에 있어서,

상기 제 1 스위칭 회로는,

상기 제 1 모드 변경신호에 의한 상기 제 1 내지 제 4 클럭신호에 응답하여 상기 4N+1 번째 쉬프트 레지스터의 입력단자에 공급되는 상기 스타트 펄스가 상기 4N+2 번째 쉬프트 레지스터에 공급되는 것을 차단하고,

상기 4N+1 번째 쉬프트 레지스터의 출력단자로부터의 출력신호를 상기 4N+2 번째 쉬프트 레지스터의 입력단자로 절환하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 12.

제 9 항에 있어서,

상기 제 2 스위칭 회로는,

상기 제 1 모드 변경신호에 의한 상기 제 1 내지 제 4 클럭신호에 응답하여 상기 4N+3 번째 쉬프트 레지스터로부터의 출력신호가 상기 4N+4 번째 쉬프트 레지스터에 공급되는 것을 차단하고,

상기 4N+3 번째 쉬프트 레지스터의 출력단자로부터 출력되는 출력신호를 상기 4N+4 번째 쉬프트 레지스터의 입력단자로 절환하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 13.

제 7 항에 있어서,

상기 제 1 스위칭 회로는,

상기 제 2 모드 변경신호에 의한 상기 제 1 내지 제 4 클럭신호에 응답하여 상기 $4N+1$ 번째 쉬프트 레지스터의 입력단자에 공급되는 상기 스타트 펄스를 상기 $4N+2$ 번째 쉬프트 레지스터의 입력단자로 절환하고,

상기 $4N+1$ 번째 쉬프트 레지스터의 출력단자로부터 출력되는 출력신호가 상기 $4N+2$ 번째 쉬프트 레지스터의 입력단자로 공급되는 것을 차단하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 14.

제 9 항에 있어서,

상기 제 2 스위칭 회로는,

상기 제 2 모드 변경신호에 의한 상기 제 1 내지 제 4 클럭신호에 응답하여 상기 $4N+2$ 번째 쉬프트 레지스터로부터의 출력신호를 상기 $4N+4$ 번째 쉬프트 레지스터의 입력단자로 절환하고,

상기 $4N+3$ 번째 쉬프트 레지스터의 출력단자로부터 출력되는 출력신호가 상기 $4N+4$ 번째 쉬프트 레지스터의 입력단자로 공급되는 것을 차단하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 15.

제 5 항에 있어서,

상기 쉬프트 레지스터 어레이는 상기 제 1 모드 변경신호에 의한 상기 제 1 내지 제 4 클럭신호에 따라 상기 게이트 라인들에 상기 게이트 신호를 순차적으로 공급하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 16.

제 5 항에 있어서,

상기 쉬프트 레지스터 어레이는 상기 제 2 모드 변경신호에 의한 상기 제 1 내지 제 4 클럭신호에 따라 상기 인접한 2개의 게이트 라인들 단위로 동일한 상기 게이트 신호를 순차적으로 공급하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 17.

게이트 라인들과 데이터 라인들이 매트릭스 형태로 형성된 액정패널과 상기 게이트 라인들에 게이트 신호를 공급하기 위한 제 1 내지 제 N (단, N 은 양의 정수) 쉬프트 레지스터를 포함하는 쉬프트 레지스터 어레이를 마련하는 제 1 단계와,

상기 액정패널에 표시되는 데이터의 해상도를 변경하기 위한 모드 변경신호를 생성함과 아울러 스타트 펄스를 생성하는 제 2 단계와,

클럭 발생기를 이용하여 상기 모드 변경신호에 따라 다수의 클럭신호를 생성하는 제 3 단계와,

상기 제 1 내지 제 N 쉬프트 레지스터를 이용하여 상기 다수의 클럭신호에 따라 선택적으로 공급되는 상기 스타트 펄스를 상기 다수의 클럭신호에 따라 쉬프트시켜 게이트 신호를 생성하여 상기 게이트 라인들에 공급하는 제 4 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 18.

제 17 항에 있어서,

상기 제 2 단계는,

사용자의 조작에 의한 조작신호를 검출하여 제 1 모드 변경신호를 생성하여 상기 클럭 발생기에 공급하는 단계와,

사용자의 조작에 의한 조작신호를 검출하여 제 2 모드 변경신호를 생성하여 상기 클럭 발생기에 공급하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 19.

제 18 항에 있어서,

상기 클럭 발생기는,

상기 제 1 모드 변경신호에 응답하여 소정 주기를 가지는 제 1 클럭신호와,

상기 제 1 클럭신호와 반전되는 제 2 클럭신호와,

상기 제 1 클럭신호와 동일한 제 3 클럭신호와,

상기 제 2 클럭신호와 동일한 제 4 클럭신호를 생성하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 20.

제 19 항에 있어서,

상기 클럭 발생기는,

상기 제 2 모드 변경신호에 응답하여 상기 제 3 클럭신호를 상기 제 2 클럭신호와 동일하도록 반전시키고,

상기 제 4 클럭신호를 상기 제 1 클럭신호와 동일하도록 반전시키는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 21.

제 20 항에 있어서,

상기 제 4 단계는,

상기 제 1 모드 변경신호에 의한 상기 제 1 내지 제 4 클럭신호에 응답하여 $4N+1$ 번째 쉬프트 레지스터의 입력단자에 공급되는 상기 스타트 펄스가 $4N+2$ 번째 쉬프트 레지스터에 공급되는 것을 차단하는 단계와,

상기 4N+1 번째 쉬프트 레지스터의 출력단자로부터 출력되는 출력신호를 상기 4N+2 번째 쉬프트 레지스터의 입력단자로 절환하는 단계와,

상기 제 1 내지 제 4 클럭신호에 응답하여 4N+3 번째 쉬프트 레지스터의 입력단자에 입력되는 상기 4N+2 번째 쉬프트 레지스터의 출력신호가 4N+4 번째 쉬프트 레지스터에 공급되는 것을 차단하는 단계와,

상기 4N+3 번째 쉬프트 레지스터의 출력단자로부터 출력되는 출력신호를 상기 4N+4 번째 쉬프트 레지스터의 입력단자로 절환하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 22.

제 20 항 또는 제 21 항에 있어서,

상기 제 4 단계는,

상기 제 2 모드 변경신호에 의한 상기 제 1 내지 제 4 클럭신호에 응답하여 상기 4N+1 번째 쉬프트 레지스터의 입력단자에 공급되는 상기 스타트 펄스를 상기 4N+2 번째 쉬프트 레지스터의 입력단자로 절환하는 단계와,

상기 4N+1 번째 쉬프트 레지스터의 출력단자로부터 출력되는 출력신호가 상기 4N+2 번째 쉬프트 레지스터의 입력단자로 공급되는 것을 차단하는 단계와,

상기 제 1 내지 제 4 클럭신호에 응답하여 상기 4N+3 번째 쉬프트 레지스터의 입력단자에 입력되는 상기 4N+2 번째 쉬프트 레지스터의 출력신호를 상기 4N+4 번째 쉬프트 레지스터의 입력단자로 절환하는 단계와,

상기 4N+3 번째 쉬프트 레지스터의 출력단자로부터 출력되는 출력신호가 상기 제 4N+4 번째 쉬프트 레지스터의 입력단자로 공급되는 것을 차단하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 23.

제 19 항에 있어서,

상기 쉬프트 레지스터 어레이는 상기 제 1 모드 변경신호에 의한 상기 제 1 내지 제 4 클럭신호에 따라 상기 게이트 라인들에 상기 게이트 신호를 순차적으로 공급하는 것을 특징으로 하는 액정표시장치의 구동방법.

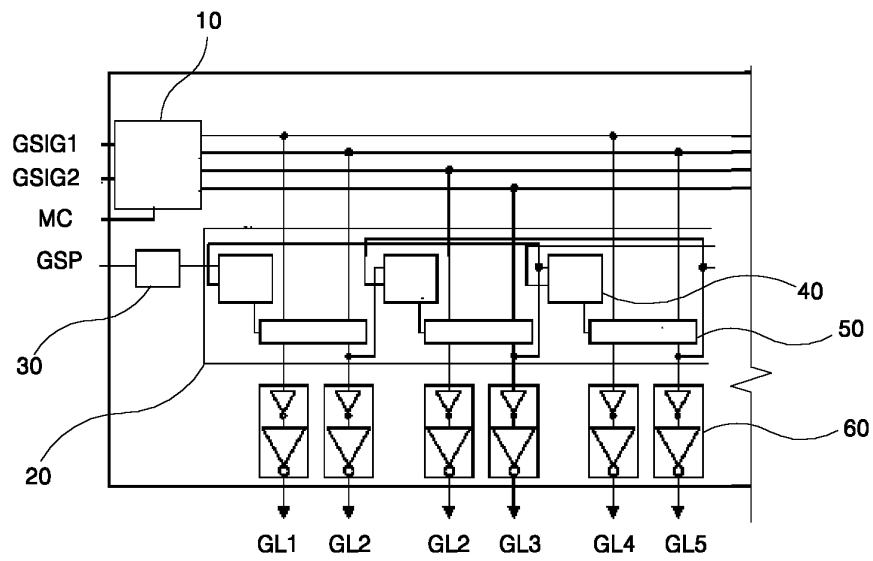
청구항 24.

제 17 항에 있어서,

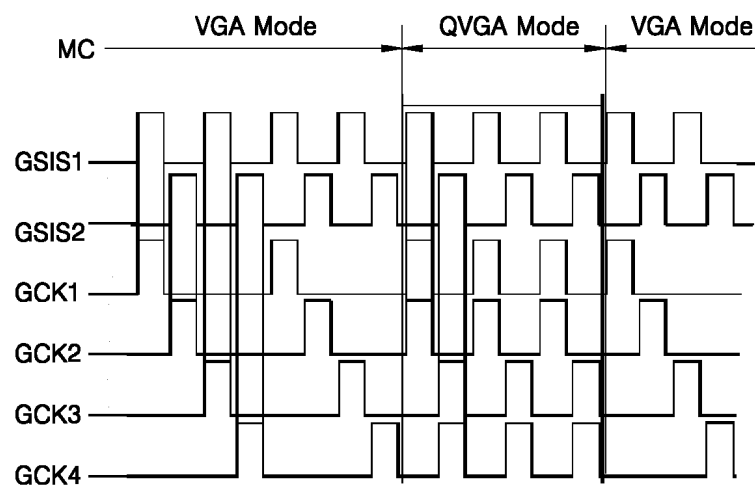
상기 쉬프트 레지스터 어레이는 상기 제 2 모드 변경신호에 의한 상기 제 1 내지 제 4 클럭신호에 따라 상기 인접한 2개의 게이트 라인들 단위로 동일한 상기 게이트 신호를 순차적으로 공급하는 것을 특징으로 하는 액정표시장치의 구동방법.

도면

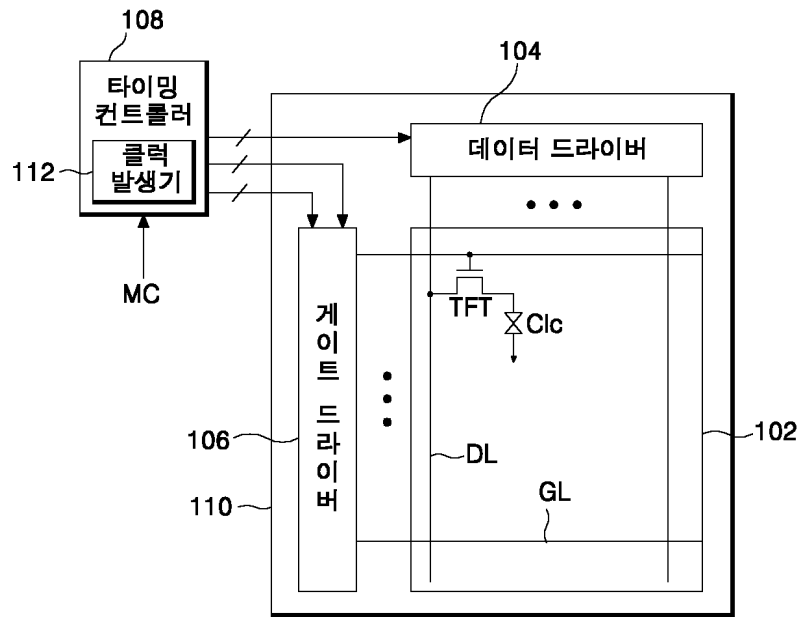
도면1



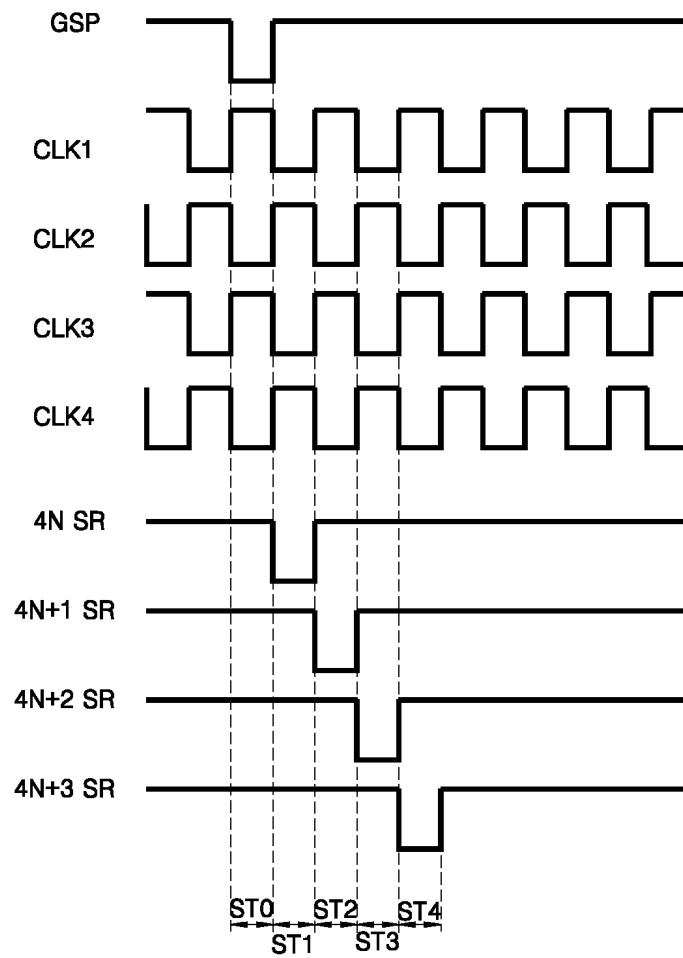
도면2



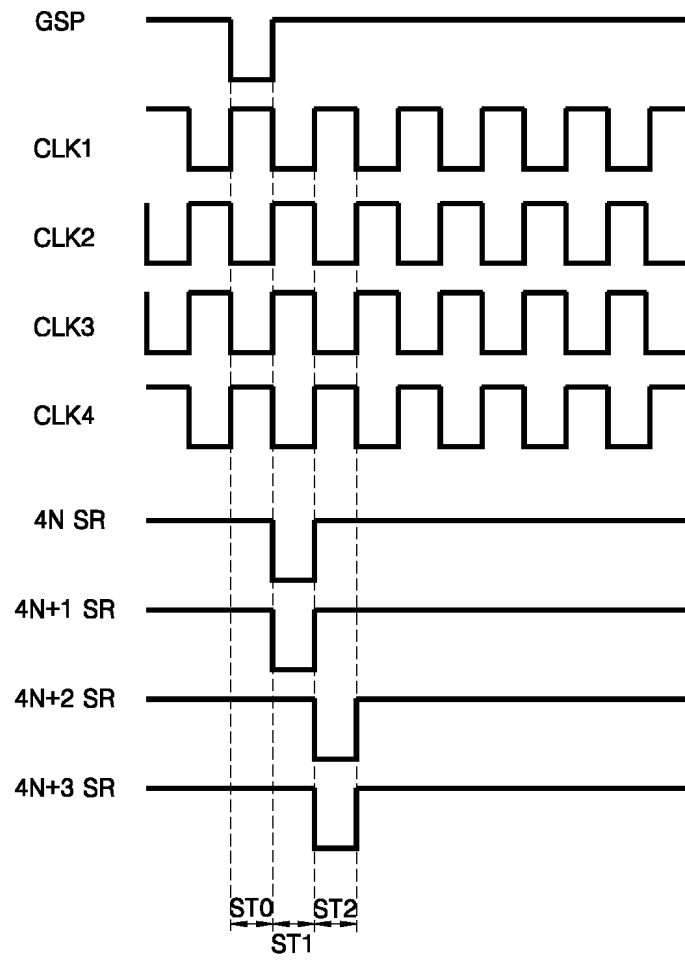
도면3



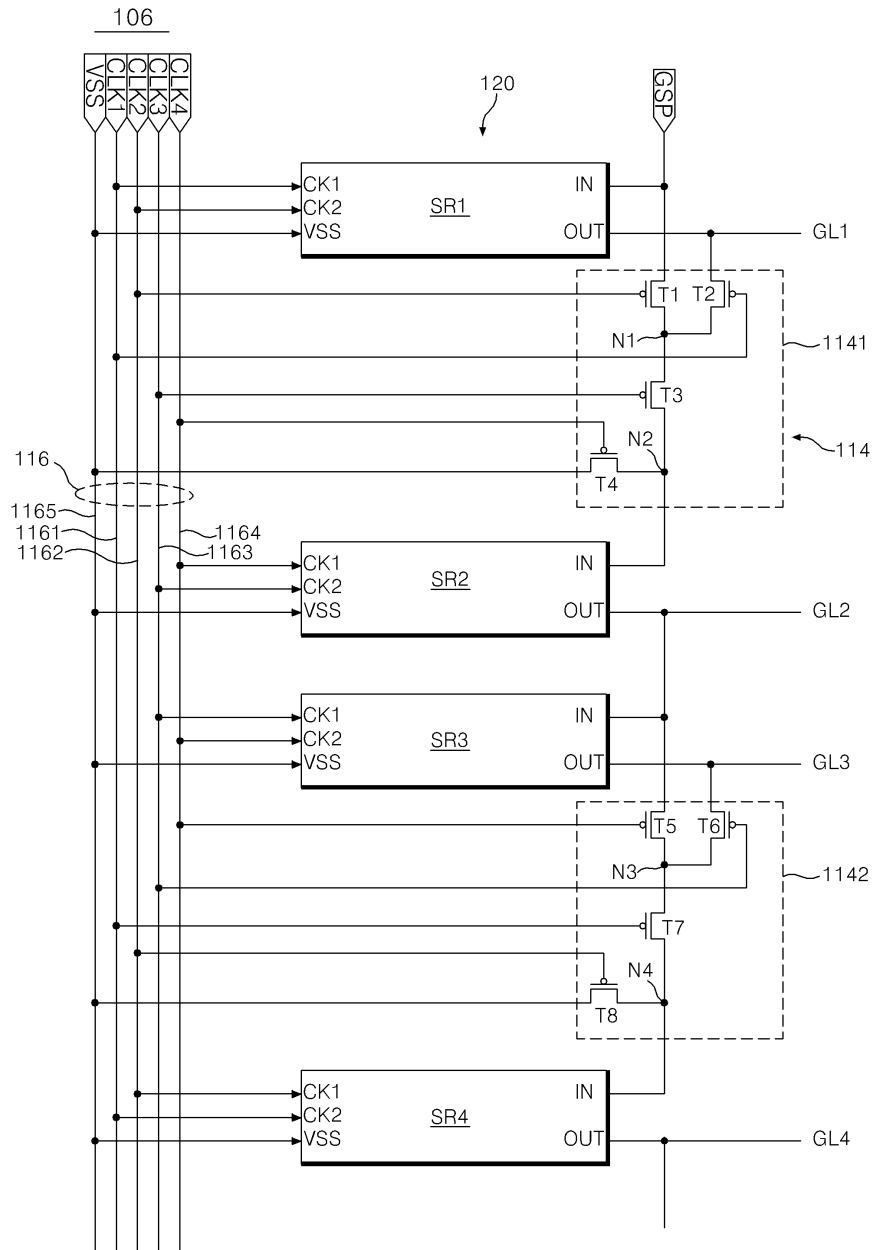
도면4



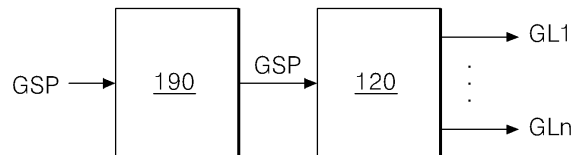
도면5



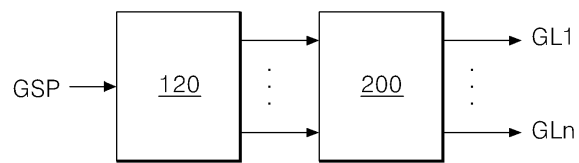
도면6



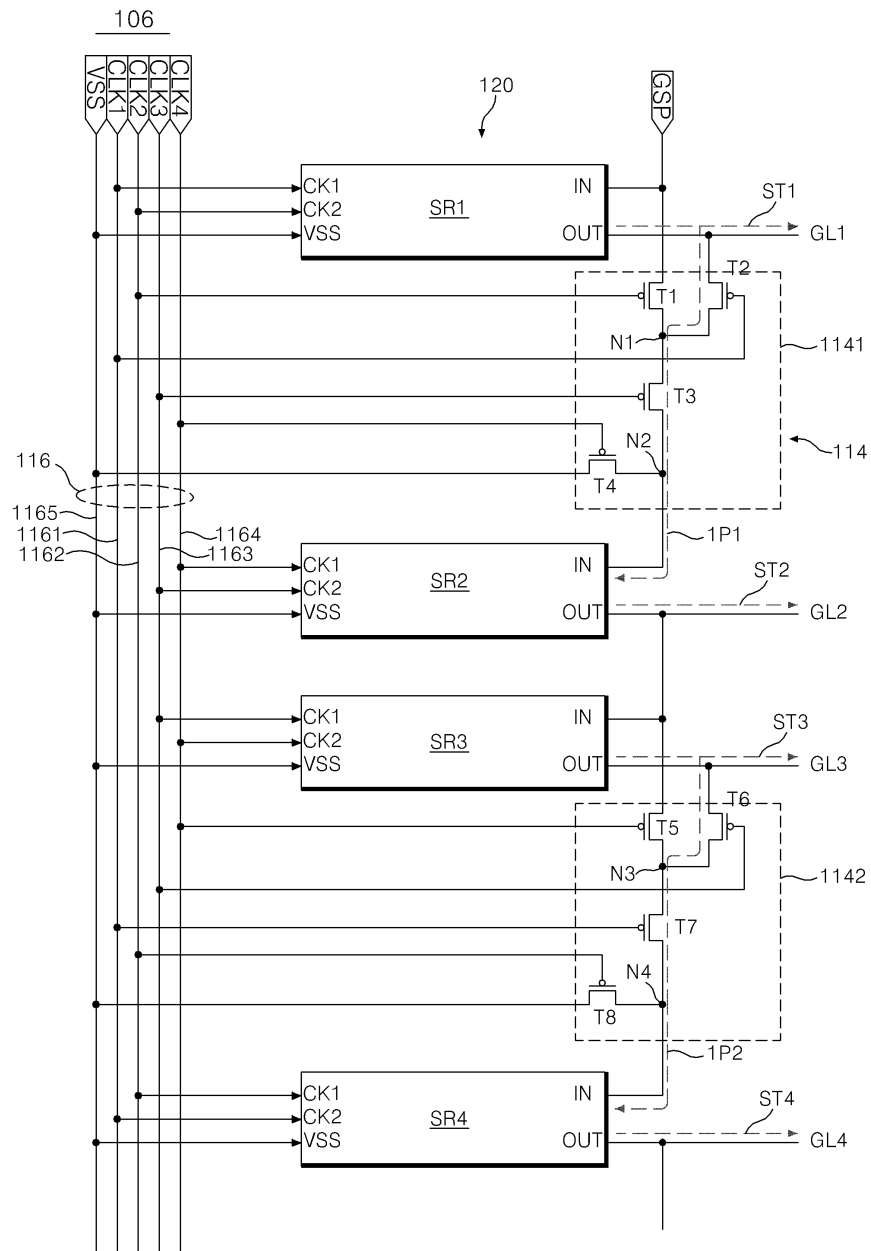
도면7a



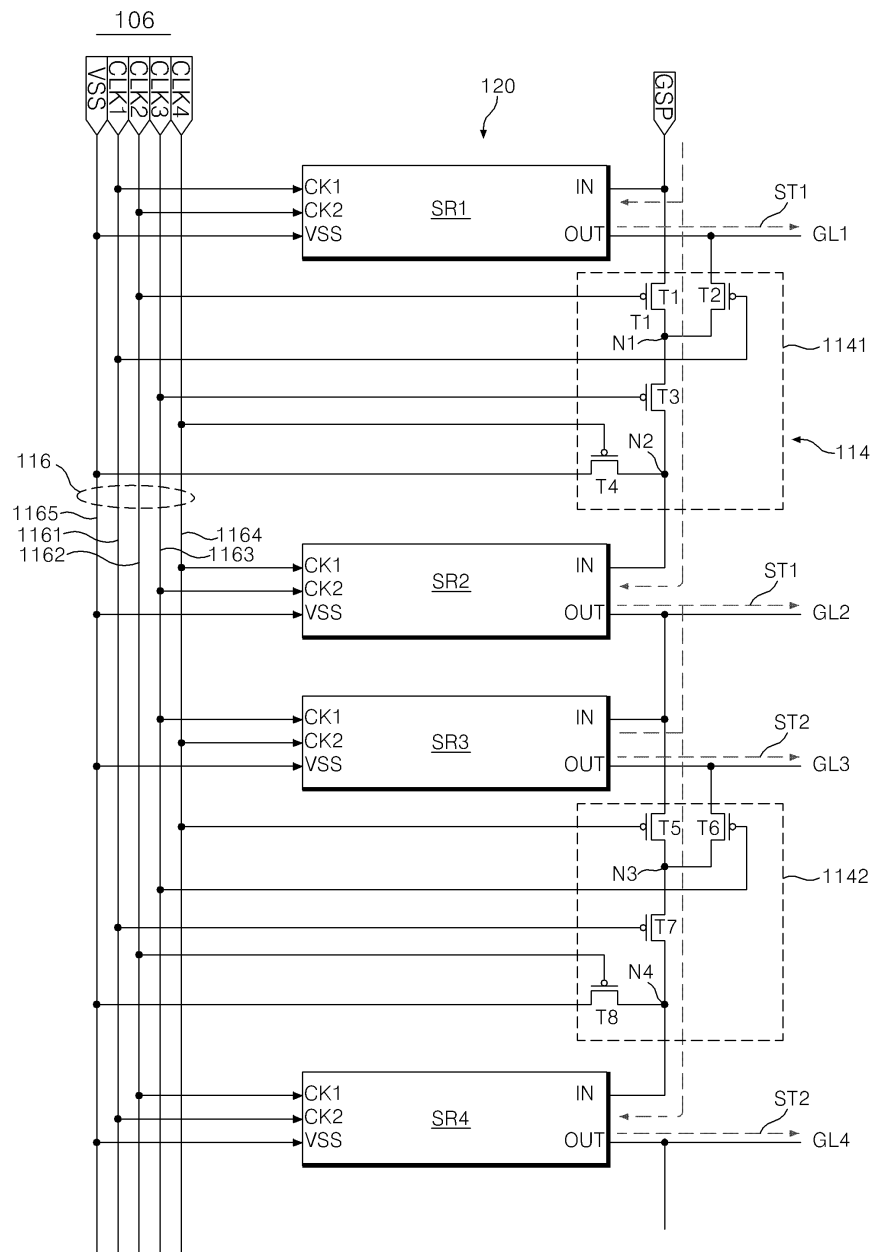
도면7b



도면8



도면9



本发明涉及一种驱动装置和液晶显示装置的驱动方法，以便仅使用P或N型金属氧化物半导体（MOS）的薄膜晶体管来驱动液晶显示装置的分辨率的多。根据本发明的用于液晶显示装置的驱动装置包括一个模式改变信号到栅极线和数据线，以改变液晶面板和液晶面板上显示的数据的分辨率以矩阵形式形成一种时钟发生器，用于根据模式改变信号产生多个时钟信号， $4N + 1$ （N是正整数）移位寄存器， $4N + 2 < 4N + 1$ 。 $4N + 3$ 第三移位寄存器和第 $4N + 4$ 第四移位寄存器，用于根据多个时钟信号移位起始脉冲以产生栅极信号，并且开关阵列用于根据多个时钟信号选择性地将起始脉冲或第N移位寄存器的输出信号提供给第（N + 1）移位寄存器。根据具有这种配置的本发明，根据用户操作，在图像显示单元上显示的数据的分辨率被改变为高分辨率和低分辨率，从而降低了液晶显示器的功耗。有。度

