

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁷ G02F 1/136	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년10월26일 10-0524250 2005년10월20일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2000-0063203 2000년10월26일	(65) 공개번호 (43) 공개일자	10-2001-0040183 2001년05월15일
------------------------	--------------------------------	------------------------	--------------------------------

(30) 우선권주장 99-304682 1999년10월26일 일본(JP)

(73) 특허권자 엔이씨 엘씨디 테크놀로지스, 엘티디.
일본 가나가와켄 가와사끼시 나카하라구 시모누마베 1753

(72) 발명자 이히다사또시
일본도오쿄도미나토구시바5초메7방1고닛뽕덴끼가부시끼가이샤나이

야마구찌히로따까
일본도오쿄도미나토구시바5초메7방1고닛뽕덴끼가부시끼가이샤나이

다나카히로아끼
일본도오쿄도미나토구시바5초메7방1고닛뽕덴끼가부시끼가이샤나이

하야세다까스께
일본도오쿄도미나토구시바5초메7방1고닛뽕덴끼가부시끼가이샤나이

가노히로시
일본도오쿄도미나토구시바5초메7방1고닛뽕덴끼가부시끼가이샤나이

가네꼬와카히꼬
일본도오쿄도미나토구시바5초메7방1고닛뽕덴끼가부시끼가이샤나이

미야하라타에
일본도오쿄도미나토구시바5초메7방1고닛뽕덴끼가부시끼가이샤나이

사카모또미찌아끼
일본도오쿄도미나토구시바5초메7방1고닛뽕덴끼가부시끼가이샤나이

나카다신이찌
일본가고시마켄이즈미시오노하라마찌2080가고시마닛뽕덴끼가부시끼가이샤나이

(74) 대리인 특허법인코리아나

심사관 : 임동재

(54) 액티브 매트릭스 액정 표시 패널

요약

본 발명은 포토리소그래피 단계의 수를 감소시키기 위해 게이트 전극 (32) 과 화소 전극 (10) 을 공통층으로 형성하는 단계를 포함하는 액티브 매트릭스 LCD 장치에 사용하는 액티브 매트릭스 LCD 패널의 제조방법에 관한 것이다. 공통층은 투명 도전막 (32a) 과 금속막 (32b) 을 포함하고, TFT용 비정질 실리콘막 (35) 을 형성하기 전에 금속막을 에칭함으로써 화소 전극 (10) 이 얻어진다.

대표도

도 3a

색인어

인-플레인(in-plane) 모드, 포토리소그래피, a-Si 액티브층, 패시베이션막

명세서

도면의 간단한 설명

도 1 은 액티브 매트릭스 LCD 장치에서 사용된 통상적인 TN-모드 액티브 매트릭스 LCD 패널의 회로도.
 도 2a 내지 도 2d 는 그 제조 단계들을 연속적으로 도시하는 종래의 액티브 매트릭스 LCD 패널의 단면도.
 도 3a 내지 도 3d 는 그 제조 단계들을 연속적으로 도시하는 본 발명의 제 1 실시예에 의한 액티브 매트릭스 LCD 패널의 정면도.
 도 4a 내지 도 4d 는 각각 도 3a 내지 도 3d에서 C-C선을 따라 취해진 단면도.
 도 5a 와 도 5b 는 제 1 실시예의 액티브 매트릭스 LCD 패널 부분의 상세 단면도.
 도 6a 내지 도 6d 는 그 제조 단계들을 연속적으로 도시하는 본 발명의 제 2 실시예에 의한 액티브 매트릭스 LCD 패널의 단면도.
 도 7 은 본 발명의 제 3 실시예에 의한 인-플레인 스위칭(IPS) 모드 액티브 매트릭스 LCD 패널의 회로도.
 도 8a 내지 도 8d 는 그 제조 단계들을 연속적으로 도시하는 본 발명의 제 3 실시예의 액티브 매트릭스 LCD 패널의 정면도.
 도 9a 내지 도 9d 는 각각 도 8a 내지 도 8d 에서의 G-G선을 따라 취해진 단면도.
 도 10a 와 도 10b 는 제 3 실시예의 액티브 매트릭스 LCD 패널 부분의 상세 단면도.
 도 11a 내지 도 11d 는 그 제조 단계들을 연속적으로 도시하는 본 발명의 제 4 실시예에 의한 액티브 매트릭스 LCD 패널의 평면도.
 도 12a 내지 도 12d 는 각각 도 11a 내지 도 11d 에서의 H-H선을 따라 취해진 단면도.
 도 13a 와 도 13b 는 제 4 실시예의 액티브 매트릭스 LCD 패널 부분의 상세 단면도.
 도 14a 와 도 14b 는 도 2a 내지 도 2d 에 도시된 공정으로 제조된 종래의 액티브 매트릭스 LCD 패널 부분의 상세 단면도.

도 15a 와 도 15b 는 스위칭 모드의 종래의 액티브 매트릭스 LCD 패널 부분의 상세 단면도.

※ 도면의 주요부분에 대한 부호의 설명 ※

10 : 화소 전극 17 : TFT

31 : 투명 절연 기판 32 : 게이트 전극

32a : 투명 도전막 32b : 금속막

34 : 게이트 절연막 35 : 비정질 실리콘(a-Si)층

37 : 드레인 전극 38 : 소스 전극

39 : 패시베이션층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액티브 매트릭스 LCD 패널과 그 제조방법에 관한 것이다. 좀더 구체적으로, 본 발명은 채널 보호막이 비정질 실리콘(a-Si) 액티브층의 표면 상에 형성되는 채널 보호형 액티브 매트릭스 LCD 패널과 그 제조방법에 관한 것이다.

박막 트랜지스터(TFT)와 같은 능동 소자를 포함하는 액티브 매트릭스 모드 액정 표시(LCD) 장치는 적은 두께와 경량이라는 잇점을 가지고 있고, 고품질 평판 패널 표시 유닛으로 널리 사용되어 왔다. 일반적으로, LCD 장치는 각각 투명 전극을 장착하고 있는 액티브 매트릭스 LCD 패널과 대향 패널 사이에 개재된 액정층이 투명 전극들 사이에 인가되는 전압에 의해 구동되는 종전계(트위스티드 네마틱: TN) 모드이거나, 양 패널의 표면에 평행한 횡전계를 생성하기 위해 액티브 매트릭스 LCD 패널 상에 형성된 빗 형상의 전극에 의해 액정이 구동되는 인-플레인 스위칭 모드에 있다. 어느 모드에 있든 지간에, LCD 장치에서는 저렴한 가격을 실현하기 위해 액티브 매트릭스 LCD 패널의 제조공정을 간략화하려는 시도가 이루어져 왔다.

통상적인 TN모드 액티브 매트릭스 LCD 패널을 도시하는 도 1 을 참조하면, 일반적으로 이것은, 서로 수직인 방향으로 각각 연장하는 게이트 배선 (12) 과 드레인 배선 (14), 이들 배선들에 의해 둘러싸인 화소 영역에 각각 형성된 화소 전극 (10), 및 게이트 배선 (12) 과 드레인 배선 (14) 사이의 교차부 근처에 각각 형성된 박막 트랜지스터(TFT)를 구비하고 있다. 각 TFT의 소스는 게이트 스토리지 전극 (21) 을 가진 게이트 스토리지 커패시터를 경유하여 다음 행의 게이트 배선에 결합되어 있고 액정층에 의해 형성된 화소 커패시터와 평행하게 접속되어 있다. 각 게이트 배선 (12) 과 마찬가지로 각 드레인 배선 (14) 은, 전극 패드 즉, 게이트 단자 (15) 또는 드레인 단자 (16) 근처에 배치된 제 1 및 제 2 TFT (41, 42) 를 포함하는 보호 장치 (18) 에 의해 보호된다. 채널 보호막은 그것의 역할을 확실히 수행하기 위해 박막 트랜지스터 (17) 의 표면 상에 형성된다. 소정의 방향으로 액정층을 정렬하기 위한 배향막(도시되지 않음)이 액티브 매트릭스 LCD 패널의 각 박막 트랜지스터 (17) 와 화소 전극 (10) 에 형성되어 있다. 액정층은 액티브 매트릭스 LCD 패널과 제어 패널 사이에 끼워져 있고 그 위에, 액티브 매트릭스 LCD 장치를 구현하기 위해 컬러 필터, 공통 전극, 배향막 등이 형성되어 있다.

이러한 액티브 매트릭스 LCD 패널의 일반적인 제조방법을 하기에 설명한다. 첫째, ITO(인듐-주석 산화물)막이 투명 절연 기판 상에 배치되어 형성되고, 레지스트 패턴이 제 1 마스크 패턴(또는 마스크 패턴을 사용하는 제 1 포토리소그래피 단계)을 사용하여 ITO막 상에 형성된다. ITO막은 화소 전극들을 형성하기 위해 레지스트 패턴을 사용하여 선택적으로 에칭된다. 그 다음, 게이트 전극으로서 형성될 Cr, Mo 또는 Al로 이루어진 금속막을 투명 절연 기판 상으로 증착시킴으로써 형성된다. 그 다음, 또다른 레지스트 패턴이 제 2 포토리소그래피 기술을 사용하여 금속막 상에 형성되어, 게이트 전극을 형성하기 위해 금속막을 선택적으로 에칭한다.

계속해서, SiNx로 이루어진 게이트 절연막이 게이트 전극들을 피복하기 위해 증착시켜 형성되고, 제 3 포토리소그래피 단계를 사용하여 그 내부에 개구를 형성하기 위해 그것의 에칭이 선택적으로 행해진다. 그 다음, a-Si층이 증착에 의해 그

위에 형성된다. 그 다음, a-Si층이 복수의 섬형 a-Si층을 형성하기 위해 제 4 포토리소그래피 단계를 사용하여 선택적으로 에칭되고, SiNx로 이루어진 채널 보호막이 증착에 의해 섬형 a-Si층 상에 형성된다. 제 5 포토리소그래피 공정을 사용하여, 채널 보호막이 섬형 a-Si층들 상에 채널 보호막 부분을 잔류시키기 위해 선택적으로 에칭된다. 그 다음, a-Si층과의 음 콘택을 얻기 위해 불순물로 도핑된 n+ 형 a-Si층이 그 위에 증착되고, Cr, Mo 또는 Al과 같은 금속이 계속해서 그 위에 증착된다. 그 다음, 제 6 포토리소그래피 단계가 TFT의 소스/드레인 전극들을 형성하기 위해 행해진다.

액티브 매트릭스 LCD 패널의 제조 공정에서, 액티브 매트릭스 LCD 패널을 완성하기 위해 총 여섯개의 마스크 패턴을 사용하는 6개의 포토리소그래피 단계가 행해진다. 액티브 매트릭스 LCD 패널 제조 공정의 간략화 측면에서, 제조 공정에서의 많은 포토리소그래피 단계를 감소시키는 것들이 제안되어져 왔다.

예컨대, 일본 특개소 63-218925호는 포토리소그래피 단계의 수를 감소시키는 제조 공정을 기술하고 있고, 이는 하기에 단면으로 TN모드 액티브 매트릭스 LCD 패널을 제조하는 방법의 단계들을 개략적으로 예시하는 도 2a 내지 도 2d 를 참조하여 설명되어 있다. 도면의 좌측은 게이트 단자들이 증착되는 패널의 주변 영역을 도시하고, 그 중심은 화소 영역에 증착된 단일 화소를 나타낸다.

위에서 언급한 공보에 기술된 액티브 매트릭스 LCD 패널에서, 먼저 ITO막과 Cr, Mo 또는 Al로 이루어진 금속막이 스퍼터링 기술에 의해 도 2a에 예시된 바와 같이, 투명 절연 기판 (31) 상에 연속적으로 증착되고, 레지스트 패턴이 제 1 포토리소그래피 단계를 사용하여 그 위에 형성된다. ITO막과 금속막이 게이트 전극 (32) 과 화소 전극 (10) 을 동시에 형성하기 위해 레지스트 패턴을 사용하여 선택적으로 에칭된다.

그 다음, 도 2b 에 예시된 바와 같이 SiNx로 이루어진 게이트 절연막 (34), 진성 또는 도핑되지 않은 a-Si층 (35), 및 SiNx로 이루어진 채널 보호막 (25) 이 연속적으로 증착되고, 채널 보호막 (25) 의 선택적 에칭에 의하여, 도핑되지 않은 a-Si층 (35) 의 채널 영역 상에 채널 보호막 (25)의 부분을 잔류시킨다.

다음에는, 도 2c 에 예시된 바와 같이, 불순물로 도핑된 n+ 형 a-Si로 이루어진 음 콘택층 (36) 이 그 위에 증착되고 음 콘택층 (36), 도핑되지 않은 a-Si층 (35), 게이트 절연막 (34) 및 상층 게이트 금속막 (32b) 이 화소 전극 (10) 과 게이트 전극 (32) 용 전극 패드를 노출시키기 위해 제 3 포토리소그래피 단계를 사용하여 함께 선택적으로 에칭된다.

그 다음, 도 2d 에 예시된 바와 같이 Al로 이루어진 소스/드레인 금속막이 증착되어 그 위에 형성된다. 그 다음에 소스/드레인 금속막과 채널 영역 위의 음 콘택층 (36) 이 제 4 포토리소그래피 단계를 사용하여 선택적으로 에칭되고, 소스/드레인 금속막이 특정 형태로 이루어져서, 액티브 매트릭스 LCD 패널의 제조를 완성하게 된다.

위 공보에서의 방법으로는, 4 개의 포토리소그래피 단계들을 이용하여 도핑되지 않은 a-Si층 (35) 위의 채널 영역에서 채널 보호막 (25) 이 형성되는 액티브 매트릭스 LCD 패널을 제조하는 것이 가능하다. 그러나, 음 콘택층 (36), 도핑되지 않은 a-Si층 (35), 게이트 절연막 (34) 및 상층 게이트 금속막 (32b) 이 채널 보호막 (25) 형성 후에, 도 2c 에 예시된 바와 같이 단일 단계에서 모두 선택적으로 에칭되어서, 도핑되지 않은 a-Si층 (35) 의 측면은 피복되지 않고 따라서 채널 보호막 (25) 에 의해 보호되지 않는다.

SiNx와 같은 치밀한 재료로 이루어진 채널 보호막 (25) 에 의해 보호되지 않는 도핑되지 않은 a-Si층 (35) 의 측면들은, 폴리이미드 배향막과 같은 성긴막만을 통하여 액정층으로부터 확산 또는 전계에 의하여 불순물의 침투를 받게 된다. 이는 도핑되지 않은 a-Si 액티브 층 (35) 에 형성된 소스/드레인 영역을 가지는 TFT의 특성을 크게 떨어뜨린다. 이러한 단점을 회피하기 위해, 현재의 액티브 매트릭스 LCD 패널에서는, 도 2d 에 예시된 단계 후에 도핑되지 않은 a-Si의 측면을 피복하도록 패시베이션막이 형성된다. 이러한 경우에, 패시베이션막을 통해 게이트 단자, 드레인 단자, 및 화소 전극을 노출시키기 위해 또다른(제 5) 포토리소그래피 단계가 패시베이션막에 행해져야 한다. 그러므로, 포토리소그래피 단계의 수는 5 이고, 포토리소그래피 단계수 감소는 제한된다.

발명이 이루고자 하는 기술적 과제

본 발명의 일차적인 목표는 이같은 문제들을 해결하고 포토리소그래피 단계수를 덜 사용하여 패시베이션막에 의해 a-Si층의 전체 표면을 피복할 수 있는 채널 보호형 액티브 매트릭스 LCD 패널을 제공하는 것이고, 또한 액티브 매트릭스 LCD 패널의 제조방법을 제공하는 것이다.

발명의 구성 및 작용

본 발명은 액티브 매트릭스 LCD 장치에 사용되는 액티브 매트릭스 LCD 패널을 제공하며, 이러한 액티브 매트릭스 LCD 장치는 투명 절연 기관, 상기 투명 절연 기관 상에 배치되고, 화소 전극 및 관련 TFT를 각각 포함하는 복수의 화소들, 상기 복수의 화소들을 피복하는 패시베이션층을 구비하며, 상기 TFT는 상기 투명 절연 기관 상에 연속적으로 형성된 투명 도전막과 금속막을 포함하는 게이트 전극, 상기 게이트 전극을 피복하는 게이트 절연막, 상기 게이트 절연막 상에 형성된 섬형 비정질 실리콘(a-Si)층, 및 소스 및 드레인 전극을 구비하며, 상기 패시베이션층은 상기 a-Si층의 측면과 상부면을 피복하고 그 내부에 개구를 구비하며, 상기 소스 및 드레인 전극은 상기 패시베이션층의 각 개구를 통해 상기 a-Si층과 접촉하고 있고, 상기 화소 전극은 상기 게이트 전극의 상기 투명 도전막을 갖는 공통층에 형성된 투명 도전막을 포함하며, 상기 소스 전극은 상기 패시베이션층의 개구를 통해 상기 화소 전극의 상기 투명 도전막과 접촉하고 있다.

본 발명의 액티브 매트릭스 LCD 패널에 의하면, a-Si층의 측면과 상부면을 피복하는 패시베이션막이 채널 보호층으로서의 기능을 하므로, 채널 보호형 LCD 패널의 제조 공정에서의 포토리소그래피 단계들의 수는 4로 줄어들 수 있고, 이는 액티브 매트릭스 LCD 패널의 제조 공정을 간략화시킨다.

또한, 본 발명은 다음의 연속적인 단계, 즉

연속적으로 투명 도전막과 그 위에 금속막을 증착시키고, 게이트 전극과 화소 전극을 형성하기 위해 제 1 마스크 패턴을 사용하여 제 1 포토리소그래피 단계에 의해 선택적으로 투명 도전막과 금속막을 에칭시키는 단계;

연속적으로 게이트 절연막과 그 위에 a-Si층을 증착시키고, 섬형 a-Si층과 게이트 절연막을 형성하기 위해 제 2 마스크 패턴을 사용하여 제 2 포토리소그래피 단계에 의해 선택적으로 게이트 절연막과 a-Si층을 에칭시키는 단계;

그 위에 패시베이션막을 증착시켜서, 섬형 a-Si층의 상부면과 측면을 피복하고, 그 패시베이션막의 내부에 개구를 형성하여 섬형 a-Si층과 화소 전극 부분을 노출시키도록 제 3 마스크 패턴을 사용하여 제 3 포토리소그래피 단계에 의해 선택적으로 패시베이션막을 에칭시키는 단계; 및

그 위에 전극막을 증착시키고, 섬형 a-Si층 및 화소 전극 부분과 접촉하는 전극을 형성시키기 위하여, 제 4 마스크 패턴을 사용하여 제 4 포토리소그래피 단계에 의해 선택적으로 전극막을 에칭시키는 단계; 를 포함하는 액티브 매트릭스 LCD 패널의 제조방법을 제공한다.

본 발명의 방법에 의하면, 포토리소그래피 단계의 수를 4 개로 감소시킬 수 있고, 이는 액티브 매트릭스 LCD 패널의 제조 공정을 간략화시킨다.

본 발명의 상술한 것과 다른 목적들, 특징들, 및 잇점들은 첨부 도면들을 참조하여 다음 설명으로부터 더 명백해질 것이다.

본 발명의 바람직한 실시예에 의한 액티브 매트릭스 LCD 패널의 제조방법은, 투명 전극막과 금속막을 투명 절연 기관 상에 연속적으로 증착시키는 단계; 투명 전극막과 금속막에 행해지는 제 1 포토리소그래피 단계를 사용하여 상부층과 하부층(가령, 도 4a에 도시된 32b와 32a)을 포함하는 게이트 전극과 화소 전극을 형성하는 단계; 상부층 게이트 전극 (32b) 상에 게이트 절연막(가령, 도 4b의 34)과 도핑되지 않은 a-Si 액티브층을 연속적으로 증착시키는 단계; 제 2 포토리소그래피 단계를 이용하여 소정의 형태로 구성하기 위해 게이트 절연막과 도핑되지 않은 a-Si층을 동시에 선택적으로 에칭하는 단계; 도핑되지 않은 a-Si층의 상부면과 측면을 피복하기 위해 전체 표면 상에 패시베이션막(가령, 도 4c의 39)을 증착시키고, 제 3 포토리소그래피 단계를 사용하여 특정 개구를 형성하기 위해 선택적으로 패시베이션막을 에칭시키는 단계; 그 위에 전극층(가령, 도 4d의 37과 38)을 증착시키는 단계; 및 증착 단계와 제 4 포토리소그래피 단계를 사용하여 상호연결 패턴을 형성하는 단계를 포함한다. 바람직한 제조 공정에서, 도핑되지 않은 a-Si층이 패시베이션막에 의해 안전하게 피복되는 채널 보호형 액티브 매트릭스 LCD 패널이 4 개의 포토리소그래피 단계를 사용하여 얻어진다.

이제, 동일한 구성 성분에 대하여는 동일한 참조 번호로 표시한 첨부 도면을 참조하여 본 발명을 좀더 구체적으로 설명한다.

(실시예 1)

본 발명의 제 1 실시예에 의한 액티브 매트릭스 LCD 패널은 도 1에 도시된 것과 유사한 회로 구성을 하고 있고, 도 1을 참조한 종래의 LCD 패널 설명이 여기서 참조로 설명된다. 본 실시예의 LCD 패널을 가진 LCD 장치는, 액티브 매트릭스

LCD 패널과 대향 패널 상에 형성된 배향막들 사이의 종전계에 의해 액정층이 구동되는 TN-모드 액티브 매트릭스 LCD 장치이다. LCD 패널은 도핑되지 않은 a-Si층이 그것의 측면과 상부면에서의 패시베이션막에 의해 피복되어 있는 채널 보호형이다.

이제, 본 예에 의한 액티브 매트릭스 LCD 패널의 제조방법을 도 3a 내지 도 3d와 도 4a 내지 도 4d 를 참조하여 설명하는데, 여기서 이들 도면들은 화소의 매트릭스 중 단일 화소를 나타낸다. 도 4a 내지 도 4d 각각은 또한 도면의 좌측에서 도 1에서의 A-A선을 따라 취해진 게이트 단자와 도면의 우측에서 도 1에서의 B-B선을 따라 취해진 드레인 단자를 도시하며, 그 중심은 단일 화소를 나타내고 있다.

먼저, 도 4a 에 예시된 바와 같이 투명 전극(ITO)막과 Cr, Ti, Mo, 또는 Al로 이루어진 금속막이 이러한 순서대로 순차적으로 유리로 제조된 투명 절연 기판 (31) 상에 증착된다. 예컨대, ITO막은 약 30 내지 100nm 범위의 두께로 증착되고, 금속막은 스퍼터링 기술을 이용하여 약 0.1 내지 0.3 μ m 범위의 두께로 증착된다. 그 다음, 도 3a 에 예시된 형상을 갖는 마스크 패턴을 이용하여 화소 전극 (10), 게이트 전극 (32), 및 게이트 배선 (12) 에 대한 영역을 피복하는 레지스트 패턴이 형성된다. 금속막과 ITO막이 습식 에칭과 레지스트 패턴을 이용하여 선택적으로 에칭된다.

그 다음, SiNx로 제조된 게이트 절연막 (34) 과 도핑되지 않은 a-Si 액티브 층 (35) 이, 플라즈마 보조 CVD 기술 등에 의해 투명 절연 기판 (31) 의 전체 표면 상에 연속적으로 형성된다. SiNx막의 두께는 약 0.3 내지 0.5 μ m 범위에 있는 것이 바람직하고, a-Si층의 두께는 0.05 내지 0.2 μ m 범위에 있는 것이 바람직하다. 이들 막들의 형성 후에, 게이트 전극들을 피복하도록 제 2 포토리소그래피 단계를 이용하여 레지스트 패턴이 형성된다. 그 후, 도핑되지 않은 a-Si층 (35) 과 게이트 절연막 (34) 의 불필요한 부분들이 건식 에칭에 의해 에칭된다. 그러므로 도 4b 에 예시된 구조가 얻어진다.

그 결과 구조물을 희석된 불화수소산으로 세척한 후, TFT (17) 용 채널 보호막이 될 SiNx로 제조된 패시베이션막 (39) 이, 약 0.1 내지 0.4 μ m 범위의 두께를 가지도록 플라즈마-보조 CVD 기술에 의해 기판 (31) 의 전체 표면 상에 형성된다. 그 다음, 도핑되지 않은 a-Si층 (35), 화소 전극 (10), 게이트 단자 (15) 및 드레인 단자 (16) 상의 소스/드레인 접합에서의 콘택홀 (11) 에 대한 패턴을 가지도록 제 3 포토리소그래피 단계를 이용하여 레지스트 패턴이 형성된다. 다음에, 노출된 패시베이션막 (39) 은 건식 또는 습식 에칭에 의해 제거되며, 화소 전극 (10), 게이트 단자 (15) 및 드레인 단자 (16) 내의 게이트 금속막만이 건식 또는 습식 에칭에 의하여 제거되어서, ITO막을 노출시킨다. 그런 후, 도 4c 에 예시된 구조가 얻어진다.

다음에는, 도핑되지 않은 a-Si층 (35) 과의 옴 콘택을 얻기 위하여, 불순물로 도핑된 n+ 형 a-Si로 제조된 옴 콘택층 (36) 이, 예컨대 CVD 기술에 의해 약 20 내지 100nm의 두께로 형성된다. 그 후에, Cr, Mo 또는 Ti로 제조된 배리어막과 소스/드레인 전극 (37, 38) 이 될 Al로 제조된 금속막이, 예컨대 스퍼터링 기술에 의해 약 0.1 내지 0.3 μ m 범위의 두께로 각각 형성된다.

a-Si층과의 옴 콘택을 얻기 위해 옴 콘택층 (36) 을 형성하는 대신, 도핑되지 않은 a-Si층 (35) 과 소스/드레인 전극 (37, 38) 사이의 옴 콘택은, 패시베이션막 (39) 에서의 개구 형성 후에, 주변 PH₃ 플라즈마를 잔존시키고, 도핑되지 않은 a-Si층 (35) 상에 n+ 형층을 형성하도록 도핑되지 않은 a-Si층으로 인 이온들을 확산시킴으로써 유사하게 얻어질 수 있다. 예컨대, 공정 조건들은 다음과 같다. 옴 콘택은 1000scm으로 플라즈마 CVD 시스템을 이용하여 300°C의 온도에서 PH₃/H₂(0.5% PH₃) 가스를 공급하고 200Pa의 압력에서 0.1W/cm²의 RF 전력으로 5분간 처리를 함으로써 이루어질 수 있다.

그 다음, 소스/드레인 금속막의 불필요한 부분은 제 4 포토리소그래피 단계를 이용하여 에칭된다. 도핑되지 않은 a-Si층 (35) 의 소스 전극 (38) 은 화소 전극 (10) 과 연결되고, 드레인 전극 (37) 과 연결될 드레인 배선 (14) 이 형성된다. 다음에, 드레인 배선의 표면이 산소 플라즈마 처리, 산화 대기에서의 열처리 등에 의해 산화된다. 이러한 산화 처리를 수행하여, 액정층에 존재하는 도전성 외부 기판에서, 드레인 배선과 대향 패널 상에 증착된 공통 투명 전극이, 단락 회로 불량을 야기시키는 브리징(bridging)이 되는 것을 방지할 수 있고, 이러한 단락 회로 불량은 작은 기계적인 충격에 의해서도 발생할 수 있다. 이들 단계들에 의해 도 4d 에 예시된 구조를 갖는 액티브 매트릭스 LCD 패널이 제조될 수 있다.

그러므로, 본 발명의 액티브 매트릭스 패널을 제조하는 방법에 의하면, 도핑되지 않은 a-Si층 (35) 의 표면과 측면이 SiNx로 제조된 치밀한 패시베이션막 (39) 에 의해 안전하게 피복되는 채널 보호 모드 액티브 매트릭스 LCD 패널을 4개의 포토리소그래피 단계들을 이용하여 형성할 수 있다. 즉, 제조 공정이 종래의 제조 공정에 비해 적어도 하나의 포토리소그래피 단계만큼 간략화될 수 있다. 만약, a-Si층 (35) 이 치밀한 패시베이션막에 의해 피복되지 않는다면, 비균일 표시와 같은 결점이 TFT 특성의 열화에 기인하여 발생할 수 있다. 본 발명에 의하면, 이러한 결점은 발생하지 않는다.

본 실시예의 방법에 의해 제조된 게이트 스토리지 커패시터에 있어서, 게이트 절연막 (34) 이, 게이트 스토리지 커패시터에 대해 도 4c 에 예시된 단계에서 제거되었으므로, 도 5a 에 예시된 바와 같이, 게이트 전극 (32) 과 동층에 형성된 전극과, 소오스 전극 (38) 과 동층에 형성된 게이트 스토리지 전극 (21) 사이에는 패시베이션막 (39) 만이 개재된다. 그러므로, 게이트 스토리지 커패시터의 스토리지 커패시턴스는 도 14a 에 도시된 종래의 구조에 비해 증가될 수 있다. 즉, 게이트 스토리지 커패시터에 대한 점유 영역을 작게한다고 할지라도 필수적인 커패시턴스는 확보될 수 있다는 것이다. 그러므로, 총 화소 면적에 대한 표시를 위한 유효 화소 면적으로 정의되는 화소의 개구율(aperture ratio)은 증가될 수 있다.

액티브 매트릭스 LCD 패널은, TFT의 정전 항복을 방지하기 위해 각 드레인 배선 (14) 과 각 게이트 배선 (12) 사이에 제공되는 보호 장치 (18) 를 포함한다. 보호 장치 (18) 는 화소를 구동하는 TFT 형성 단계와 동일한 단계에 의해 형성되고, 이는 각 화소들을 구동한다. 도 1 에 도시된 바와 같이, 보호 장치 (18) 는 게이트, 드레인 배선 (14) 에 연결된 드레인, 및 게이트 배선 (12) 에 연결된 소스를 갖는 제 1 TFT (41) 와 게이트, 게이트 배선 (12) 에 연결된 소스, 및 드레인 배선 (14) 에 연결된 드레인을 갖는 제 2 TFT (42) 를 포함한다. 보호 장치 (18) 를 형성하기 위해, 게이트 금속막과 소스/드레인 금속막이 패시베이션막 (39) 을 통해 연결되어야 한다. 이는 도 4c 에 예시된 단계에서 패시베이션막 (39) 으로, 게이트 절연막 (34) 을 함께 선택적으로 에칭하고 도 4d 에 예시된 단계에서 옴 콘택층 (36) 과 드레인 배선 (14) 을 형성함으로써 이루어지고, 이로 인해 드레인 배선 (14) 과 게이트 배선 (12) 이 도 5b 에 도시된 바와 같이 옴 콘택층 (36) 을 경유하여 서로 연결된다. 그러므로, 화소 TFT의 정전 항복을 방지하기 위한 보호 장치 (18) 가 포토리소그라피 단계의 수를 증가시키지 않고 제조될 수 있다. 상술한 바와 같이, 드레인 배선 (14) 에 산화 처리가 행해지면서, 게이트 스토리지 전극 (21) 의 표면이 동시에 산화된다. 도 5b 에서, 산화막은 명확하게 나타나 있지 않다.

(실시예 2)

다음에는, 도 6a 내지 도 6d 를 참조하여 본 발명의 제 2 실시예에 의한, 채널 보호형 액티브 매트릭스 LCD 패널과 그 제조방법을 설명한다. 이들 도면에서 좌측은 도 1 의 A-A선을 따라 취해진 부분에서의 게이트 단자 (15) 를 나타내고, 그 중앙부는 도 3a 내지 도 3d 에서 C-C선을 따라 취해진 부분에서의 단일 화소를 나타내며, 우측은 도 1 에서 B-B선을 따라 취해진 부분에서의 드레인 단자 (16) 를 도시하고 있다. 제 2 실시예는 채널 보호막으로서 형성되는 패시베이션막 (39) 상에 유기 층간막이 형성되는 점을 제외하고는 제 1 실시예와 유사하고, 이로 인해 액티브 매트릭스 LCD 패널의 상부면을 평평하게 한다. 다른 구조, 재료, 막 두께, 제조방법 등은 제 1 실시예의 것들과 유사하다.

본 발명의 LCD 패널의 제조에 있어서, 먼저 ITO막과 Cr, Ti, Mo 및 Al로 제조된 금속막이 증착에 의해 형성되고, 이로부터 게이트 전극 (32), 화소 전극 (10), 및 게이트/드레인 단자 (15, 16) 가 제 1 포토리소그라피 단계를 이용하여 투명 절연기판 (31) 상에 형성된다. 게이트 절연막 (34) 과 도핑되지 않은 a-Si층 (35) 을 증착시킨 후에, 게이트 절연막 (34) 이 게이트 전극 (32) 을 피복하는 구조를 얻기 위해 제 2 포토리소그라피 단계를 이용하여 패터닝이 수행된다. 패시베이션막 (39) 은 제 1 실시예에서와 같이 0.1 내지 0.4 μ m의 두께로 형성되고, 이는 채널 보호 기능을 위해서는 충분한 것이다. 패시베이션막 (39) 상에 부가적으로 증착된 유기 층간 절연막 (26) 은 본 발명에서의 패널의 상부면을 평평하게 하는 기능을 한다.

유기 층간 절연막으로, 예컨대, 아크릴 수지, 벤조시클로부텐(BCB), 또는 폴리이미드와 같은 유기 재료가 사용된다. 약 0.2 내지 1.0 μ m의 두께를 갖도록 이러한 유기 재료를 증착시킴으로써, 도 6c 에 예시된 바와 같이 액티브 매트릭스 LCD 패널이 평평하게 될 수 있다. 평평하게 하기 위해, 이러한 유기 층간 절연막 (26) 을 제공함으로써, 액정층의 초기 정렬이 화소 TFT (17) 에 형성된 레벨 차이와는 무관하게 일정하게 유지될 수 있다. 유기 절연막은 실리콘 산화막으로 대체될 수 있다.

패널(비록 도면에 도시되어 있지 않지만)을 평평하게 하기 위한 또다른 방법으로, 예컨대 패시베이션막 (39) 의 SiNx 증착율, 증착 온도 등의 증착 조건들을 변경시킴으로써 거친 특성을 갖는 막의 제조방법; 거친 SiNx막이 미세한 SiNx막 상에 제공되는 2층 구조를 형성하는 방법; 또는 미세한 SiNx 상에 각각 상이한 재료 예컨대, SiO₂등으로 제조된 복수의 막들의 증착 방법이 존재한다.

이제, 미세한 특성을 갖는 미세한 SiNx 상에, SiO₂막을 형성하는 방법을 하기에 설명한다. 증착 조건으로서, 첫째, 약 0.1 μ m/분의 증착율로 약 0.1 μ m의 두께를 갖도록, 제 1 실시예의 그것과 동일한 방식으로 CVD 기술에 의해 SiNx가 증착된다. 그 다음, 약 0.5 μ m/분의 증착율로 약 0.1 μ m의 두께를 갖도록, SiO₂가 증착된다. 그 결과, 도핑되지 않은 a-Si층 (35) 의 가장자리에서의 레벨차를 경감하기 위해 패시베이션막 (39) 이 형성될 수 있고, 따라서 유기 층간 절연막 (26) 에 의해 얻어진 것과 같은 유사한 잇점을 얻을 수 있다.

만약, SiNx의 증착율을 변경시킨다면, 약 0.1 μ m/분의 통상적인 증착율 대신에 약 0.5 μ m/분까지 SiNx의 증착율을 증가시킴으로써 패널이 평평해질 수 있다. 이런 식으로 증착율을 증가시킴으로써 증착 시간이 감소될 수 있다.

만약, 거친 SiNx막으로 인하여, 절연막으로서의 기능이 저하되는 경우에는, 치밀한 SiNx막을, 먼저, 약 0.1 μ m의 두께를 갖도록 통상적인 증착율로 기저막으로서 증착시킨다. 그 다음, 증가된 증착율로, 약 0.1 μ m의 두께를 갖도록 SiNx막을 증착시킨다. 그러므로, 채널 보호 기능과 평평하게 하는 기능 모두가 이루어질 수 있다.

패시베이션막 (39) 과 유기 층간 절연막 (26) 을 증착시킨 후에, 콘택홀 (11) 이 제 3 포토리소그래피 단계를 이용하여 소정의 위치에 제공된다. 그 다음, 불순물로 도핑된 n+ 형 a-Si로 제조된 옴 콘택층 (36) 과 Cr, Ti, Mo 및 Al로 제조된 금속막이 연속적으로 증착된다. 그 다음, 제 4 포토리소그래피 단계가 특정 구조를 형성하기 위해 행해지고, 이에 따라 도 6d 에 예시된 구조를 갖는 액티브 매트릭스 LCD 패널을 완성한다. n+ 형층이 옴 콘택층 (36) 을 형성하는 대신, 도핑되지 않은 a-Si층 (35) 의 표면으로 인 이온들을 확산시킴으로써 n+ 형층이 형성될 수 있는 것은, 제 2 실시예에서도 제 1 실시예와 유사하다.

그러므로, 본 실시예의 제조방법에 의하면, 제 1 실시예에 의해 얻어진 효과뿐만 아니라, 도핑되지 않은 a-Si층 (35) 이 더 확실하게 보호되고, 화소 TFT에서의 레벨차가 감소될 수 있다. 그러므로, 감소된 레벨차들에 기인하는 기저층을 평평하게 함으로써, 배향막의 표면을 평평하게 할 수 있고, 달리 레벨차에 기인해 발생하는 액정층의 오정렬을 방지할 수 있다. 그러므로, 액정층의 우수한 정렬을 확보하는 효과를 얻을 수 있다.

(실시예 3)

도 7 을 참조하면, 본 실시예에 의한 채널 보호형 액티브 매트릭스 LCD 패널은 인-플레인 스위칭 방식이며, 그 위에 화소 전극과 머릿모양의 전극 분기를 가지고 있는 각 화소 지역에서 서로 마주 대하고 있는 공통 전극을 구비하고 있다.

본 실시예의 LCD 패널 제조방법을, 제 1 실시예에 대한 도 3a 내지 도 3d 까지와 도 4a 내지 도 4d 까지의 도면과 유사한 도 8a 내지 도 8d 까지와 도 9a 내지 도 9d 까지를 참조하여 설명한다. 도 9a 에서, 머릿모양의 공통 전극 (33) 과 머릿모양의 게이트 전극 (32) 처럼 구성될 Cr, Ti, Mo 및 Al로 제조된 금속막이 스퍼터링 기술에 의해 약 0.1 내지 0.3 μ m 범위의 두께를 가질 수 있도록 투명 절연 기판 (31) 상에 증착된다. 그 후, 레지스트 패턴이 공통 전극 (33), 드레인 전극 (37), 드레인 배선 (14) 으로서 형성될 영역에 제 1 포토리소그래피 단계에 의해 형성된다. 금속막의 불필요한 부분은 선택적인 습식 에칭에 의해 제거된다.

다음에, SiNx로 제조된 게이트 절연막 (34) 과 도핑되지 않은 a-Si층 (35) 이 플라즈마 보조 CVD 기술 등에 의해 패널의 전체 표면 상에 연속적으로 형성된다. SiNx막의 두께는 약 0.3 내지 0.5 μ m 범위에 있는 것이 바람직하고, 도핑되지 않은 a-Si층의 두께는 약 0.05 내지 0.2 μ m 범위에 있는 것이 바람직하다. 이들 막들의 형성 후에, 게이트 전극 (32) 을 피복하도록 제 2 포토리소그래피 단계를 이용하여 레지스트 패턴이 형성된다. 그 다음, 도핑되지 않은 a-Si층 (35) 과 게이트 절연막 (34) 의 불필요한 부분이 건식 에칭에 의해 선택적으로 에칭된다. 그러므로, 도 8b 와 도 9b 에 예시된 구조가 얻어진다.

다음에, 화소 TFT용 채널 보호막이 될 SiNx로 제조된 패시베이션 막 (39) 이 플라즈마 보조 CVD 기술에 의해 약 0.1 내지 0.4 μ m 범위의 두께로 패널의 전체 표면 상에 형성된다. 그 후, 도핑되지 않은 a-Si층 (35) 과 게이트 단자부 상의 소스/드레인 접합에서 개구를 구비하기 위해, 제 3 포토리소그래피 단계를 이용하여 레지스트 패턴이 형성된다. 그 다음, 패시베이션막 (39) 이 건식 또는 습식 에칭에 의해 선택적으로 에칭된다. 그러므로, 도 8c 와 도 9c 에 예시된 구조가 얻어진다.

다음에, 도핑되지 않은 a-Si층 (35) 과 옴 콘택을 이루기 위해, 불순물 도핑된 n+ 형 a-Si층으로 제조된 옴 콘택층 (36) 이 CVD 기술에 의해 예컨대, 20 내지 100nm의 두께로 형성된다. 그 다음, 소스/드레인 전극 (37, 38) 으로서 형성될 Cr, Mo, 또는 Ti로 제조된 금속막이 스퍼터링 기술에 의해 약 0.1 내지 0.3 μ m의 두께로 형성된다. 제 1 실시예에서처럼, 옴 콘택층 (36) 을 형성하는 대신, 도핑하지 않은 a-Si층 (35) 과의 옴 콘택층을 얻는 방법으로서, 도핑하지 않은 a-Si층 (35) 으로 인 이온들을 확산시킴으로써 n+ 형 층이 형성될 수 있다.

마지막으로, 제 4 포토리소그래피 단계를 이용하여 소스/드레인 금속막이 선택적으로 에칭된다. 그러므로, 도 8d 와 도 9d 에 예시된 것과 같은 구조를 가진 인-플레인 스위칭 모드의 채널 보호형 액티브 매트릭스 LCD 패널이 제조될 수 있다.

따라서, 제 1 실시예와 유사하게, 도핑하지 않은 a-Si층 (35) 표면과 측벽들이 패시베이션막 (39) 에 의해 완전히 피복되는, 인-플레인 스위칭 모드의 액티브 매트릭스 LCD 패널이 오직 4개의 포토리소그래피 단계들만을 사용하여 얻어질 수 있다. 본 실시예의 방법은, 종래의 제조방법에 비해 적어도 하나의 포토리소그래피 단계만큼 인-플레인 스위칭 모드 LCD 패널의 제조 단계들을 간략화시킨다.

본 발명의 방법에 의해 제조된 액티브 매트릭스 LCD 패널은, 도 15a 와 도 15b 에 도시된 종래의 구조에 비해, 도 10a 와 도 10b 에 도시된 바와 같이 게이트 절연막 (34) 의 부재로 인한 연결 구조를 간략화시킨다. 이는 도 10a 와 도 10b 에 도시된 구조를 얻기 위해 게이트 절연막 (34) 을 선택적으로 에칭시키는 도 8b 에 도시된 단계에 의해 이루어진다.

또한, 제 2 실시예에서처럼, 액티브 매트릭스 LCD 패널은 패시베이션막의 두께를 증가시키고 SiNx 증착 조건을 적절히 변경시키거나 또는 복수개의 상이한 재료들로 이루어진 막들을 증착시킴으로써 평평해질 수 있다.

(실시예 4)

도 11a 내지 도 11d 와 도 12a 내지 도 12d 는, 제 1 실시예의 도 3a 내지 도 3d 와 도 4a 내지 도 4d 와 유사하게 본 실시예의 액티브 매트릭스 LCD 패널의 제조 단계들을 도시하고 있다. 본 실시예의 액티브 매트릭스 LCD 패널의 구조는, 본 실시예의 전체 패널 영역 상에 남아있는 게이트 절연막을 제외하고는 제 3 실시예와 유사하다.

좀더 구체적으로는, 도 11a 와 도 11b 에서 공통 전극 (33) 과 게이트 전극 (32) 으로서 형성될 Cr, Ti, Mo, 또는 Al로 제조된 금속막이, 제 3 실시예의 경우처럼 약 0.1 내지 0.3 μ m 범위의 두께를 갖도록 스퍼터링 기술에 의해 투명 절연 기판 (31) 상에 증착된다. 그 다음, 제 1 포토리소그래피 단계를 이용하여 패터닝 단계가 행해진다.

다음에는, SiNx로 제조된 게이트 절연막 (34) 과 액티브층으로 형성될 도핑되지 않은 a-Si층 (35) 이 플라즈마 보조 CVD 기술 등에 의해 패널의 전체 표면 상에 연속적으로 형성된다. 게이트 절연막 (34) 의 두께는 약 0.3 내지 0.5 μ m의 범위 내에 있고, 도핑되지 않은 a-Si층 (35) 의 두께는 약 0.05 내지 0.2 μ m의 범위 내에 있다. 본 실시예에서, 도핑하지 않은 a-Si층 (35) 이 게이트 전극 (32) 상에만 남아있고, 게이트 절연막 (34) 이 패널의 전체 표면 상에 남아있도록 이들 막들의 형성 후에, 제 2 포토리소그래피 단계를 사용하여 선택적 에칭이 수행된다. 그 결과, 도 11b 와 도 12b 에 예시된 구조가 얻어진다.

그 다음, TFT용 채널 보호막으로서 형성될 SiNx로 제조된 패시베이션막 (39) 이 약 0.1 내지 0.4 μ m 범위의 두께로 플라즈마 보조 CVD 기술에 의해 패널의 전체 표면 상에 형성된다. 이후, 도핑하지 않은 a-Si층 (35) 과 게이트 및 드레인 단자 부분에서의 개구 상에서 소스/드레인 접합에서의 패시베이션막을 제거하기 위해 제 3 포토리소그래피 단계가 행해진다. 본 예에서, 게이트 절연막 (34) 이 게이트 및 드레인 단자 부분에서 제거되지 않은 채로 남겨진다. 이전 실시예와 유사하게, 게이트 절연막 (34) 을 선택적으로 에칭함으로써 도 11d 와 도 12d 에 예시된 구조가 얻어진다.

다음에, 도핑하지 않은 a-Si층 (35) 과의 옴 콘택을 이루기 위해 n+ 형 a-Si로 제조된 옴 콘택층 (36) 이 예컨대, 20 내지 100nm의 두께로 CVD 기술에 의해 형성된다. 계속해서, 소스/드레인 전극 (37, 38) 으로서 형성될, Cr, Mo, Ti 또는 Al로 제조된 금속막이 약 0.1 내지 0.3 μ m의 두께로 스퍼터링 기술에 의해 형성된다. 도핑하지 않은 a-Si층 (35) 과의 옴 콘택을 얻기 위해, 도핑하지 않은 a-Si층 (35) 의 표면으로 인 이온 등을 확산시킴으로써 제 3 실시예와 같은 유사한 구조를 얻을 수 있다.

마지막으로, 소스/드레인 금속막의 불필요한 부분이 제 4 포토리소그래피 단계를 이용하여 에칭된다. 그러므로, 도 12d 에 예시된 구조를 갖는, 인-플레인 스위칭 모드의 채널 보호형 액티브 매트릭스 LCD 패널이 얻어질 수 있다.

제 3 실시예에서와 같이, 본 실시예의 제조방법은 도핑하지 않은 a-Si층 (35) 의 표면과 측벽들이 패시베이션막 (39) 에 의해 완전히 피복되는, 인-플레인 스위칭 모드 액티브 매트릭스 LCD 패널을 4 개의 포토리소그래피 단계들을 이용하여 제조할 수 있다. 본 실시예는 종래의 제조방법에 비해 적어도 하나의 포토리소그래피 단계만큼 제조방법을 간략화시킬 수 있다.

본 실시예의 방법에 의해 제조된, 공통 배선 (13) 과 게이트 배선 (12), 게이트 전극 (32) 과 드레인 배선 (14), 및 게이트 배선 (12) 과 소스 전극 (38) 의 연결 부분은 도 13a 와 도 13b 에 예시된 것들이다. 제 3 실시예에 비해, 게이트 절연막이 남아있으므로, 층간 절연막의 두께는 증가된다. 그러므로, 게이트와 드레인 사이의 단락 회로 결합이 감소하는 효과가 얻어질 수 있다.

상술한 바와 같이, 본 발명에 의하면 진성 a-Si 액티브층이 채널 보호막에 의해 완전히 피복되는 채널 보호형 액티브 매트릭스 LCD 패널이 4 개의 포토리소그래피 단계들을 이용하여 제조될 수 있다. 이는 액티브 매트릭스 LCD 패널의 비용 감소를 가져온다.

이는 공통 포토리소그래피 단계를 이용하여 함께 게이트 절연막과 a-Si 액티브 층을 에칭한 후에, a-Si 액티브층이 패시베이션막으로 피복된 채로 패시베이션막이 증착되는 구성으로 얻어진다.

또한, 본 발명에 의하면 TFT 부분에 있어서의 레벨차는 패시베이션막의 두께를 적절히 최적화함으로써 감소될 수 있고, 따라서 액정층의 균일한 정렬이 액티브 매트릭스 LCD 패널과 대향 패널 사이에 얻어질 수 있다.

또, 본 발명에 의하면, 스토리지 커패시터, 정전 항복을 방지하는 보호 장치, 게이트 단자 및 드레인 단자의 개구, 공통 전극으로의 전송 패드, 및 그들 단자의 개구부 모두가 제공되는 액티브 매트릭스 LCD 패널을 얻을 수 있다.

발명의 효과

앞서의 실시예들은 단지 예로서만 기술되었으므로, 본 발명은 앞서의 실시예에 한정되는 것은 아니고 본 발명의 범위를 벗어나지 않는 한, 당업자들에 의해 다양한 수정과 변형이 용이하게 이루어질 수 있다.

(57) 청구의 범위

청구항 1.

액티브 매트릭스 LCD 장치에 사용되는 액티브 매트릭스 LCD 패널에 있어서, 투명 절연 기관 (31)과, 상기 투명 절연 기관 (31) 상에 배치되고 화소 전극 (10) 및 관련 TFT (17) 를 각각 포함하는 복수의 화소들과, 상기 TFT (17) 및 상기 화소 전극 (10) 을 피복하는 패시베이션층 (39) 을 구비하며, 상기 TFT (17) 는, 상기 투명 절연 기관 (31) 상에 연속적으로 형성된 투명 도전막 (32a) 과 금속막 (32b) 을 포함하는 게이트 전극 (32), 상기 게이트 전극 (32) 을 피복하는 게이트 절연막 (34), 상기 게이트 절연막 (34) 상에 형성된 섬형 비정질 실리콘(a-Si)층 (35), 및 소스 및 드레인 전극 (38, 37)을 구비하며, 상기 패시베이션층 (39) 은 상기 화소전극 (10) 및 상기 a-Si층 (35) 의 측면과 상부면을 피복하고 그 내부에 개구를 구비하며, 상기 소스 및 드레인 전극 (38, 37) 은 상기 패시베이션층 (39) 의 각 개구를 통해 상기 a-Si층 (35) 과 접촉하고 있고, 상기 화소 전극 (10) 은 상기 게이트 전극 (32) 과 동일한 층들로 이루어진 투명 도전막과 금속막(32b)을 포함하며, 상기 화소 전극 (10) 의 상기 투명 도전막은 상기 패시베이션층 (39) 의 상기 개구를 사용하여 형성된 상기 금속막 (32b) 의 개구에 의하여 노출되고, 상기 소스 전극 (38) 은 상기 패시베이션층 (39) 의 개구를 통해 상기 화소 전극 (10) 의 상기 투명 도전막과 접촉하고 있는 것을 특징으로 하는 액티브 매트릭스 LCD 장치용 액티브 매트릭스 LCD 패널.

청구항 2.

제 1 항에 있어서,

상기 소스 및 드레인 전극 (38, 37) 과 공통층에 형성된 게이트 스토리지 전극 (21), 상기 패시베이션층 (39), 및 상기 게이트 전극 (32) 과 공통층에 형성된 전극이 게이트 스토리지 커패시터를 구성하는 것을 특징으로 하는 액티브 매트릭스 LCD 패널.

청구항 3.

제 1 항에 있어서,

상기 a-Si층 (35) 은, 상기 투명 절연 기관 (31) 의 표면에 수직으로 볼 때 상기 게이트 절연막 (34) 의 형상과 실질적으로 동일한 형상을 갖는 것을 특징으로 하는 액티브 매트릭스 LCD 패널.

청구항 4.

삭제

청구항 5.

삭제

청구항 6.

제 1 항에 있어서,

상기 소스 및 드레인 전극들 (38, 37) 과 접촉하고 있는 상기 a-Si층 (35) 부분은, 질게 도핑된 영역인 것을 특징으로 하는 액티브 매트릭스 LCD 패널.

청구항 7.

제 1 항에 있어서,

상기 패시베이션층은 실리콘 질화막 (39) 과 중첩 유기 절연막 (26) 을 구비하는 것을 특징으로 하는 액티브 매트릭스 LCD 패널.

청구항 8.

제 7 항에 있어서,

상기 유기 절연막 (26) 은 아크릴 수지, 벤조시클로부텐, 및 폴리이미드중 적어도 하나를 포함하는 것을 특징으로 하는 액티브 매트릭스 LCD 패널.

청구항 9.

제 1 항에 있어서,

상기 패시베이션층은 실리콘 질화막 (39) 과 중첩 실리콘 산화막 (26) 을 포함하는 것을 특징으로 하는 액티브 매트릭스 LCD 패널.

청구항 10.

연속적으로 투명 도전막과 그 위에 금속막을 증착시키고, 제 1 마스크 패턴을 사용하여 제 1 포토리소그래피 단계에 의해 선택적으로 투명 도전막과 금속막을 에칭하여 게이트 전극 (32)과 화소 전극 (10) 을 형성하는 단계;

연속적으로 게이트 절연막과 그 위에 a-Si층을 증착시키고, 제 2 마스크 패턴을 사용하여 제 2 포토리소그래피 단계에 의해 선택적으로 게이트 절연막과 a-Si층을 에칭하여 섬형 a-Si층 (35) 과 게이트 절연막 (34) 을 형성하는 단계;

그 위에 패시베이션막 (39) 을 증착하여 화소 전극 (10) 및 섬형 a-Si층 (35) 의 상부면과 측면을 피복하고, 제 3 마스크 패턴을 사용하여 제 3 포토리소그래피 단계에 의해 선택적으로 패시베이션막 (39) 을 에칭하여 화소 전극과 섬형 a-Si층 부분을 노출하는개구를 형성하는 단계;

노출된 화소 전극의 금속막을 에칭하는 단계; 및

그 위에 전극막을 증착시키고, 제 4 마스크 패턴을 사용하여 제 4 포토리소그래피 단계에 의해 선택적으로 전극막을 에칭하여 화소 전극 (10) 과 섬형 a-Si층 (35) 부분과 접촉하고 있는 전극 (37, 38) 을 형성하는 단계들을 연속적으로 구비하는 것을 특징으로 하는 액티브 매트릭스 LCD 패널의 제조방법.

청구항 11.

제 10 항에 있어서,

상기 전극막은 불순물들로 도핑된 또다른 a-Si층 (36) 과 중첩 금속막 (37, 38) 을 구비하는 것을 특징으로 하는 액티브 매트릭스 LCD 패널의 제조방법.

청구항 12.

제 10 항에 있어서,

상기 패시베이션막 (39) 의 개구를 통해 불순물로 섬형 a-Si층 (35) 을 도핑하는 단계를 더 구비하는 것을 특징으로 하는 액티브 매트릭스 LCD 패널의 제조방법.

청구항 13.

제 10 항에 있어서,

상기 패시베이션층은 실리콘 질화막과 중첩 유기 절연막을 구비하는 것을 특징으로 하는 액티브 매트릭스 LCD 패널의 제조방법.

청구항 14.

제 13 항에 있어서,

상기 유기 절연막 (26) 은 아크릴 수지, 벤조시클로부텐, 및 폴리이미드중 적어도 하나를 포함하는 것을 특징으로 하는 액티브 매트릭스 LCD 패널의 제조방법.

청구항 15.

제 10 항에 있어서,

상기 패시베이션층은 실리콘 질화막 (39) 과 중첩 실리콘 산화막 (26) 을 포함하는 것을 특징으로 하는 액티브 매트릭스 LCD 패널의 제조방법.

청구항 16.

액티브 매트릭스 LCD 장치에 사용되는 액티브 매트릭스 LCD 패널에 있어서, 투명 절연 기판 (31)과, 상기 투명 절연 기판 (31) 상에 배치되고 화소 전극 (10) 및 관련 TFT (17) 를 각각 포함하는 복수의 화소들과, 상기 TFT (17) 을 피복하는 패시베이션층 (39) 을 구비하며, 상기 TFT (17) 는 상기 투명 절연 기판 (31) 상의 게이트 전극 (32), 상기 게이트 전극 (32) 을 피복하는 게이트 절연막 (34), 상기 게이트 절연막 (34) 상에 형성된 섬형 비정질 실리콘(a-Si)층 (35), 및 소스 및

드레인 전극 (38, 37)을 구비하며, 상기 패시베이션층 (39) 은 상기 a-Si층 (35) 의 측면과 상부면을 피복하고 그 내부에 개구를 구비하며, 상기 소스 및 드레인 전극 (38, 37) 은 상기 패시베이션층 (39) 의 각 개구를 통해 상기 a-Si층 (35) 과 접촉하고 있고, 상기 화소 전극 (10) 은 상기 소스 전극 (38) 과 동일한 층으로 이루어진 것을 특징으로 하는 액티브 매트릭스 LCD 장치용 액티브 매트릭스 LCD 패널.

청구항 17.

금속막을 증착시키고, 제 1 마스크 패턴을 사용하여 제 1 포토리소그래피 단계에 의해 선택적으로 금속막을 에칭하여 게이트 전극 (32)과 공통 전극 (33) 을 형성하는 단계;

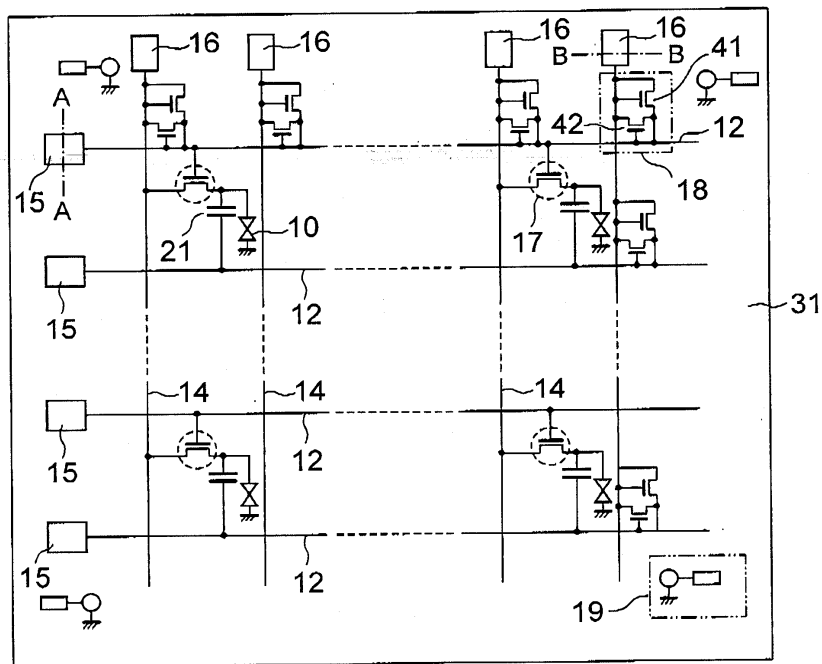
연속적으로 게이트 절연막과 그 위에 a-Si층을 증착시키고, 제 2 마스크 패턴을 사용하여 제 2 포토리소그래피 단계에 의해 선택적으로 게이트 절연막과 a-Si층을 에칭하여 섹형 a-Si층 (35) 과 게이트 절연막 (34) 을 형성하는 단계;

그 위에 패시베이션막 (39) 을 증착하여 섹형 a-Si층 (35) 의 상부면과 측면을 피복하고, 제 3 마스크 패턴을 사용하여 제 3 포토리소그래피 단계에 의해 선택적으로 패시베이션막 (39) 을 에칭하여 섹형 a-Si층 부분을 노출시키는 개구를 형성하는 단계; 및

그 위에 전극막을 증착시키고, 제 4 마스크 패턴을 사용하여 제 4 포토리소그래피 단계에 의해 선택적으로 전극막을 에칭하여 섹형 a-Si층 (35) 부분과 접촉하고 있는 전극 (37, 38) 과 화소 전극 (10) 을 형성하는 단계들을 연속적으로 구비하는 것을 특징으로 하는 액티브 매트릭스 LCD 패널의 제조방법.

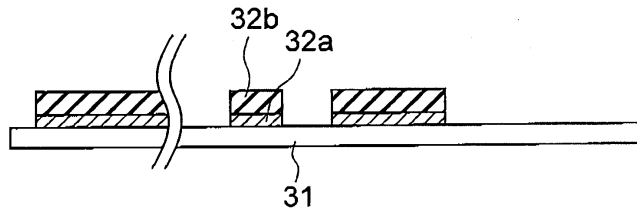
도면

도면1



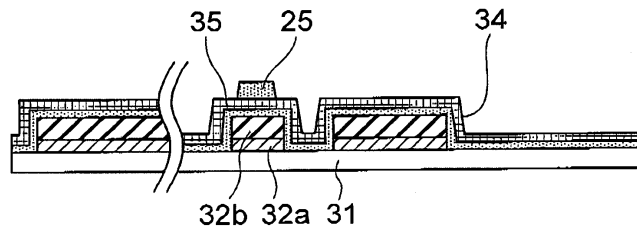
도면2a

종래 기술



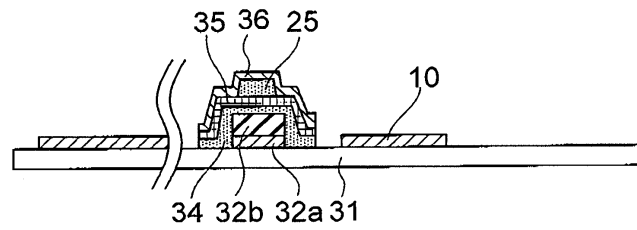
도면2b

종래 기술



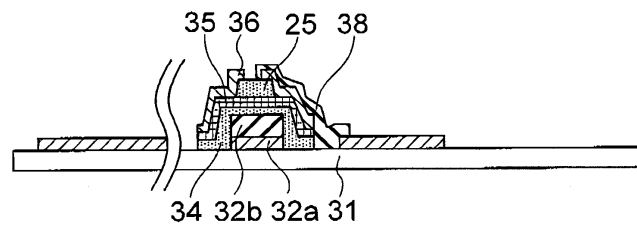
도면2c

종래 기술

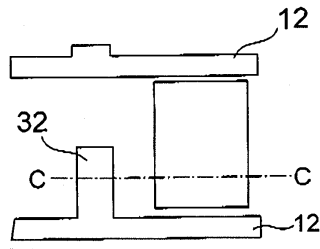


도면2d

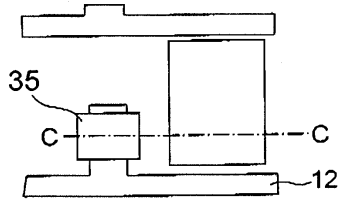
종래 기술



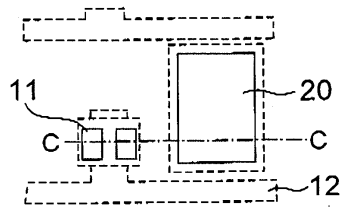
도면3a



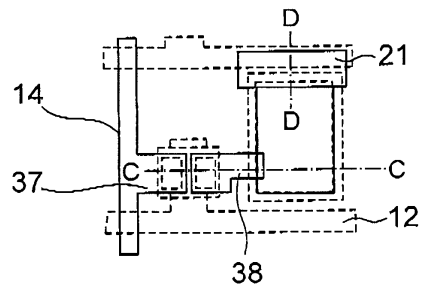
도면3b



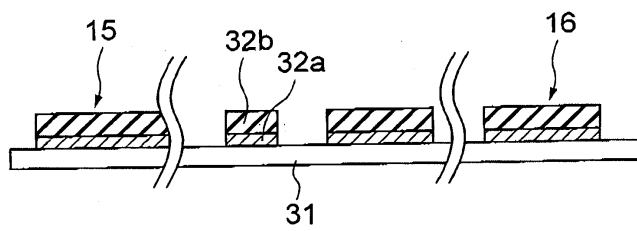
도면3c



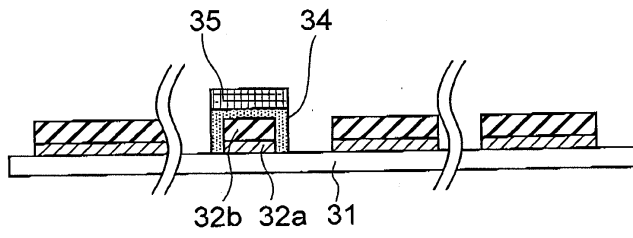
도면3d



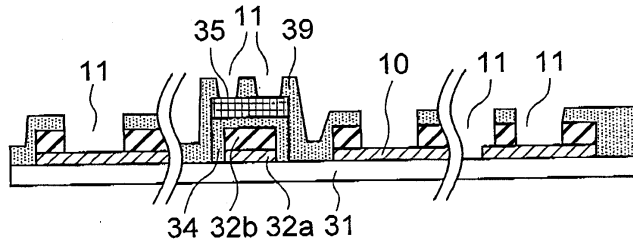
도면4a



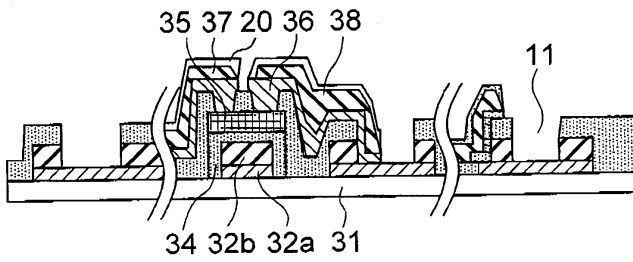
도면4b



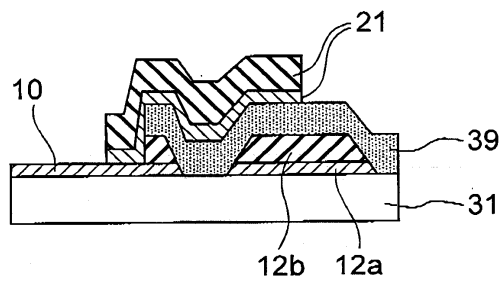
도면4c



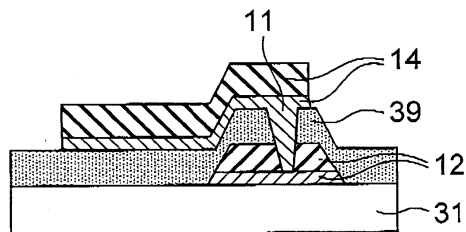
도면4d



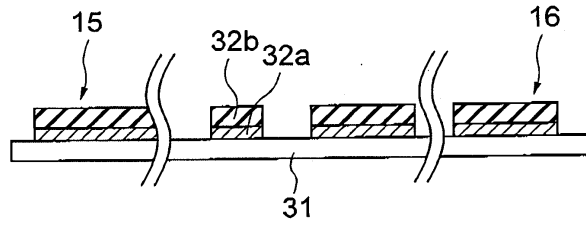
도면5a



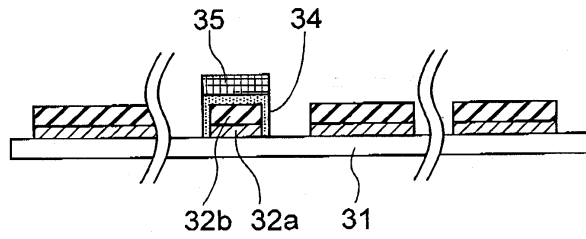
도면5b



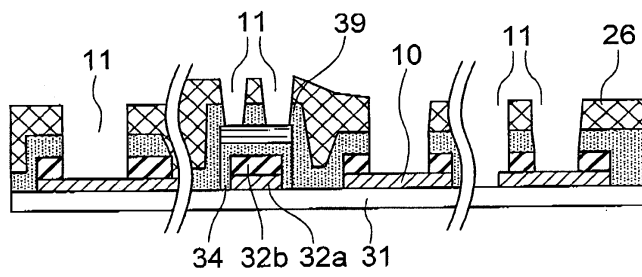
도면6a



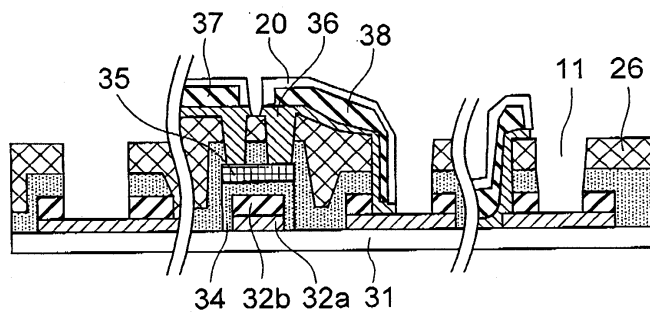
도면6b



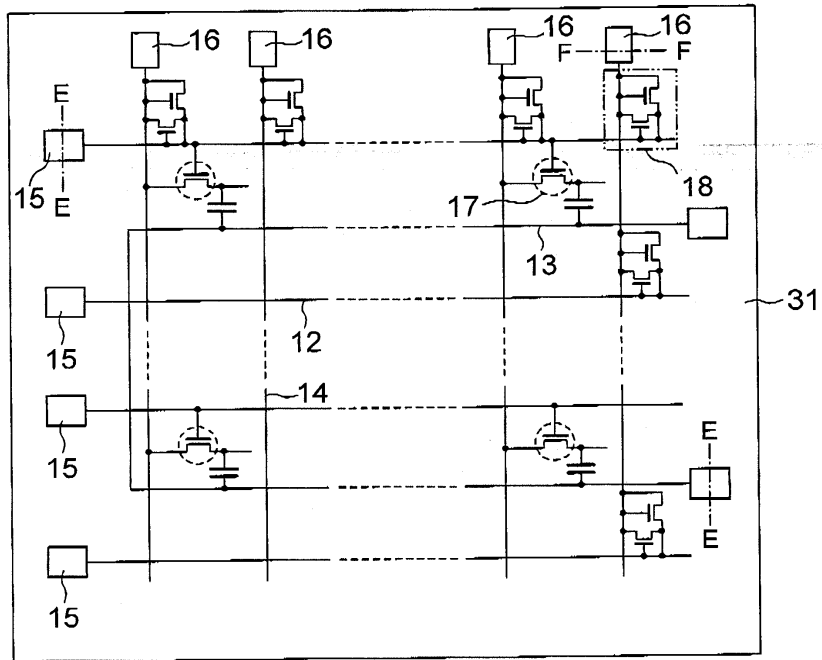
도면6c



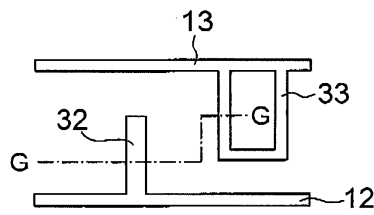
도면6d



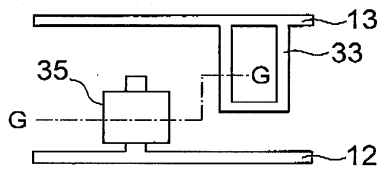
도면7



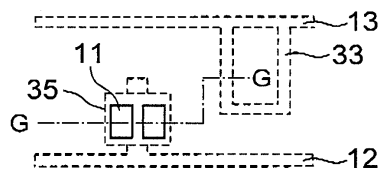
도면8a



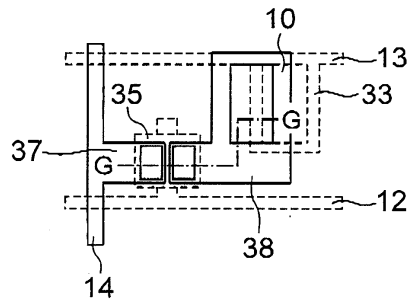
도면8b



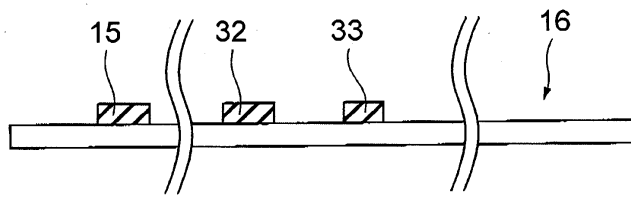
도면8c



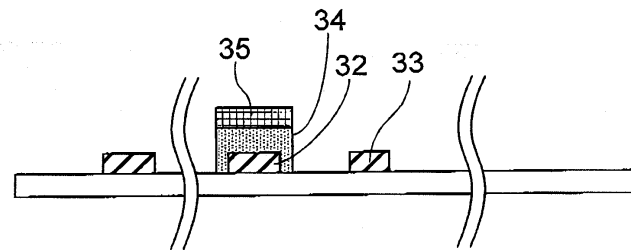
도면8d



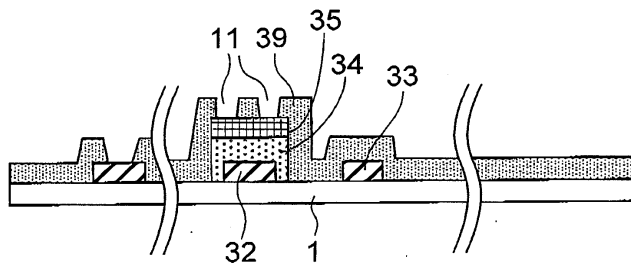
도면9a



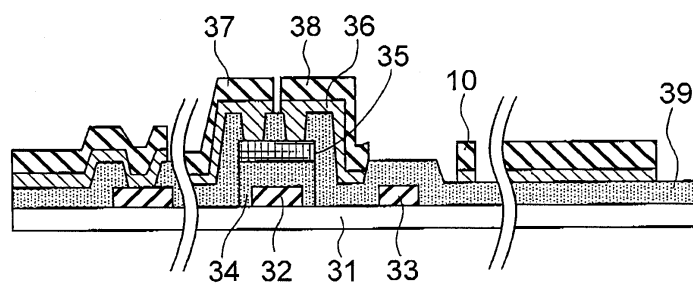
도면9b



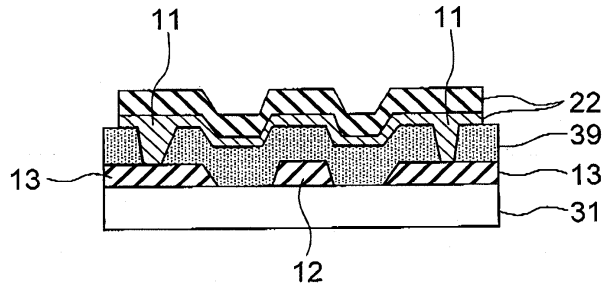
도면9c



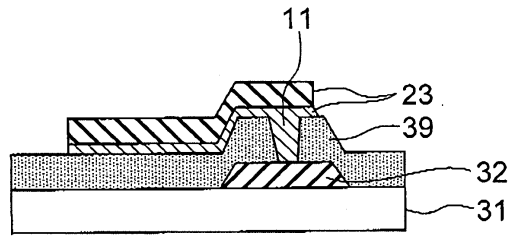
도면9d



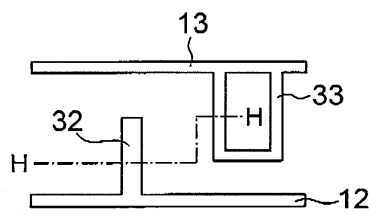
도면10a



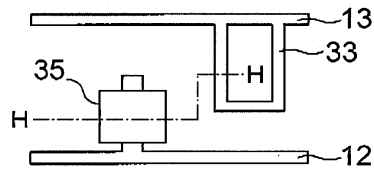
도면10b



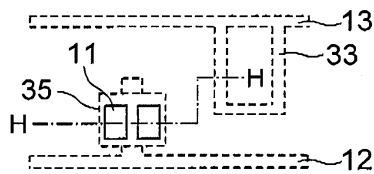
도면11a



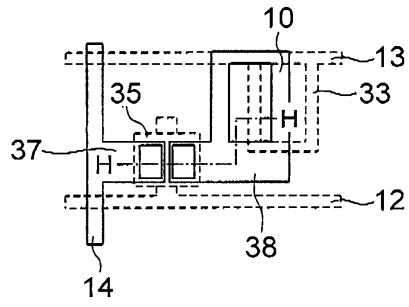
도면11b



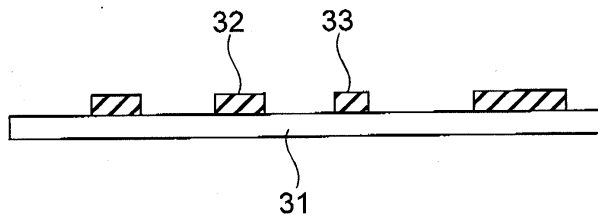
도면11c



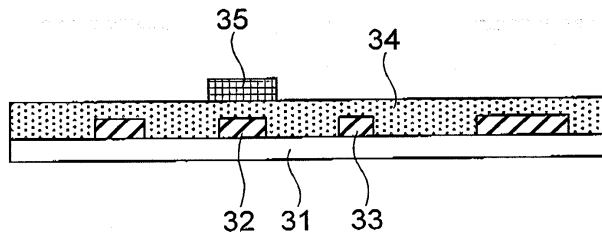
도면11d



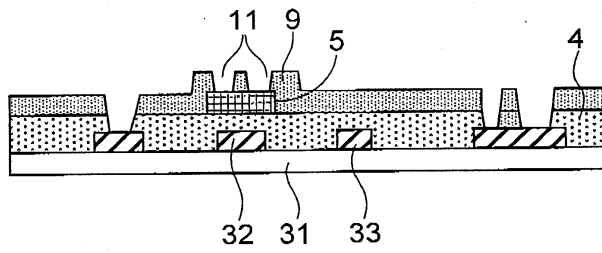
도면12a



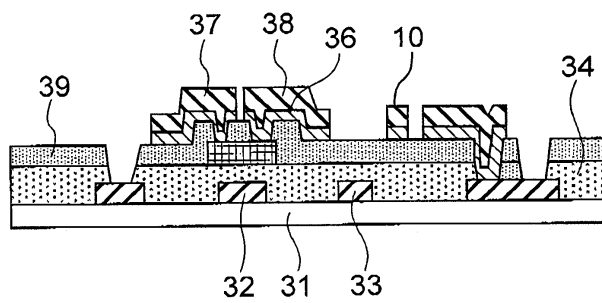
도면12b



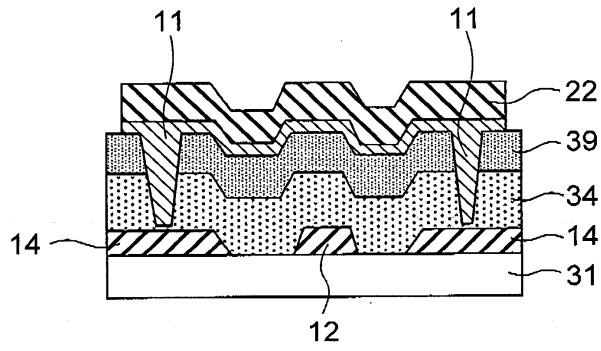
도면12c



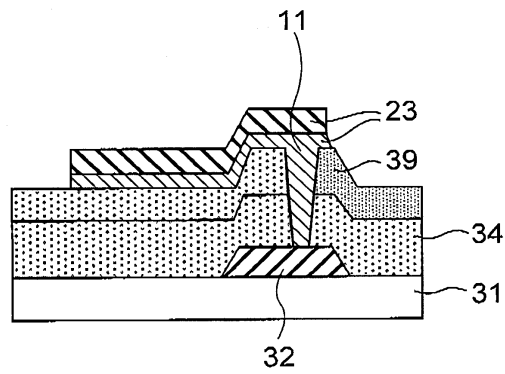
도면12d



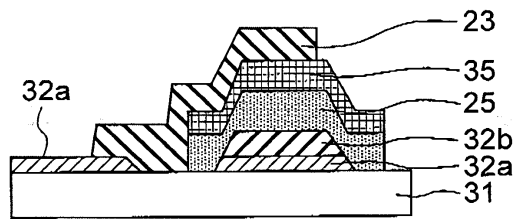
도면13a



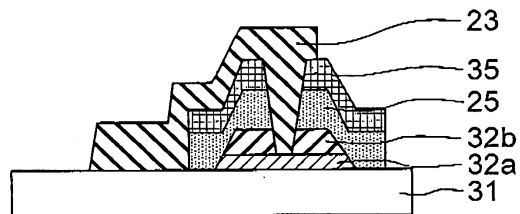
도면13b



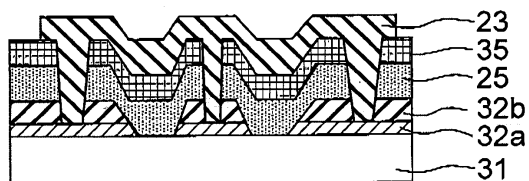
도면14a



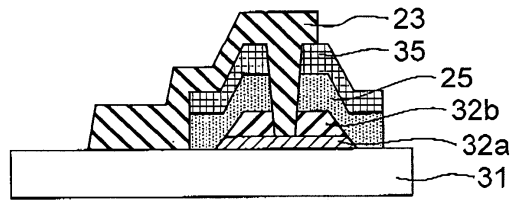
도면14b



도면15a



도면15b



专利名称(译)	有源矩阵液晶显示面板		
公开(公告)号	KR100524250B1	公开(公告)日	2005-10-26
申请号	KR1020000063203	申请日	2000-10-26
[标]申请(专利权)人(译)	NEC液晶技术株式会社		
申请(专利权)人(译)	日元号技术可否让这个夏		
当前申请(专利权)人(译)	日元号技术可否让这个夏		
[标]发明人	IHIDA SATOSHI 이히다사또시 YAMAGUCHI HIROTAKA 야마구찌히로따까 TANAKA HIROAKI 다나카히로아끼 HAYASE TAKASUKE 하야세다까스께 KANOU HIROSHI 가노히로시 KANEKO WAKAHIKO 가네꼬와까히꼬 MIYAHARA TAE 미야하라타에 SAKAMOTO MICHIAKI 사카모토미찌아끼 NAKADA SHINICHI 나까다신이찌		
发明人	이히다사또시 야마구찌히로따까 다나카히로아끼 하야세다까스께 가노히로시 가네꼬와까히꼬 미야하라타에 사카모토미찌아끼 나까다신이찌		
IPC分类号	G02F1/1333 G09F9/30 G02F1/1362 H01L21/336 H01L29/786 G02F1/1368 G02F1/136		
CPC分类号	G02F2001/136231 G02F1/1362 G02F1/13458 G02F1/1368		
代理人(译)	韩国专利公司		
优先权	1999304682 1999-10-26 JP		
其他公开文献	KR1020010040183A		
外部链接	Espacenet		
摘要(译)			

本发明涉及一种制造用于有源矩阵LCD器件的有源矩阵LCD面板的方法，包括形成栅电极（32）和像素电极（10）作为公共层，以减少光刻步骤的数量。公共层包括透明导电膜32a和金属膜32b，像素电极10通过在形成TFT用非晶硅膜35之前蚀刻金属膜而获得。图3A 指数方面 面内模式，光刻，a-Si有源层，钝化膜

