(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
G09G 3/36

(45) 공고일자 2004년07월05일
(11) 등록번호 10-0438785
(24) 등록일자 2004년06월24일

(21) 출원번호 10-2002-0009732
(22) 출원일자 2002년02월23일

(65) 공개번호 10-2003-0070265
(43) 공개일자 2003년08월30일

(73) 특허권자 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 박상호
경기도수원시팔달구영통동황골마을벽산아파트222동601호

(74) 대리인 이영필

심사관 : 나용수

(54) 슬루 레이트(slew rate)를 감소시키는 박막트랜지스터형 액정 표시 장치의 소스 드라이버 회로 및 방법

요약

슬루 레이트(slew rate)를 감소시키는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 회로 및 방법이 개시된다. 본 발명에 따른 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 회로는 데이터 래치부, 스위치 버퍼부 및 출력 제어부를 구비하는 것을 특징으로 한다.
데이터 래치부는 메인 클럭 신호에 응답하여 색상 데이터를 수신하여 저장하고, 소정의 제 1 신호에 응답하여 저장된 상기 색상 데이터를 출력한다. 스위치 버퍼부는 상기 데이터 래치부에서 출력되는 상기 색상 데이터를 수신하고 소정의 제 2 신호에 응답하여 상기 색상 데이터를 패널로 인가한다. 출력 제어부는 상기 메인 클럭 신호, 패널로 출력되는 색상 데이터의 전압의 극성을 제어하는 극성 반전 신호 및 제 1 클럭 신호에 응답하여 상기 제 1 신호 및 상기 제 2 신호를 발생한다.
본 발명에 따른 소스 드라이버 회로 및 방법은 반도체 칩 외부로부터 별도의 신호를 만들지 않고 기존의 신호를 이용하여 패널로 인가되는 색상 데이터의 슬루 레이트를 줄일 수 있는 장점이 있다. 또한 본 발명에 따른 소스 드라이버 회로는 소스 드라이버 회로 내부의 쉬프트 레지스터와 출력 버퍼부가 동시에 스위칭 되면서 발생되는 스위칭 전류를 분산시킴으로써 소비전류의 감소가 가능하고, 슬루 레이트를 줄이기 위해 출력 버퍼부에 사용되는 드라이빙 트랜지스터를 작게 할 수도 있으므로 칩 면적 및 소비 전류의 감소가 가능한 장점이 있다.

대표도

도 3

명세서

도면의 간단한 설명

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.
도 1은 종래의 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 회로를 나타내는 블럭도이다.
도 2는 도 1의 소스 드라이버 회로의 동작을 나타내는 타이밍도이다.

도 3은 본 발명에 따른 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 회로를 나타내는 도면이다.
도 4는 도 3의 소스 드라이버 회로의 동작을 나타내느 타이밍도이다.
도 5는 도 3의 출력 제어부를 나타내는 회로도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터형 액정 표시 장치에 관한 것으로서, 특히 슬루 레이트를 감소시킬 수 있는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 회 로에 관한 것이다.
일반적으로 액정 표시 장치는 패널의 게이트 라인들을 구동하기 위한 게이트 드라이버와 패널의 소스 라인들을 구동하기 위한 소스 드라이버를 구비한다. 게이트 드라이버가 패널에 고전압을 인가하여 패널을 도통 상태로 만든다음 소스 드라이버가 각각의 소스 라인에 색을 표시하기 위한 계조 전압(소스 드라이버 출력신호)을 인가함으로써 패널에 화면을 표시한다.
좀더 상세히 설명하면, 소스 드라이버는 패널에 디스플레이될 1 화소당 6 비트의 색상 데이터를 프로세서로부터 한 화소씩 입력받는다. 소스 드라이버에는 패널의 게이트 라인의 한 라인의 화소에 해당하는 색상 데이터가 입력되어 래치 된다. 패널의 게이트 라인의 한 라인에 해당하는 색상 데이터를 모두 래치 한 다음, 마지막으로 각 화소의 색상 데이터로 멀티플렉싱하여 색상을 표시하는 전압을 패널로 한 라인씩 동시에 인가한다. 이 때, 게이트 드라이버는 게이트 라인 중에서 한 라인만을 높은 전압을 인가하여 소스 라인에 인가된 색상 데이터가 해당 게이트 라인에 저장될 수 있도록 트랜지스터를 턴 온 시켜 전압이 저장되어 색상이 표시될 수 있도록 하여 준다.
도 1은 종래의 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 회로를 나타내는 블럭도이다.
도 2는 도 1의 소스 드라이버 회로의 동작을 나타내는 타이밍도이다.
도 1을 참조하면, 종래의 소스 드라이버 회로(100)는 쉬프트 레지스터(110), 제 1 데이터 래치부(120), 제 2 데이터 래치부(130), 디코더(140) 및 출력 버퍼부(150)를 구비한다.
쉬프트 레지스터(110)는 메인 클럭 신호(MCLK)를 수신하여 제 1 데이터 래치부(120)로 인가한다. 메인 클럭 신호(MCLK)에 응답하여 색상 데이터(DATA)가 제 1 데이터 래치부(120)로 입력되어 래치 된다. 제 2 데이터 래치부(130)는 제 1 데이터 래치부(120)로부터 색상 데이터(DATA)를 수신하고 제 1 클럭 신호(CLK1)에 응답하여 출력한다. 디코더(140)는 제 2 데이터 래치부(130)로부터 출력되는 색상 데이터(DATA)를 수신하고 전압 제어 신호(VGMA)에 응답하여 색상 데이터(DATA)가 일정한 전압 레벨을 갖도록 한다. 출력 버퍼부(150)는 일정한 전압 레벨을 가지는 색상 데이터(DATA)를 수신하고 소정의 기준 전압을 기준으로 하여 기준 전압보다 높은 전압인지 낮은 전압인지를 표시하는 극성 반전 신호(POL)에 응답하여 색상 데이터(YDATA)의 극성을 표시하여 패널(160)로 출력한다.
그런데, 소스 드라이버 회로에서 출력 버퍼부(150)에서 출력되는 색상 데이터(YDATA)는 슬루 레이트(Slew Rate)가 중요한 요소 중의 하나이다. 특히 UXGA(Ultra Extended Graphics Array) 급 패널 이상에서는 수평 동기 구간이 13us~15us 정도 밖에 되지 않아 출력 버퍼부(150)에서 출력되는 색상 데이터(YDATA)의 슬루 레이트가 3us 이상일 경우에는 좋은 화질 구동이 어렵다.
출력 버퍼부(150)에서 출력되는 색상 데이터(YDATA)의 슬루 레이트(Slew Rate)는 패널(160)의 큰 부하로 인하여 더욱 제약을 받게 되는데, 소스 드라이버 회로(100) 외부의 패널(160)상의 저항이나 커패시터에 의하여 구형파 같은 구동을 하지 못한다.
도 2를 참조하면, 출력 버퍼부(150)에서 출력되는 색상 데이터(YDATA)는 제 1 클럭 신호(CLK1)에 응답하여 출력된다. 극성 반전 신호(POL)의 위상이 바뀔 때마다 색상 데이터(YDATA)의 극성이 기준 전압(VCOM)을 기준으로 변화되는 것을 알 수 있다.
색상 데이터(YDATA)가 제 1 클럭 신호(CLK1)에 응답하여 출력되는데, 제 1 클럭 신호(CLK1)는 제 2 데이터 래치부(130)로 인가되는 신호이므로 출력 버퍼부(150)에서 출력되는 색상 데이터(YDATA)의 슬루 레이트에는 제 2 데이터 래치부(130)에서 출력 버퍼부(150)까지의 이동시간이 포함된다. 도 2 에서도 긴 슬루 레이트로 인하여 색상 데이터(YDATA)의 출력 곡선이 완만하게 변화됨을 알 수 있다.
이와 같이 슬루 레이트가 길어짐으로 인하여 소스 드라이버 회로에서의 전류 소비가 많아지고 높은 부하 및 고해상도를 가지는 패널의 특성이 불안정해지는 문제가 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자하는 기술적 과제는, 색상 데이터를 패널로 인가하는 신호가 입력되기 전에 미리 색상 데이터를 소스 드라이버 회로의 출력 버퍼부로 인가하여 패널로 인가되는 색상 데이터의 슬루 레이트를 줄일 수 있는 소스 드라이버 회로를 제공하는데 있다.
본 발명이 이루고자하는 다른 기술적 과제는, 색상 데이터를 패널로 인가하는 신호가 입력되기 전에 미리 색상 데이

터를 소스 드라이버 회로의 출력 버퍼부로 인가하여 패널로 인가되는 색상 데이터의 슬루 레이트를 조절하는 방법을 제공하는데 있다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명의 제 1 실시예에 따른 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 회로는 데이터 래치부, 스위치 버퍼부 및 출력 제어부를 구비하는 것을 특징으로 한다.
데이터 래치부는 메인 클럭 신호에 응답하여 색상 데이터를 수신하여 저장하고, 소정의 제 1 신호에 응답하여 저장된 상기 색상 데이터를 출력한다.
스위치 버퍼부는 상기 데이터 래치부에서 출력되는 상기 색상 데이터를 수신하고 소정의 제 2 신호에 응답하여 상기 색상 데이터를 패널로 인가한다.
출력 제어부는 상기 메인 클럭 신호, 패널로 출력되는 색상 데이터의 전압의 극성을 제어하는 극성 반전 신호 및 제 1 클럭 신호에 응답하여 상기 제 1 신호 및 상기 제 2 신호를 발생한다.
바람직하기로는 상기 제 1 신호는 상기 극성 반전 신호의 위상이 반전될 때마다 상기 극성 반전 신호의 상승 에지 또는 하강 에지에 응답하여 일정 시간동안 활성화되며, 상기 극성 반전 신호의 위상이 변하지 않는 경우에는, 상기 제 1 클럭 신호가 상기 제 1 신호로서 발생되는 것을 특징으로 한다.
또한 상기 제 2 신호는 상기 극성 반전 신호의 위상이 반전될 때마다 상기 극성 반전 신호의 상승 에지 또는 하강 에지에 응답하여 비활성화 되고 상기 제 1 클럭 신호의 상승 에지에 응답하여 활성화되며, 상기 극성 반전 신호의 위상이 변 하지 않는 경우에는 현재 상태를 유지하는 것을 특징으로 한다.
바람직하기로는 상기 출력 제어부는 상기 메인 클럭 신호에 응답하여 상기 극성 반전 신호를 수신하고 일정 시간동안 지연시켜 출력하는 지연부, 제 1 클럭 신호에 응답하여 상기 극성 반전 신호를 수신하고, 상기 극성 반전 신호의 위상이 반전될 때마다 활성화되며, 상기 극성 반전 신호의 위상이 변하지 않는 경우 상기 제 1 클럭 신호를 상기 제 1 신호로서 발생하는 제 1 신호 발생부 및 상기 극성 반전 신호, 상기 지연부의 출력신호 및 소정의 지연 제 1 클럭 신호를 수신하여, 상기 극성 반전 신호의 상승 에지 또는 하강 에지에 응답하여 비활성화 되고 상기 제 1 클럭 신호의 상승 에지에 응답하여 활성화되며, 상기 극성 반전 신호의 위상이 변하지 않는 경우에는 현재 상태를 유지하는 상기 제 2 신호를 발생하는 제 2 신호 발생부를 구비하는 것을 특징으로 한다. 상기 제 2 신호 발생부는 상기 메인 클럭 신호에 응답하여 상기 제 1 클럭 신호를 수신하고 일정시간 동안 지연시켜 상기 지연 제 1 클럭 신호를 발생하는 지연 클럭부를 더 구비한다.
상기 지연부는 복수개의 플립 플랍들을 구비하는 것을 특징으로 한다. 상기 제 1 신호 발생부는 제 1 클럭 신호에 응답하여 상기 극성 반전 신호를 수신하고 지연시켜 출력하는 제 1 및 제 2 플립 플랍, 상기 제 1 플립 플랍의 출력 및 상기 제 2 플립 플랍의 출력 신호를 수신하여 배타적 논리합하는 제 2 배타적 논리합 수단, 상기 제 2 배타적 논리합 수단의 출력을 반전하여 출력하는 제 2 인버터, 상기 제 2 인버터의 출력 및 상기 제 1 클럭 신호를 논리곱하는 논리곱 수단, 상기 지연부의 플립 플랍들중 첫 번째 플립 플랍의 반전 출력 신호를 반전한 신호 및 세 번 째 플립 플랍의 출력 신호를 배타적 논리합 하는 제 3 배타적 논리합 수단 및 상기 제 3 배타적 논리합 수단 및 상기 논리곱 수단의 출력을 논리합 하여 상기 제 1 신호로서 출력하는 논리합 수단을 구비하는 것을 특징으로 한다.
상기 제 2 신호 발생부는 상기 극성 반전 신호 및 상기 지연부의 출력 신호를 수신하여 배타적 논리합하는 제 1 배타적 논리합 수단, 상기 제 1 배타적 논리합 수단의 출력 및 상기 지연 제 1 클럭 신호를 수신하여 출력하는 SR 래치 및 상기 SR 래치의 출력을 반전하여 상기 제 2 신호로서 발생하는 제 1 인버터를 구비하는 것을 특징으로 한다.
상기 기술적 과제를 달성하기 위한 본 발명의 제 2 실시예에 따른 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 회로는 데이터 래치부 및 스위치 버퍼부를 구비하는 것을 특징으로 한다.
데이터 래치부는 메인 클럭 신호에 응답하여 색상 데이터를 수신하여 저장하고, 소정의 제 1 신호에 응답하여 저장된 상기 색상 데이터를 출력한다. 스위치 버퍼부는 상기 데이터 래치부에서 출력되는 상기 색상 데이터를 수신하고 소정의 제 2 신호에 응답하여 상기 색상 데이터를 패널로 인가한다.
바람직하기로는 상기 제 1 신호는 상기 메인 클럭 신호, 패널로 출력되는 색상 데이터의 전압의 극성을 제어하는 극성 반전 신호 및 제 1 클럭 신호에 응답하여 발생되며, 상기 극성 반전 신호의 위상이 반전될 때마다 상기 극성 반전 신호의 상승 에지 또는 하강 에지에 응답하여 일정 시간동안 활성화되고, 상기 극성 반전 신호의 위상이 변하지 않는 경우에는 상기 제 1 클럭 신호가 상기 제 1 신호로서 발생 되는 것을 특징으로 한다. 또한 상기 제 2 신호는 상기 메인 클럭 신호, 패널로 출력되는 색상 데이터의 전압의 극성을 제어하는 극성 반전 신호 및 제 1 클럭 신호에 응답하여 발생되며, 상기 극성 반전 신호의 위상이 반전될 때마다 상기 극성 반전 신호의 상승 에지 또는 하강 에지에 응답하여 비활성화 되고 상기 제 1 클럭 신호의 상승 에지에 응답하여 활성화되며, 상기 극성 반전 신호의 위상이 변하지 않는 경우에는 현재 상태를 유지하는 것을 특징으로 한다.
상기 기술적 과제를 달성하기 위한 본 발명의 제 3 실시예에 따른 박막 트랜지스터형 액정 표시장치의 소스 드라이버 회로는 제 1 데이터 래치부, 제 2 데이터 래치부, 디코딩부, 출력 버퍼부, 출력 스위치부 및 출력 제어부를 구비하는 것을 특징으로 한다.
제 1 데이터 래치부는 메인 클럭 신호에 응답하여 색상 데이터들을 수신하여 저장한다. 제 2 데이터 래치부는 상기 제 1 데이터 래치부에서 출력되는 상기 색상 데이터들을 수신하여 저장한 후 소정의 제 1 신호에 응답하여 저장된 상기 색상 데이터들을 출력한다. 디코딩부는 소정의 전압 제어 신호에 응답하여 상기 제 2 데이터 래치부에서 출력되는 상기 색상 데이터들이 각각 일정한 전압을 표시하도록 한다. 출력 버퍼부는 상기 디코딩부에서 출력되는 상기 색상 데이터들을 수신하고 버퍼링하여 출력한다. 출력 스위치부는 소정의 제 2 신호에 응답하여 상기 출력 버퍼부에서 출력

되는 상기 색상 데이터들을 패널로 인가하거나 차단한다.
출력 제어부는 상기 메인 클럭 신호, 패널로 출력되는 색상 데이터의 전압의 극성을 제어하는 극성 반전 신호 및 제 1 클럭 신호에 응답하여 상기 제 1 신호 및 상기 제 2 신호를 발생한다.
바람직하기로는, 상기 출력 제어부는 상기 메인 클럭 신호에 응답하여 상기 극성 반전 신호를 수신하고 일정 시간동안 지연시켜 출력하는 지연부, 제 1 클럭 신호에 응답하여 상기 극성 반전 신호를 수신하고, 상기 극성 반전 신호의 위상이 반전될 때마다 활성화되며, 상기 극성 반전 신호의 위상이 변하지 않는 경우 상기 제 1 클럭 신호를 상기 제 1 신호로서 발생하는 제 1 신호 발생부 및 상기 극성 반전 신호, 상기 지연부의 출력신호 및 소정의 지연 제 1 클럭 신호를 수신하여, 상기 극성 반전 신호의 상승 에지 또는 하강 에지에 응답하여 비활성화 되고 상기 제 1 클럭 신호의 상승 에지에 응답하여 활성화되며, 상기 극성 반전 신호의 위상이 변하지 않는 경우에는 현재 상태를 유지하는 상기 제 2 신호를 발생하는 제 2 신호 발생부를 구비한다.
제 2 신호 발생부는 상기 메인 클럭 신호에 응답하여 상기 제 1 클럭 신호를 수신하고 일정시간 동안 지연시켜 상기 지연 제 1 클럭 신호를 발생하는 지연 클럭부를 더 구비한다. 상기 지연부는 복수개의 플립 플랍들을 구비한다. 상기 제 1 신호 발생부는 제 1 클럭 신호에 응답하여 상기 극성 반전 신호를 수신하고 지연시켜 출력하는 제 1 및 제 2 플립 플랍, 상기 제 1 플립 플랍의 출력 및 상기 제 2 플립 플랍의 출력 신호를 수신하여 배타적 논리합하는 제 2 배타적 논리합 수단, 상기 제 2 배타적 논리합 수단의 출력을 반전하여 출력하는 제 2 인버터, 상기 제 2 인버터의 출력 및 상기 제 1 클럭 신호를 논리곱하는 논리곱 수단, 상기 지연부의 플립 플랍들중 첫 번째 플립 플랍의 반전 출력 신호를 반전한 신호 및 세 번째 플립 플랍의 출력 신호를 배타적 논리합 하는 제 3 배타적 논리합 수단 및 상기 제 3 배타적 논리합 수단 및 상기 논리곱 수단의 출력을 논리합 하여 상기 제 1 신호로서 출력하는 논리합 수단을 구비한다.
상기 제 2 신호 발생부는 상기 극성 반전 신호 및 상기 지연부의 출력 신호를 수신하여 배타적 논리합하는 제 1 배타적 논리합 수단, 상기 배타적 논리합 수단의 출력 및 상기 지연 제 1 클럭 신호를 수신하여 출력하는 SR 래치, 상기 SR 래치의 출력을 반전하여 상기 제 2 신호로서 발생하는 제 1 인버터를 구비한다.
상기 다른 기술적 과제를 달성하기 위한 본 발명의 제 1 실시예에 따른 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 회로에서 패널로 인가되는 색상 데이터의 슬루 레이트를 조절하는 방법은, (a) 메인 클럭 신호에 응답하여 색상 데이터를 수신하여 저장하고, 소정의 제 1 신호에 응답하여 저장된 상기 색상 데이터를 출력하는 단계 및 (b) 상기 출력되는 색상 데이터를 수신하고 소정의 제 2 신호에 응답하여 상기 색상 데이터를 패널로 인가하는 단계를 구비하는 것을 특징으로 한다.
상기 (a) 단계는 (a1) 상기 메인 클럭 신호에 응답하여 상기 색상 데이터를 수신하여 저장하는 단계, (a2) 상기 메인 클럭 신호, 패널로 출력되는 색상 데이터의 전압의 극성을 제어하는 극성 반전 신호 및 제 1 클럭 신호에 응답하여 상기 제 1 신호를 발생하는 단계 및 (a3) 상기 제 1 신호에 응답하여 상기 색상 데이터를 출력하는 단계를 구비하는 것을 특징으로 한다. 상기 (a2) 단계는 (a21) 상기 제 1 클럭 신호에 응답하여 상기 극성 반전 신호를 수신하고, 상기 극성 반전 신호를 서 로 다른 시간동안 지연시킨 두 신호를 배타적 논리합하는 단계, (a22) 상기 (a21)단계의 출력을 반전하여 출력하는 단계, (a23) 상기 (a22) 단계의 출력 및 상기 제 1 클럭 신호를 논리곱 하는 단계, (a24) 메인 클럭 신호에 응답하여 상기 극성 반전 신호를 수신하고, 상기 극성 반전 신호를 서로 다른 시간동안 지연시킨 두 신호를 배타적으로 논리합하는 단계, (a25) (a23) 단계와 상기 (a24) 단계의 출력을 논리합하여 상기 제 1 신호를 발생하는 단계를 구비하는 것을 특징으로 한다.
상기 (b) 단계는 (b1) 상기 출력되는 색상 데이터를 수신하고 상기 색상 데이터들이 각각 일정한 전압을 표시하도록 디코딩하는 단계, (b2) 상기 디코딩 된 색상 데이터들을 수신하고 버퍼링하여 출력하는 단계, (b3) 상기 메인 클럭 신호, 패널로 출력되는 색상 데이터의 전압의 극성을 제어하는 극성 반전 신호 및 제 1 클럭 신호에 응답하여 상기 제 2 신호를 발생하는 단계 및 (b4) 상기 제 2 신호에 응답하여 상기 색상 데이터들을 패널로 인가하는 단계를 구비하는 것을 특징으로 한다. 상기 (b3) 단계는 (b31) 메인 클럭 신호에 응답하여 상기 극성 반전 신호를 수신하고, 상기 극성 반전 신호 및 상기 극성 반전 신호를 지연시킨 신호를 수신하여 배타적 논리합하는 단계, (b32) 상기 (b31) 단계의 출력 및 상기 제 1 클럭 신호를 지연시킨 지연 제 1 클럭 신호를 수신하고 래치하는 단계 및 (b33) 상기 (b32) 단계의 출력을 반전하여 상기 제 2 신호를 발생하는 단계를 구비하는 것을 특징으로 한다.
본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도 면 및 도면에 기재된 내용을 참조하여야 한다.
이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
도 3은 본 발명에 따른 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 회로를 나타내는 도면이다.
도 4는 도 3의 소스 드라이버 회로의 동작을 나타내느 타이밍도이다.
도 5는 도 3의 출력 제어부를 나타내는 회로도이다.
도 3, 도 4 및 도 5를 참조하면 본 발명에 따른 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 회로(300)는 데이터 래치부(380), 스위치 버퍼부(390) 및 출력 제어부(395)를 구비하는 것을 특징으로 한다.
데이터 래치부(380)는 메인 클럭 신호(MCLK)에 응답하여 색상 데이터(DATA)를 수신하여 저장하고, 소정의 제 1 신호(CTRLS1)에 응답하여 저장된 색상 데이터(DATA)를 출력한다.
스위치 버퍼부(390)는 데이터 래치부(380)에서 출력되는 색상 데이터(DATA)를 수신하고 소정의 제 2 신호(CTRLS2)에 응답하여 색상 데이터(DATA)를 패널(370)로 인가한다.
출력 제어부(395)는 메인 클럭 신호(MCLK), 패널(370)로 출력되는 색상 데이터(YDATA)의 전압의 극성을 제어하는 극성 반전 신호(POL) 및 제 1 클럭 신호(CLK1)에 응답하여 제 1 신호(CTRLS1) 및 제 2 신호(CTRLS2)를 발생한다.
바람 직하기로는 제 1 신호(CTRLS1)는 극성 반전 신호(POL)의 위상이 반전될 때마다 극성 반전 신호(POL)의 상승

에지 또는 하강 에지에 응답하여 일정 시간동안 활성화되며, 극성 반전 신호(POL)의 위상이 변하지 않는 경우에는, 제 1 클럭 신호(CLK1)가 제 1 신호(CTRLS1)로서 발생되는 것을 특징으로 한다.

또한 제 2 신호(CTRLS2)는 극성 반전 신호(POL)의 위상이 반전될 때마다 극성 반전 신호(POL)의 상승 에지 또는 하강 에지에 응답하여 비활성화 되고 제 1 클럭 신호(CLK1)의 상승 에지에 응답하여 활성화되며, 극성 반전 신호(POL)의 위상이 변하지 않는 경우에는 현재 상태를 유지하는 것을 특징으로 한다.

바람직하기로는 출력 제어부(395)는 메인 클럭 신호(MCLK)에 응답하여 극성 반전 신호(POL)를 수신하고 일정 시간동안 지연시켜 출력하는 지연부(510), 제 1 클럭 신호(CLK)에 응답하여 극성 반전 신호(POL)를 수신하고, 극성 반전 신호(POL)의 위상이 반전될 때마다 활성되며, 극성 반전 신호(POL)의 위상이 변하지 않는 경우 제 1 클럭 신호(CLK1)를 제 1 신호로(CTRLS1)서 발생하는 제 1 신호 발생부(520) 및 극성 반전 신호(POL), 지연부(510)의 출력신호 및 소정의 지연 제 1 클럭 신호(CLK1_D)를 수신하여, 극성 반전 신호(POL)의 상승 에지 또는 하강 에지에 응답하여 비활성화 되고 제 1 클럭 신호(CLK1)의 상승 에지에 응답하여 활성화되며, 극성 반전 신호(POL)의 위상이 변하지 않는 경우에는 현재 상태를 유지하는 제 2 신호(CTRLS2)를 발생하는 제 2 신호 발생부(530)를 구비하는 것을 특징으로 한다.

제 2 신호 발생부(530)는 메인 클럭 신호(MCLK)에 응답하여 제 1 클럭 신호(CLK1)를 수신하고 일정시간 동안 지연시켜 지연 제 1 클럭 신호(CLK1_D)를 발생하는 지연 클럭부(536)를 더 구비한다.

지연부(510)는 복수개의 플립 플랍들을 구비하는 것을 특징으로 한다. 제 1 신호 발생부(520)는 제 1 클럭 신호(CLK1)에 응답하여 극성 반전 신호(POL)를 수신하고 지연시켜 출력하는 제 1 및 제 2 플립 플랍(521, 522), 제 1 플립 플랍(521)의 출력 및 제 2 플립 플랍(522)의 출력 신호를 수신하여 배타적 논리합 하는 제 2 배타적 논리합 수단(523), 제 2 배타적 논리합 수단(523)의 출력을 반전하여 출력하는 제 2 인버터(524), 제 2 인버터(524)의 출력 및 제 1 클럭 신호(CLK1)를 논리곱 하는 논리곱 수단(525), 지연부(510)의 플립 플랍들중 첫 번째 플립 플랍(511)의 반전 출력 신호를 반전한 신호 및 세 번째 플립 플랍(513)의 출력 신호를 배타적 논리합 하는 제 3 배타적 논리합 수단(527) 및 제 3 배타적 논리합 수단(527) 및 논리곱 수단(525)의 출력을 논리합 하여 제 1 신호(CTRLS1)로서 출력하는 논리합 수단(525)을 구비하는 것을 특징으로 한다.

제 2 신호 발생부(530)는 극성 반전 신호(POL) 및 지연부(510)의 출력 신호를 수신하여 배타적 논리합 하는 제 1 배타적 논리합 수단(531), 제 1 배타적 논리합 수단(531)의 출력 및 지연 제 1 클럭 신호(CLK1_D)를 수신하여 출력하는 SR 래치(532) 및 SR 래치(532)의 출력을 반전하여 제 2 신호(CTRLS2)로서 발생하는 제 1 인버터(535)를 구비하는 것을 특징으로 한다.

이하 도 3, 도 4 및 도 5를 참조하여 본 발명의 제 1 실시예에 따른 소스 드라이버 회로의 동작이 상세히 설명된다.

데이터 래치부(380)는 메인 클럭 신호(MCLK)에 응답하여 색상 데이터(DATA)를 수신하여 저장하고, 소정의 제 1 신호(CTRLS1)에 응답하여 저장된 색상 데이터(DATA)를 출력한다.

좀더 자세히 설명하면, 메인 클럭 신호(MCLK)는 데이터 래치부(380) 내부의 쉬프트 레지스터(310)에 의하여 제 1 데이터 래치부(320)로 입력되고 색상 데이터(DATA)는 메인 클럭 신호(MCLK)에 동기되어 데이터 래치부(380) 내부의 제 1 데이터 래치부(320)로 인가된다. 제 1 데이터 래치부(320)로 래치된 색상 데이터(DATA)는 제 2 데이터 래치부(330)로 입력되고 제 1 신호(CTRLS1)에 응답하여 출력된다.

도 4의 타이밍도를 살펴보면, 제 1 신호(CTRLS1)는 극성 반전 신호(POL)의 위상이 반전될 때마다 극성 반전 신호(POL)의 상승 에지 또는 하강 에지에 응답하여 일정 시간동안 활성화되며, 극성 반전 신호(POL)의 위상이 변하지 않는 경우에는, 제 1 클럭 신호(CLK1)가 제 1 신호(CTRLS1)로서 발생된다.

이와 같은 기능을 하는 제 1 신호(CTRLS1)는 출력 제어부(395)로부터 발생된다. 출력 제어부(395)의 구성 및 기능은 후술된다.

제 1 신호(CTRLS1)에 응답하여 색상 데이터(DATA)는 데이터 래치부(380)에서 스위치 버퍼부(390)의 출력 버퍼부(350)로 전달된다. 도 4에서 알 수 있듯이, 제 1 신호(CTRLS1)의 활성구간, 즉 논리 하이 레벨 구간동안 색상 데이터(DATA)는 출력 버퍼부(350)에서 출력된다. 이 때, 출력 버퍼부(350)에서 출력되는 색상 데이터(DATA)의 극성은 극성 반전 신호(POL)에 따라 기준 전압(VCOM)을 기준으로 변화되는 것을 알 수 있다. 극성 반전 신호(POL)의 위상이 변화되지 않는 경우(ⅰ , ⅱ)에는 제 1 클럭 신호(CTRLS1)가 제 1 신호(CTRLS1)로서 사용되며, 따라서 제 1 클럭 신호(CTRLS1)에 응답하여 색상 데이터(DATA)가 출력 버퍼부(350)로부터 출력된다.

스위치 버퍼부(390)는 데이터 래치부(380)에서 출력되는 색상 데이터(DATA)를 수신하고 소정의 제 2 신호(CTRLS2)에 응답하여 색상 데이터(DATA)를 패널(370)로 인가한다.

좀더 자세히 설명하면, 데이터 래치부(380)에서 출력된 색상 데이터(DATA)는 스위치 버퍼부(390)내부의 디코딩부(340)에서 전압 제어 신호(VCMA)에 응답하여 일정한 전압 레벨을 가지게 된다. 그리고 색상 데이터(DATA)는 출력 버퍼부(350)로 인가되어 출력된다. 색상 데이터(DATA)가 출력 버퍼부(350)까지 인가되어 출력되는 것은 제 1 신호(CTRLS1)에 의하여 이루어진다. 제 2 신호(CTRLS2)는 스위치 버퍼부(390) 내부의 출력 스위치부(360)를 제어하여 색상 데이터(YDATA)를 패널로 출력한다. 출력 스위치부(360)는 제 2 신호(CTRLS2)가 활성화되면 턴 온 되고 비활성화 되면 턴 오프 되는 복수개의 스위치들을 구비한다.

제 2 신호(CTRLS2)는 극성 반전 신호(POL)의 위상이 반전될 때마다 극성 반전 신호(POL)의 상승 에지 또는 하강 에지에 응답하여 비활성화 되고 제 1 클럭 신호(CLK1)의 상승 에지에 응답하여 활성화되며, 극성 반전 신호(POL)의 위상이 변하지 않는 경우에는 현재 상태를 유지한다.

이와 같은 기능을 하는 제 2 신호(CTRLS2)는 출력 제어부(395)로부터 발생된 다. 출력 제어부(395)의 구성 및 기능은 후술된다.

제 1 신호(CTRLS1)에 의하여 색상 데이터(DATA)가 출력 스위치부(360)의 바로 전까지 도달되어 있고, 이 때 제 2 신호(CTRLS2)가 하이 레벨로 활성화되면 출력 스위치부(360)가 턴 온 되면서 색상 데이터(YDATA)가 패널로 출력된다. 제 2 신호(CTRLS2)가 하이 레벨로 활성화되는 동안, 제 1 신호(CTRLS1)는 로우 레벨로 비활성화 된다. 즉 제 2 신호(CTRLS2)에 의하여 출력 스위치부(360)에서 색상 데이터(YDATA)가 패널로 출력되는 동안은 데이터 래치부(380)로 인가되는 색상 데이터(DATA)는 제 2 데이터 래치부(380)에 저장되어 있고, 출력 스위치부(360)에서 패널(370)로 색상 데이터(YDATA)가 모두 출력되면, 즉, 제 2 신호(CTRLS2)가 로우 레벨로 비활성화 되면 제 1 신호(CTRLS1)가 하이 레벨로 활성화되고 제 2 데이터 래치부(380)에 저장되어 있던 색상 데이터(DATA)는 출력 버퍼부(340)로 인가된다.

또한 제 2 신호(CTRLS2)가 하이 레벨로 활성화되는 시간은 제 1 클럭 신호()가 하이 레벨로 활성화되는 시간과 동일하다. 즉, 스위치 버퍼부(390)의 출력 스위치부(360)에서 색상 데이터(YDATA)가 패널(370)로 인가되는 시간은 종래의 소스 드라이버 회로(100)와 동일하면서도 데이터 래치부(380)의 색상 데이터(DATA)는 제 1 클럭 신호(CLK1)가 인가되기 전에 출력 버퍼부(340)로 전송된다. 따라서 제 1 클럭 신호(CLK1)가 하이 레벨로 발생되면, 즉 제 2 신호(CTRLS2)가 하이 레벨로 발생되면 색상 데이터(YDATA)는 출력 스위치부(360)에서 패널로 바로 출력된다.

종래의 소스 드라이버 회로(100)에서는 제 1 클럭 신호(CLK1)가 발생된 후 색상 데이터(DATA)가 제 1 및 제 2 데이터 래치부(380), 디코딩부(340) 및 출력 버 퍼부(340)를 통과하는 시간이 패널(370)로 출력되는 색상 데이터(YDATA)의 슬루 레이트에 모두 포함된다. 그러나 본 발명에 의하면 제 1 클럭 신호(CLK1)가 발생되기 전에 색상 데이터(DATA)가 미리 출력 버퍼부(340)에 전송되어 있으므로, 출력 스위치부(360)에서 패널(370)로 출력되는 색상 데이터(YDATA)의 슬루 레이트는 매우 줄어든다.

제 1 신호(CTRLS1)와 제 2 신호(CTRLS2)를 발생하는 출력 제어부(395)에 대하여 살펴본다.

출력 제어부(395)는 메인 클럭 신호(MCLK), 패널(370)로 출력되는 색상 데이터(YDATA)의 전압의 극성을 제어하는 극성 반전 신호(POL) 및 제 1 클럭 신호(CLK1)에 응답하여 제 1 신호(CTRLS1) 및 제 2 신호(CTRLS2)를 발생한다. 바람직하기로는 출력 제어부(395)는 지연부(510), 제 1 신호 발생부(520) 및 제 2 신호 발생부(530)를 구비한다.

지연부(510)는 메인 클럭 신호(MCLK)에 응답하여 극성 반전 신호(POL)를 수신하고 일정 시간동안 지연시켜 출력한다. 지연부(510)는 복수개의 플립 플랍들(511, 512, 513, 514)을 구비하는 것을 특징으로 한다.

제 1 신호 발생부(520)는 제 1 클럭 신호(CLK)에 응답하여 극성 반전 신호(POL)를 수신하고, 극성 반전 신호(POL)의 위상이 반전될 때마다 활성되며, 극성 반전 신호(POL)의 위상이 변하지 않는 경우 제 1 클럭 신호(CLK1)를 제 1 신호로(CTRLS1)서 발생한다. 이를 위하여 제 1 신호 발생부(520)는 제 1 및 제 2 플립 플랍(521, 522), 배타적 논리합 수단들(523, 527), 인버터들(524, 526) 논리곱 수 단(525) 및 논리합 수단(528)을 구비한다.

제 1 및 제 2 플립 플랍(521, 522)들은 제 1 클럭 신호(CLK1)에 응답하여 동작되며 극성 반전 신호(POL)를 수신하고 지연시켜서 제 2 배타적 논리합 수단(523)으로 인가한다. 또한 제 1 플립 플랍(521)도 극성 반전 신호(POL)를 지연시켜서 제 2 배타적 논리합 수단(523)으로 인가한다. 제 2 배타적 논리합 수단(523)의 출력은 제 2 인버터(524)를 거쳐서 논리곱 수단(525)으로 입력된다. 논리곱 수단(525)으로는 제 1 클럭 신호(CLK1)도 인가된다.

제 2 인버터(524)의 출력이 하이 레벨이면 제 2 배타적 논리합 수단(523)의 출력은 로우 레벨이고 이는 제 2 배타적 논리합 수단(523)의 두 입력이 서로 동일한 논리 레벨을 가진다는 것을 의미한다. 즉, 극성 반전 신호(POL)가 제 1 플립 플랍(521) 및 제 2 플립 플랍(522)에 의하여 지연되어 출력된 신호들의 논리 레벨이 동일하다는 의미이므로 이는 극성 반전 신호의 논리 레벨이 일정 시간동안 변화되지 않는다는 것을 나타낸다. 이 때 논리곱 수단(525)으로 입력되는 제 2 인버터(524)의 출력이 하이 레벨이므로 논리곱 수단(525)의 출력은 제 1 클럭 신호(CLK1)와 동일한 신호가 된다.

제 1 클럭 신호(CLK1)에 동기 되는 극성 반전 신호(POL)의 논리 레벨이 일정 시간 동안 변화되지 않으므로 지연부(510)의 세 번째 플립 플랍(513)의 출력과 첫 번째 플립 플랍(511)의 반전 출력을 인버터(526)를 통하여 수신하는 제 3 배타적 논리합 수단(527)의 출력 또한 로우 레벨이 된다. 메인 클럭 신호(MCLK)의 주기는 제 1 클럭 신호(CLK1)의 주기에 비하여 상당히 빠르므로, 제 1 클럭 신호(CLK1)에 동기 되는 극성 반전 신호(POL)의 논리 레벨이 변화되지 않는다면 메인 클럭 신호(MCLK)에 동기 되는 극성 반전 신호의 논리 레벨도 변화되지 않기 때문이다. 여기서 제 3 배타적 논리합 수단(527)의 입력은 반드시 지연부(510)의 첫 번째 및 세 번째 플립 플랍(511, 513)의 출력일 필요는 없으며 극성 반전 신호(POL)가 지연되는 정도가 서로 다른 두 입력이면 된다. 제 3 배타적 논리합 수단(527)은 극성 반전 신호(POL)의 논리 레벨이 변화되는 지 여부를 감지하는 기능을 하는 것이기 때문이다.

따라서, 제 3 배타적 논리합 수단(527)의 출력이 로우 레벨이므로 논리합 수단(528)의 출력인 제 1 신호(CTRLS1)는 논리곱 수단(525)의 출력과 동일하게 되고, 논리곱 수단(525)의 출력은 제 1 클럭 신호(CLK1)와 동일하므로, 결국, 극성 반전 신호(POL)의 논리 레벨이 변화되지 않는 경우에는 제 1 클럭 신호(CLK1)가 제 1 신호(CTRLS1)로서 발생된다. 이는 도 4의 (i) 및 (ii) 부분에 해당한다. 도 4의 타이밍도의 (i) 및 (ii) 부분은 제 1 클럭 신호(CLK1)가 제 1 신호(CTRLS1)로서 발생되므로 출력 버퍼부(340)의 출력 및 출력 스위치부(360)의 출력도 종래의 소스 드라이버 회로(100)와 동일한 형태로 출력된다.

극성 반전 신호(POL)의 논리 레벨이 변화되면 제 3 배타적 논리합 수단(527)의 출력은 하이 레벨로 되고, 따라서 논리합 수단(528)은 논리곱 수단(525)의 출력의 논리 레벨에 관계없이 제 1 신호(CTRLS1)를 하이 레벨로 출력한다. 즉, 제 1 신호(CTRLS1)는 극성 반전 신호(POL)의 논리 레벨이 변화되면 극성 반전 신호(POL)의 상승 에지 또는 하강 에지에 응답하여 일정 시간동안 활성화된다.

제 2 신호 발생부(530)는 극성 반전 신호(POL), 지연부(510)의 출력신호 및 소정의 지연 제 1 클럭 신호(CLK1_D)를 수신하여, 극성 반전 신호(POL)의 상승 에지 또는 하강 에지에 응답하여 비활성화 되고 제 1 클럭 신호(CLK1)의 상승 에지에 응답하여 활성화되며, 극성 반전 신호(POL)의 위상이 변하지 않는 경우에는 현재 상태를 유지하는 제 2 신

호(CTRLS2)를 발생한다. 이를 위하여, 제 2 신호 발생부(530)는 제 1 배타적 논리합 수단(531), SR 래치(532) 및 제 1 인버터(535)를 구비한다. 제 2 신호 발생부(530)는 메인 클럭 신호(MCLK)에 응답하여 제 1 클럭 신호(CLK1)를 수신하고 일정시간 동안 지연시켜 지연 제 1 클럭 신호(CLK1_D)를 발생하는 지연 클럭부(536)를 더 구비한다.
극성 반전 신호(POL)의 논리 레벨이 변화되면 제 1 배타적 논리합 수단(531)의 출력은 하이 레벨로 되고, SR 래치(532)의 동작 특성상 SR 래치(532)의 출력도 하이 레벨로 된다. 따라서, 제 1 인버터(535)의 출력인 제 2 신호(CTRLS2)는 로우 레벨로 된다. 즉, 극성 반전 신호(POL)의 논리 레벨이 변화될 때마다 제 2 신호(CTRLS2)는 로우 레벨로 출력된다. 극성 반전 신호(POL)의 논리 레벨이 변화되지 않는다면 제 1 배타적 논리합 수단(531)의 출력은 로우 레벨로 되고, 이어서 제 1 클럭 신호(CLK1)가 일정한 시간만큼 지연된 지연 제 1 클럭 신호(CLK1)가 하이 레벨로 되면 SR 래치(532)의 출력은 로우 레벨로 된다. 따라서, 제 1 인버터(535)의 출력인 제 2 신호(CTRLS2)는 하이 레벨로 된다. 제 2 신호(CTRLS2)는 극성 반전 신호(POL)의 위상이 변화될 때까지 하이 레벨을 유지하다가 극성 반전 신호(POL)의 위상이 변화되면 로우 레벨로 떨어진다.
도 4의 타이밍도에서 알 수 있듯이, 제 1 신호(CTRLS1)는 극성 반전 신호(POL)의 상승 에지 또는 하강 에지에 응답하여 지연부(510)의 첫 번째 플립 플랍(511)과 세 번째 플립 플랍(513)에 의한 지연 시간동안 하이 레벨로 활성화된 후 로우 레벨로 떨어진다. 물론 극성 반전 신호(POL)의 논리 레벨이 변화되지 않을 경우에는 제 1 클럭 신호(CLK1)가 제 1 신호(CTRLS1)로서 발생된다.
제 2 신호(CTRLS2)는 극성 반전 신호(POL)의 상승 에지 또는 하강 에지에 응답하여 로우 레벨로 떨어지고 제 1 클럭 신호(CLK1)의 상승 에지에 응답하여 하이 레벨로 활성화 된다. 제 1 클럭 신호(CLK1)의 상승 에지보다 조금 뒤에 하이 레벨로 활성화되는 것은 지연 클럭부(536)에 의한 지연 시간 때문이다.
제 1 신호(CTRLS1)와 제 2 신호(CTRLS2)는 하이 레벨로 활성화되는 구간이 중복되지 않는다. 따라서 제 1 신호(CTRLS1)가 활성화되어 데이터 래치부(380)로 인가된 색상 데이터(DATA)가 스위치 버퍼부(390)의 출력 버퍼부(340)까지 전송된 후 제 1 신호(CTRLS1)가 로우 레벨로 비활성화 되면, 제 2 신호(CTRLS2)가 하이 레벨로 활성화되어 출력 스위치부(360)를 턴 온 시키고 출력 스위치부(360)에서 출력되는 색상 데이터(YDATA)를 패널(370)로 인가한다.
그리고, 제 2 신호(CTRLS2)가 로우 레벨로 비활성화 되면, 다시 제 1 신호(CTRLS1)가 하이 레벨로 활성화되어 데이터 래치부(380)의 색상 데이터(DATA)를 스위치 버퍼부(390)로 인가한다. 따라서 종래의 소스 드라이버 회로(100)에서 제 1 클럭 신호(CLK1)가 발생되는 시간과 동일한 시간에 패널(370)로 색상 데이터(YDATA)가 인가되지만, 출력 스위치부(360)에서 패널(370)로 인가되는 색상 데이터(YDATA)의 슬루 레이트는 종래의 소스 드라이버 회로(100)보다 감소될 수 있다.
본 발명의 소스 드라이버 회로(300)는 반도체 칩 외부로부터 별도로 신호를 만들지 않고 기존의 신호를 이용하여 패널로 인가되는 색상 데이터(YDATA)의 슬루 레이트를 줄일 수 있다. 또한 본 발명은 도트 반전형 소스 드라이버 회로 이외에도 N-라인 반전형의 모듈에도 적용될 수 있다.
본 발명은 소스 드라이버 회로 내부의 레벨 쉬프터와 출력 버퍼부가 동시에 스위칭 되면서 발생되는 스위칭 전류를 분산시켜 소비 전류의 감소가 가능하고, 슬루 레이트를 줄이기 위해 출력 버퍼부에 사용되는 드라이빙 트랜지스터를 작게 할 수도 있으므로 칩 면적 및 소비 전류의 감소가 가능하다.
여기서 제 1 신호(CTRLS1) 및 제 2 신호(CTRLS2)의 활성화 레벨을 하이 레벨로 하고 비활성화 레벨을 로우 레벨로 정의하여 설명하였으나 회로를 구성하기에 따라서는 활성화 레벨을 로우 레벨로 하고 비활성화 레벨을 하이 레벨로 할 수 있음은 당연하다.
본 발명의 제 2 실시예에 따른 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 회로(300)는 데이터 래치부(380) 및 스위치 버퍼부(390)를 구비하는 것을 특징으로 한다.
데이터 래치부(380)는 메인 클럭 신호(MCLK)에 응답하여 색상 데이터(DATA)를 수신하여 저장하고, 소정의 제 1 신호(CTRLS1)에 응답하여 저장된 색상 데이터(DATA)를 출력한다.
스위치 버퍼부(390)는 데이터 래치부(380)에서 출력되는 색상 데이터(DATA)를 수신하고 소정의 제 2 신호(CTRLS2)에 응답하여 색상 데이터(DATA)를 패널(370)로 인가한다.
바람직하기로는 제 1 신호(CTRLS1)는 극성 반전 신호(POL)의 위상이 반전될 때마다 극성 반전 신호(POL)의 상승 에지 또는 하강 에지에 응답하여 일정 시간동안 활성화되며, 극성 반전 신호(POL)의 위상이 변하지 않는 경우에는, 제 1 클럭 신호(CLK1)가 제 1 신호(CTRLS1)로서 발생된다.
또한 제 2 신호(CTRLS2)는 극성 반전 신호(POL)의 위상이 반전될 때마다 극성 반전 신호(POL)의 상승 에지 또는 하강 에지에 응답하여 비활성화 되고 제 1 클럭 신호(CLK1)의 상승 에지에 응답하여 활성화되며, 극성 반전 신호(POL)의 위상이 변하지 않는 경우에는 현재 상태를 유지한다.
본 기술 분야의 통상의 지식을 가진 자라면 본 발명의 제 2 실시예에 따른 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 회로의 동작은 제 1 실시예에 따른 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 회로(300)의 동작으로부터 이해할 수 있다. 따라서 동작에 대한 상세한 설명은 생략된다.
본 발명의 제 3 실시예에 따른 박막 트랜지스터형 액정 표시장치의 소스 드라이버 회로(300)는 제 1 데이터 래치부(320), 제 2 데이터 래치부(330), 디코딩부(340), 출력 버퍼부(350), 출력 스위치부(360) 및 출력 제어부(395)를 구비하는 것을 특징으로 한다.
제 1 데이터 래치부(320)는 메인 클럭 신호(MCLK)에 응답하여 색상 데이터(DATA)를 수신하여 저장한다. 제 2 데이터 래치부(330)는 제 1 데이터 래치부(320)에서 출력되는 색상 데이터(DATA)를 수신하여 저장한 후 소정의 제 1 신호(CTRLS1)에 응답하여 저장된 색상 데이터(DATA)를 출력한다. 디코딩부(340)는 소정의 전압 제어 신호(VGMA)에 응답하여 제 2 데이터 래치부(330)에서 출력되는 색상 데이터(DATA)가 각각 일정한 전압을 표시하도록 한다. 출

력 버퍼부(350)는 디코딩부(340)에서 출력되는 색상 데이터(DATA)를 수신하고 버퍼링하여 출력한다. 출력 스위치부(360)는 소정의 제 2 신호(CTRLS2)에 응답하여 출력 버퍼부(350)에서 출력되는 색상 데이터(DATA)를 패널(370)로 인가하거나 차단한다.
출력 제어부(395)는 메인 클럭 신호(MCLK), 패널(370)로 출력되는 색상 데이터(YDATA)의 전압의 극성을 제어하는 극성 반전 신호(POL) 및 제 1 클럭 신호(CLK1)에 응답하여 제 1 신호(CTRLS1) 및 제 2 신호(CTRLS2)를 발생한다. 출력 제어부(395)는 메인 클럭 신호(MCLK)에 응답하여 극성 반전 신호(POL)를 수신하고 일정 시간동안 지연시켜 출력하는 지연부(510), 제 1 클럭 신호(CLK1)에 응답하여 극성 반전 신호(POL)를 수신하고, 극성 반전 신호(POL)의 위상이 반전될 때마다 활성화되며, 극성 반전 신호(POL)의 위상이 변하지 않는 경우 제 1 클럭 신호(CLK1)를 제 1 신호(CTRLS1)로서 발생하는 제 1 신호 발생부(520) 및 극성 반전 신호(POL), 지연부(510)의 출력신호 및 소정의 지연 제 1 클럭 신호(CLK1_D)를 수신하여, 극성 반전 신호(POL)의 상승 에지 또는 하강 에지에 응답하여 비활성화 되고 제 1 클럭 신호(CLK1)의 상승 에지에 응답하여 활성화되며, 극성 반전 신호(POL)의 위상이 변하지 않는 경우에는 현재 상태를 유지하는 제 2 신호(CTRLS2)를 발생하는 제 2 신호 발생부(530)를 구비한다.
제 2 신호 발생부(530)는 메인 클럭 신호(MCLK)에 응답하여 제 1 클럭 신호(CLK1)를 수신하고 일정시간 동안 지연시켜 지연 제 1 클럭 신호(CLK1)를 발생하는 지연 클럭부(536)를 더 구비한다. 지연부(510)는 복수개의 플립 플랍들(511, 512, 513, 514)을 구비한다. 제 1 신호 발생부(520)는 제 1 클럭 신호(CLK1)에 응답하여 극성 반전 신호(POL)를 수신하고 지연시켜 출력하는 제 1 및 제 2 플립 플랍(521, 522), 제 1 플립 플랍(521)의 출력 및 제 2 플립 플랍(522)의 출력 신호를 수신하여 배타적 논리합 하는 제 2 배타적 논리합 수단(523), 제 2 배타적 논리합 수단(523)의 출력을 반전하여 출력하는 제 2 인버터(524), 제 2 인버터(524)의 출력 및 제 1 클럭 신호(CLK1)를 논리곱 하는 논리곱 수단(525), 지연부(510)의 플립 플랍들중 첫 번째 플립 플랍(511)의 반전 출력 신호를 반전한 신호 및 세 번째 플립 플랍(513)의 출력 신호를 배타적 논리합 하는 제 3 배타적 논리합 수단(527) 및 제 3 배타적 논리합 수단(527) 및 논리곱 수단(525)의 출력을 논리합 하여 제 1 신호(CTRLS1)로서 출력하는 논리합 수단(528)을 구비한다.
제 2 신호 발생부(530)는 극성 반전 신호(POL) 및 지연부(510)의 출력 신호를 수신하여 배타적 논리합 하는 제 1 배타적 논리합 수단(531), 제 1 배타적 논리합 수단(531)의 출력 및 지연 제 1 클럭 신호(CLK1_D)를 수신하여 출력하는 SR 래치(532), SR 래치(532)의 출력을 반전하여 제 2 신호(CTRLS2)로서 발생하는 제 1 인버터(535)를 구비한다.
본 기술 분야의 통상의 지식을 가진 자라면 본 발명의 제 3 실시예에 따른 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 회로의 동작은 제 1 실시예에 따른 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 회로(300)의 동작으로부터 이해할 수 있다. 따라서 동작에 대한 상세한 설명은 생략된다.
도 6은 본 발명의 제 1 실시예에 따른 패널로 인가되는 색상 데이터의 슬루 레이트를 조절하는 방법을 나타내는 플로우 차트이다.
도 7은 도 6의 제 610 단계를 설명하는 플로우 차트이다.
도 8은 도 7의 제 720 단계를 설명하는 플로우 차트이다.
도 9는 도 6의 제 620 단계를 설명하는 플로우 차트이다.
도 10은 도 9의 제 930 단계를 설명하는 플로우 차트이다.
도 6 내지 도 10을 참조하면, 본 발명의 제 1 실시예에 따른 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 회로에서 패널로 인가되는 색상 데이터의 슬루 레이트를 조절하는 방법은(600) 상기 메인 클럭 신호에 응답하여 색상 데이터를 수신하여 저장하고, 소정의 제 1 신호에 응답하여 저장된 상기 색상 데이터를 출력 하는 단계(610 단계) 및 상기 출력되는 색상 데이터를 수신하고 소정의 제 2 신호에 응답하여 상기 색상 데이터를 패널로 인가하는 단계(620 단계)를 구비하는 것을 특징으로 한다.
좀더 상세히 설명하면, 메인 클럭 신호에 응답하여 상기 색상 데이터를 수신하여 저장하는 단계(710 단계), 상기 메인 클럭 신호, 패널로 출력되는 색상 데이터의 전압의 극성을 제어하는 극성 반전 신호 및 제 1 클럭 신호에 응답하여 상기 제 1 신호를 발생하는 단계(720 단계) 및 상기 제 1 신호에 응답하여 상기 색상 데 이터를 출력하는 단계(730 단계)를 구비하는 것을 특징으로 한다. 상기 제 720 단계는 상기 제 1 클럭 신호에 응답하여 상기 극성 반전 신호를 수신하고, 상기 극성 반전 신호를 서로 다른 시간동안 지연시킨 두 신호를 배타적 논리합하는 단계(810 단계), 상기 제 810 단계의 출력을 반전하여 출력하는 단계(820 단계), 상기 제 820 단계의 출력 및 상기 제 1 클럭 신호를 논리곱 하는 단계(830 단계), 메인 클럭 신호에 응답하여 상기 극성 반전 신호를 수신하고, 상기 극성 반전 신호를 서로 다른 시간동안 지연시킨 두 신호를 배타적으로 논리합하는 단계(840 단계), 제 830 단계와 제 840 단계의 출력을 논리합하여 상기 제 1 신호를 발생하는 단계(850 단계)를 구비하는 것을 특징으로 한다.
상기 제 620 단계는 상기 출력되는 색상 데이터를 수신하고 상기 색상 데이터들이 각각 일정한 전압을 표시하도록 디코딩하는 단계(910 단계), 상기 디코딩 된 색상 데이터들을 수신하고 버퍼링하여 출력하는 단계(920 단계), 상기 메인 클럭 신호, 패널로 출력되는 색상 데이터의 전압의 극성을 제어하는 극성 반전 신호 및 제 1 클럭 신호에 응답하여 상기 제 2 신호를 발생하는 단계(930 단계) 및 상기 제 2 신호에 응답하여 상기 색상 데이터들을 패널로 인가하는 단계(940 단계)를 구비하는 것을 특징으로 한다.
상기 제 930 단계는 메인 클럭 신호에 응답하여 상기 극성 반전 신호를 수신하고, 상기 극성 반전 신호 및 상기 극성 반전 신호를 지연시킨 신호를 수신하여 배타적 논리합하는 단계(1010 단계), 상기 제 1010 단계의 출력 및 상기 제 1 클럭 신호를 지연시킨 지연 제 1 클럭 신호를 수신하고 래치하는 단계(1020 단계) 및 상 기 제 1020 단계의 출력을 반전하여 상기 제 2 신호를 발생하는 단계(1030 단계)를 구비하는 것을 특징으로 한다.
이하 도 6 내지 도 10을 참조하여 패널로 인가되는 색상 데이터의 슬루 레이트를 조절하는 방법이 상세히 설명된다.

패널로 인가되는 색상 데이터의 슬루 레이트를 조절하는 방법은(600) 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 회로에 관한 것이다. 이러한 소스 드라이버 회로는 도 3에서 이미 설명된 바 있다.
박막 트랜지스터형 액정 표시 장치의 소스 드라이버 회로는 메인 클럭 신호에 응답하여 색상 데이터를 수신하여 저장하고, 소정의 제 1 신호에 응답하여 저장된 상기 색상 데이터를 출력한다.(610 단계)
좀더 상세히 설명하면, 소스 드라이버 회로는 메인 클럭 신호에 응답하여 상기 색상 데이터를 수신하여 저장한다.(710 단계) 메인 클럭 신호는 소스 드라이버 회로 내부의 쉬프트 레지스터로 입력되고, 쉬프트 레지스터는 입력된 메인 클럭 신호를 쉬프트 시켜 출력한다. 색상 데이터는 쉬프트 레지스터에서 출력된 메인 클럭 신호에 동기되어 소스 드라이버 회로로 입력되어 저장된다.
소스 드라이버 회로는 상기 메인 클럭 신호, 패널로 출력되는 색상 데이터의 전압의 극성을 제어하는 극성 반전 신호 및 제 1 클럭 신호에 응답하여 상기 제 1 신호를 발생한다.(720 단계) 구체적으로, 상기 제 1 신호는 상기 극성 반전 신호의 위상이 반전될 때마다 상기 극성 반전 신호의 상승 에지 또는 하강 에지에 응답하여 일정 시간동안 활성화되며 상기 극성 반전 신호의 위상이 변하지 않는 경우에는 상기 제 1 클럭 신호가 상기 제 1 신호로서 발생된다.
소스 드라이버 회로는 제 1 신호에 의하여 상기 색상 데이터를 패널로 출력하기 직전까지 이동시키고 후술하는 제 2 신호에 의하여 색상 데이터를 패널로 출력한다.
이러한 제 1 신호는 다음과 같은 방법에 의하여 발생된다. 즉, 소스 드라이버 회로는 상기 제 1 클럭 신호에 응답하여 상기 극성 반전 신호를 수신하고, 상기 극성 반전 신호를 서로 다른 시간동안 지연시킨 두 신호를 배타적 논리합한다(810 단계). 상기 제 810 단계의 출력을 반전하여 출력한다(820 단계). 상기 제 820 단계의 출력 및 상기 제 1 클럭 신호를 논리곱 한다.(830 단계)
메인 클럭 신호에 응답하여 상기 극성 반전 신호를 수신하고, 상기 극성 반전 신호를 서로 다른 시간동안 지연시킨 두 신호를 배타적으로 논리합 한다(840 단계). 제 1 신호는 제 830 단계와 제 840 단계의 출력을 논리합 하여 발생된다(850 단계).
소스 드라이버 회로는 위와 같은 과정을 거쳐서 발생된 상기 제 1 신호에 응답하여 상기 색상 데이터를 출력한다(730 단계). 종래에는 제 1 클럭 신호에 응답하여 색상 데이터가 패널로 인가됨으로써 패널로 인가되는 색상 데이터의 슬루 레이트에는 색상 데이터가 소스 드라이버 회로로 입력된 후 다시 소스 드라이버 회로에서 출력되기까지의 시간이 모두 포함된다. 그러나 본 발명의 방법(600)에 의하면 제 1 클럭 신호보다 먼저 제 1 신호를 발생시켜 색상 데이터를 소스 드라이버 회로에서 패널로 출력되기 직전의 상태로 만들고, 후술하는 제 2 신호에 응답하여 색상 데이터를 패널로 인가한다. 제 2 신호는 종래의 소스 드라이버 회로에서 패널로 색상 데이터를 인가할 때 발생되는 제 1 클럭 신호와 동일한 타이밍에 발생된다. 따라서 색상 데이터가 종래의 소스 드라이버 회로와 동일한 타이밍에 패널로 출력되면서도, 패널로 출력되는 색상 데이터의 슬루 레이트는 매우 감소된다.
소스 드라이버 회로는 상기 출력되는 색상 데이터를 수신하고 소정의 제 2 신호에 응답하여 상기 색상 데이터를 패널로 인가한다(620 단계).
좀더 구체적으로 설명하면, 소스 드라이버 회로는 상기 출력되는 색상 데이터를 수신하고 상기 색상 데이터들이 각각 일정한 전압을 표시하도록 디코딩하고 상기 디코딩 된 색상 데이터들을 수신하고 버퍼링하여 출력하는 한다.(910 단계, 920 단계)
소스 드라이버 회로는 상기 메인 클럭 신호, 패널로 출력되는 색상 데이터의 전압의 극성을 제어하는 극성 반전 신호 및 제 1 클럭 신호에 응답하여 상기 제 2 신호를 발생한다.(930 단계) 상기 제 2 신호는 상기 극성 반전 신호의 위상이 반전될 때마다 상기 극성 반전 신호의 상승 에지 또는 하강 에지에 응답하여 비활성화 되고 상기 제 1 클럭 신호의 상승 에지에 응답하여 활성화되며, 상기 극성 반전 신호의 위상이 변하지 않는 경우에는 현재 상태를 유지한다.
이러한 제 2 신호는 다음과 같은 방법에 의하여 발생된다. 즉, 소스 드라이버 회로는 메인 클럭 신호에 응답하여 상기 극성 반전 신호를 수신하고, 상기 극성 반전 신호 및 상기 극성 반전 신호를 지연시킨 신호를 수신하여 배타적 논리합 한다.(1010 단계) 상기 제 1010 단계의 출력 및 상기 제 1 클럭 신호를 지연시킨 지 연 제 1 클럭 신호를 수신하고 래치 한다.(1020 단계) 상기 제 2 신호는 상기 제 1020 단계의 출력을 반전하여 발생된다.(1030 단계)
소스 드라이버 회로는 위와 같은 과정을 거쳐서 발생된 상기 제 2 신호에 응답하여 소스 드라이버 회로에서 출력되기 직전의 상태로 되어있는 상기 색상 데이터들을 패널로 인가한다.(940 단계) 따라서 색상 데이터들의 슬루 레이트는 감소된다.
제 1 신호와 제 2 신호는 활성화되는 구간이 중복되지 않는다. 따라서 제 1 신호가 활성화되어 소스 드라이버 회로로 인가된 색상 데이터가 패널로 출력되기 직전까지 전송된 후 제 1 신호가 비활성화 되면, 제 2 신호가 활성화되어 색상 데이터를 패널로 인가한다.
그리고, 제 2 신호가 비활성화 되면, 다시 제 1 신호가 활성화되어 색상 데이터를 패널로 출력되기 직전까지 전송한다. 따라서 종래의 소스 드라이버 회로에서 제 1 클럭 신호가 발생되는 시간과 동일한 시간에 패널로 색상 데이터가 인가되지만, 패널로 인가되는 색상 데이터의 슬루 레이트는 종래의 소스 드라이버 회로보다 감소될 수 있다.
이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

상술한 바와 같이 본 발명에 따른 소스 드라이버 회로 및 방법은 반도체 칩 외부로부터 별도의 신호를 만들지 않고 기존의 신호를 이용하여 패널로 인가되는 색상 데이터의 슬루 레이트를 줄일 수 있는 장점이 있다. 또한 본 발명에 따른 소스 드라이버 회로는 소스 드라이버 회로 내부의 쉬프트 레지스터와 출력 버퍼부가 동시에 스위칭 되면서 발생되는 스위칭 전류를 분산시킴으로써 소비전류의 감소가 가능하고, 슬루 레이트를 줄이기 위해 출력 버퍼부에 사용되는 드라이빙 트랜지스터를 작게 할 수도 있으므로 칩 면적 및 소비 전류의 감소가 가능한 장점이 있다.

(57) 청구의 범위

청구항 1.

박막 트랜지스터형 액정 표시 장치의 소스 드라이버 회로에 있어서,
메인 클럭 신호에 응답하여 색상 데이터를 수신하여 저장하고, 소정의 제 1 신호에 응답하여 저장된 상기 색상 데이터를 출력하는 데이터 래치부 ;
상기 데이터 래치부에서 출력되는 상기 색상 데이터를 수신하고 소정의 제 2 신호에 응답하여 상기 색상 데이터를 패널로 인가하는 스위치 버퍼부 ; 및
상기 메인 클럭 신호, 패널로 출력되는 색상 데이터의 전압의 극성을 제어하는 극성 반전 신호 및 제 1 클럭 신호에 응답하여 상기 제 1 신호 및 상기 제 2 신호를 발생하는 출력 제어부를 구비하고,
상기 제 1 신호는,
상기 극성 반전 신호의 위상이 반전될 때마다 상기 극성 반전 신호의 상승 에지 또는 하강 에지에 응답하여 일정 시간 동안 활성화되며,
상기 극성 반전 신호의 위상이 변하지 않는 경우에는,
상기 제 1 클럭 신호가 상기 제 1 신호로서 발생되며,
상기 제 2 신호는,
상기 극성 반전 신호의 위상이 반전될 때마다 상기 극성 반전 신호의 상승 에지 또는 하강 에지에 응답하여 비활성화되고 상기 제 1 클럭 신호의 상승 에지에 응답하여 활성화되며,
상기 극성 반전 신호의 위상이 변하지 않는 경우에는,
현재 상태를 유지하는 것을 특징으로 하는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 회로.

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

제 1항에 있어서, 상기 출력 제어부는,
상기 메인 클럭 신호에 응답하여 상기 극성 반전 신호를 수신하고 일정 시간동안 지연시켜 출력하는 지연부 ;
제 1 클럭 신호에 응답하여 상기 극성 반전 신호를 수신하고, 상기 극성 반전 신호의 위상이 반전될 때마다 활성화되며, 상기 극성 반전 신호의 위상이 변하지 않는 경우 상기 제 1 클럭 신호를 상기 제 1 신호로서 발생하는 제 1 신호 발생부 ; 및
상기 극성 반전 신호, 상기 지연부의 출력신호 및 소정의 지연 제 1 클럭 신호를 수신하여, 상기 극성 반전 신호의 상승 에지 또는 하강 에지에 응답하여 비활성화 되고 상기 제 1 클럭 신호의 상승 에지에 응답하여 활성화되며, 상기 극성 반전 신호의 위상이 변하지 않는 경우에는 현재 상태를 유지하는 상기 제 2 신호를 발생하는 제 2 신호 발생부를 구비하는 것을 특징으로 하는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 회로.

청구항 5.

제 4항에 있어서, 상기 제 2 신호 발생부는,
상기 메인 클럭 신호에 응답하여 상기 제 1 클럭 신호를 수신하고 일정시간 동안 지연시켜 상기 지연 제 1 클럭 신호를 발생하는 지연 클럭부를 더 구비하는 것을 특징으로 하는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 회로.

청구항 6.

제 4항에 있어서, 상기 지연부는,
복수개의 플립 플랍들을 구비하는 것을 특징으로 하는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 회로.

청구항 7.

제 4항에 있어서, 상기 제 1 신호 발생부는,
제 1 클럭 신호에 응답하여 상기 극성 반전 신호를 수신하고 지연시켜 출력하는 제 1 및 제 2 플립 플랍 ;
상기 제 1 플립 플랍의 출력 및 상기 제 2 플립 플랍의 출력 신호를 수신하여 배타적 논리합하는 제 2 배타적 논리합 수단 ;
상기 제 2 배타적 논리합 수단의 출력을 반전하여 출력하는 제 2 인버터 ;
상기 제 2 인버터의 출력 및 상기 제 1 클럭 신호를 논리곱하는 논리곱 수단 ;
상기 지연부의 플립 플랍들중 첫 번째 플립 플랍의 반전 출력 신호를 반전한 신호 및 세 번째 플립 플랍의 출력 신호를 배타적 논리합 하는 제 3 배타적 논리합 수단 ; 및

상기 제 3 배타적 논리합 수단 및 상기 논리곱 수단의 출력을 논리합 하여 상기 제 1 신호로서 출력하는 논리합 수단을 구비하는 것을 특징으로 하는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 회로.

청구항 8.

제 4항에 있어서, 상기 제 2 신호 발생부는,
상기 극성 반전 신호 및 상기 지연부의 출력 신호를 수신하여 배타적 논리합하는 제 1 배타적 논리합 수단 ;
상기 제 1 배타적 논리합 수단의 출력 및 상기 지연 제 1 클럭 신호를 수신하여 출력하는 SR 래치 ; 및
상기 SR 래치의 출력을 반전하여 상기 제 2 신호로서 발생하는 제 1 인버터를 구비하는 것을 특징으로 하는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 회로.

청구항 9.

박막 트랜지스터형 액정 표시 장치의 소스 드라이버 회로에서 패널로 인가되는 색상 데이터의 슬루 레이트를 조절하는 방법에 있어서,
(a) 메인 클럭 신호에 응답하여 색상 데이터를 수신하여 저장하고, 소정의 제 1 신호에 응답하여 저장된 상기 색상 데이터를 출력하는 단계 ; 및
(b) 상기 출력되는 색상 데이터를 수신하고 소정의 제 2 신호에 응답하여 상기 색상 데이터를 패널로 인가하는 단계를 구비하는 것을 특징으로 하는 패널로 인가되는 색상 데이터의 슬루 레이트를 조절하는 방법.

청구항 10.

제 9항에 있어서, 상기 (a) 단계는,
(a1) 상기 메인 클럭 신호에 응답하여 상기 색상 데이터를 수신하여 저장하는 단계 ;
(a2) 상기 메인 클럭 신호, 패널로 출력되는 색상 데이터의 전압의 극성을 제어하는 극성 반전 신호 및 제 1 클럭 신호에 응답하여 상기 제 1 신호를 발생하는 단계 ; 및
(a3) 상기 제 1 신호에 응답하여 상기 색상 데이터를 출력하는 단계를 구비하는 것을 특징으로 하는 패널로 인가되는 색상 데이터의 슬루 레이트를 조절하는 방법.

청구항 11.

제 10항에 있어서, 상기 (a2) 단계는,
(a21) 상기 제 1 클럭 신호에 응답하여 상기 극성 반전 신호를 수신하고, 상기 극성 반전 신호를 서로 다른 시간동안 지연시킨 두 신호를 배타적 논리합하는 단계;
(a22) 상기 (a21)단계의 출력을 반전하여 출력하는 단계 ;
(a23) 상기 (a22) 단계의 출력 및 상기 제 1 클럭 신호를 논리곱 하는 단계 ;
(a24) 메인 클럭 신호에 응답하여 상기 극성 반전 신호를 수신하고, 상기 극성 반전 신호를 서로 다른 시간동안 지연시킨 두 신호를 배타적으로 논리합하는 단계 ;
(a25) (a23) 단계와 상기 (a24) 단계의 출력을 논리합하여 상기 제 1 신호를 발생하는 단계를 구비하는 것을 특징으로 하는 패널로 인가되는 색상 데이터의 슬루 레이트를 조절하는 방법.

청구항 12.

제 9항에 있어서, 상기 (b) 단계는,
(b1) 상기 출력되는 색상 데이터를 수신하고 상기 색상 데이터들이 각각 일정한 전압을 표시하도록 디코딩하는 단계 ;
(b2) 상기 디코딩 된 색상 데이터들을 수신하고 버퍼링하여 출력하는 단계 ;
(b3) 상기 메인 클럭 신호, 패널로 출력되는 색상 데이터의 전압의 극성을 제어하는 극성 반전 신호 및 제 1 클럭 신호에 응답하여 상기 제 2 신호를 발생하는 단계 ; 및
(b4) 상기 제 2 신호에 응답하여 상기 색상 데이터들을 패널로 인가하는 단계를 구비하는 것을 특징으로 하는 패널로 인가되는 색상 데이터의 슬루 레이트를 조절하는 방법.

청구항 13.

제 12항에 있어서, 상기 (b3) 단계는,
(b31) 메인 클럭 신호에 응답하여 상기 극성 반전 신호를 수신하고, 상기 극성 반전 신호 및 상기 극성 반전 신호를 지연시킨 신호를 수신하여 배타적 논리합하는 단계 ;
(b32) 상기 (b31) 단계의 출력 및 상기 제 1 클럭 신호를 지연시킨 지연 제 1 클럭 신호를 수신하고 래치하는 단계 ; 및
(b33) 상기 (b32) 단계의 출력을 반전하여 상기 제 2 신호를 발생하는 단계를 구비하는 것을 특징으로 하는 패널로 인가되는 색상 데이터의 슬루 레이트를 조절하는 방법.

청구항 14.

제 10항에 있어서, 상기 제 1 신호는,
상기 극성 반전 신호의 위상이 반전될 때마다 상기 극성 반전 신호의 상승 에지 또는 하강 에지에 응답하여 일정 시간 동안 활성화되며,
상기 극성 반전 신호의 위상이 변하지 않는 경우에는,
상기 제 1 클럭 신호가 상기 제 1 신호로서 발생되는 것을 특징으로 하는 패널로 인가되는 색상 데이터의 슬루 레이트를 조절하는 방법.

청구항 15.

제 10항에 있어서, 상기 제 2 신호는,

상기 극성 반전 신호의 위상이 반전될 때마다 상기 극성 반전 신호의 상승 에지 또는 하강 에지에 응답하여 비활성화되고 상기 제 1 클럭 신호의 상승 에지에 응답하여 활성화되며,
상기 극성 반전 신호의 위상이 변하지 않는 경우에는,
현재 상태를 유지하는 것을 특징으로 하는 패널로 인가되는 색상 데이터의 슬루 레이트를 조절하는 방법.

청구항 16.

박막 트랜지스터형 액정 표시 장치의 소스 드라이버 회로에 있어서,
메인 클럭 신호에 응답하여 색상 데이터를 수신하여 저장하고, 소정의 제 1 신호에 응답하여 저장된 상기 색상 데이터를 출력하는 데이터 래치부 ; 및
상기 데이터 래치부에서 출력되는 상기 색상 데이터를 수신하고 소정의 제 2 신호에 응답하여 상기 색상 데이터를 패널로 인가하는 스위치 버퍼부를 구비하는 것을 특징으로 하는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 회로.

청구항 17.

제 16항에 있어서, 상기 제 1 신호는,
상기 메인 클럭 신호, 패널로 출력되는 색상 데이터의 전압의 극성을 제어하는 극성 반전 신호 및 제 1 클럭 신호에 응답하여 발생되며,
상기 극성 반전 신호의 위상이 반전될 때마다 상기 극성 반전 신호의 상승 에지 또는 하강 에지에 응답하여 일정 시간 동안 활성화되고,
상기 극성 반전 신호의 위상이 변하지 않는 경우에는,
상기 제 1 클럭 신호가 상기 제 1 신호로서 발생되는 것을 특징으로 하는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 회로.

청구항 18.

제 16항에 있어서, 상기 제 2 신호는,
상기 메인 클럭 신호, 패널로 출력되는 색상 데이터의 전압의 극성을 제어하는 극성 반전 신호 및 제 1 클럭 신호에 응답하여 발생되며,
상기 극성 반전 신호의 위상이 반전될 때마다 상기 극성 반전 신호의 상승 에지 또는 하강 에지에 응답하여 비활성화되고 상기 제 1 클럭 신호의 상승 에지에 응답하여 활성화되며,
상기 극성 반전 신호의 위상이 변하지 않는 경우에는,
현재 상태를 유지하는 것을 특징으로 하는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 회로.

청구항 19.

박막 트랜지스터형 액정 표시장치의 소스 드라이버에 있어서,
메인 클럭 신호에 응답하여 색상 데이터들을 수신하여 저장하는 제 1 데이터 래치부 ;
상기 제 1 데이터 래치부에서 출력되는 상기 색상 데이터들을 수신하여 저장한 후 소정의 제 1 신호에 응답하여 저장된 상기 색상 데이터들을 출력하는 제 2 데이터 래치부 ;
소정의 전압 제어 신호에 응답하여 상기 제 2 데이터 래치부에서 출력되는 상기 색상 데이터들이 각각 일정한 전압을 표시하도록 하는 디코딩부 ;
상기 디코딩부에서 출력되는 상기 색상 데이터들을 수신하고 버퍼링하여 출력하는 출력 버퍼부 ;
소정의 제 2 신호에 응답하여 상기 출력 버퍼부에서 출력되는 상기 색상 데이터들을 패널로 인가하거나 차단하는 출력 스위치부 ;
상기 메인 클럭 신호, 패널로 출력되는 색상 데이터의 전압의 극성을 제어하는 극성 반전 신호 및 제 1 클럭 신호에 응답하여 상기 제 1 신호 및 상기 제 2 신호를 발생하는 출력 제어부를 구비하는 것을 특징으로 하는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 회로.

청구항 20.

제 19항에 있어서, 상기 출력 제어부는,
상기 메인 클럭 신호에 응답하여 상기 극성 반전 신호를 수신하고 일정 시간동안 지연시켜 출력하는 지연부 ;
제 1 클럭 신호에 응답하여 상기 극성 반전 신호를 수신하고, 상기 극성 반전 신호의 위상이 반전될 때마다 활성화되며, 상기 극성 반전 신호의 위상이 변하 지 않는 경우 상기 제 1 클럭 신호를 상기 제 1 신호로서 발생하는 제 1 신호 발생부 ; 및
상기 극성 반전 신호, 상기 지연부의 출력신호 및 소정의 지연 제 1 클럭 신호를 수신하여, 상기 극성 반전 신호의 상승 에지 또는 하강 에지에 응답하여 비활성화 되고 상기 제 1 클럭 신호의 상승 에지에 응답하여 활성화되며, 상기 극성 반전 신호의 위상이 변하지 않는 경우에는 현재 상태를 유지하는 상기 제 2 신호를 발생하는 제 2 신호 발생부를 구비하는 것을 특징으로 하는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 회로.

청구항 21.

제 20항에 있어서, 상기 제 2 신호 발생부는,
상기 메인 클럭 신호에 응답하여 상기 제 1 클럭 신호를 수신하고 일정시간 동안 지연시켜 상기 지연 제 1 클럭 신호를 발생하는 지연 클럭부를 더 구비하는 것을 특징으로 하는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 회로.

청구항 22.

제 19항에 있어서, 상기 지연부는,

복수개의 플립 플랍들을 구비하는 것을 특징으로 하는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 회로.

청구항 23.

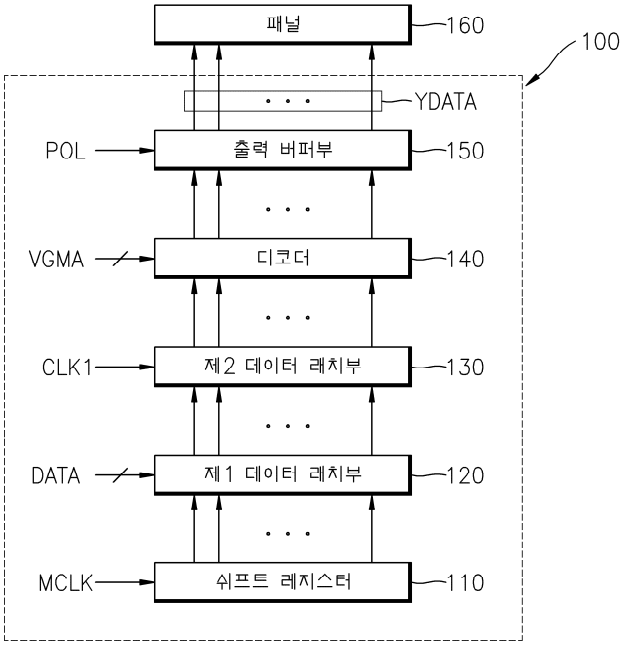
제 19항에 있어서, 상기 제 1 신호 발생부는,
제 1 클럭 신호에 응답하여 상기 극성 반전 신호를 수신하고 지연시켜 출력 하는 제 1 및 제 2 플립 플랍 ;
상기 제 1 플립 플랍의 출력 및 상기 제 2 플립 플랍의 출력 신호를 수신하여 배타적 논리합하는 제 2 배타적 논리합 수단 ;
상기 제 2 배타적 논리합 수단의 출력을 반전하여 출력하는 제 2 인버터 ;
상기 제 2 인버터의 출력 및 상기 제 1 클럭 신호를 논리곱하는 논리곱 수단 ;
상기 지연부의 플립 플랍들중 첫 번째 플립 플랍의 반전 출력 신호를 반전한 신호 및 세 번째 플립 플랍의 출력 신호를 배타적 논리합 하는 제 3 배타적 논리합 수단 ; 및
상기 제 3 배타적 논리합 수단 및 상기 논리곱 수단의 출력을 논리합 하여 상기 제 1 신호로서 출력하는 논리합 수단을 구비하는 것을 특징으로 하는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 회로.

청구항 24.

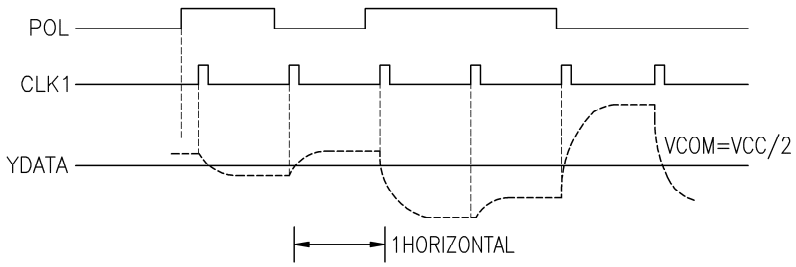
제 19항에 있어서, 상기 제 2 신호 발생부는,
상기 극성 반전 신호 및 상기 지연부의 출력 신호를 수신하여 배타적 논리합하는 제 1 배타적 논리합 수단 ;
상기 배타적 논리합 수단의 출력 및 상기 지연 제 1 클럭 신호를 수신하여 출력하는 SR 래치 ;
상기 SR 래치의 출력을 반전하여 상기 제 2 신호로서 발생하는 제 1 인버터를 구비하는 것을 특징으로 하는 박막 트랜지스터형 액정 표시 장치의 소스 드라이 버 회로.

도면

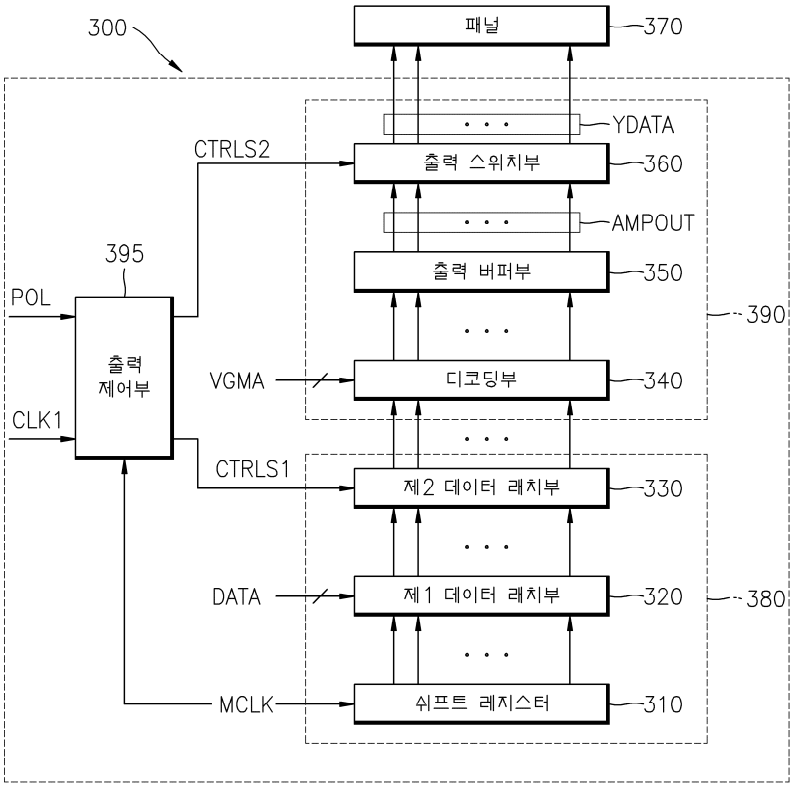
도면1



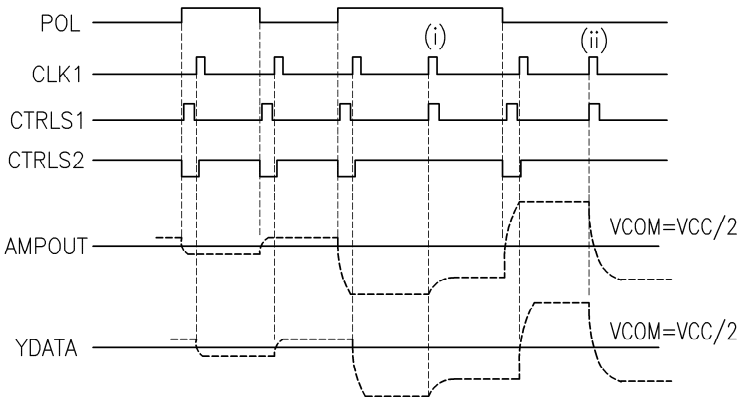
도면2



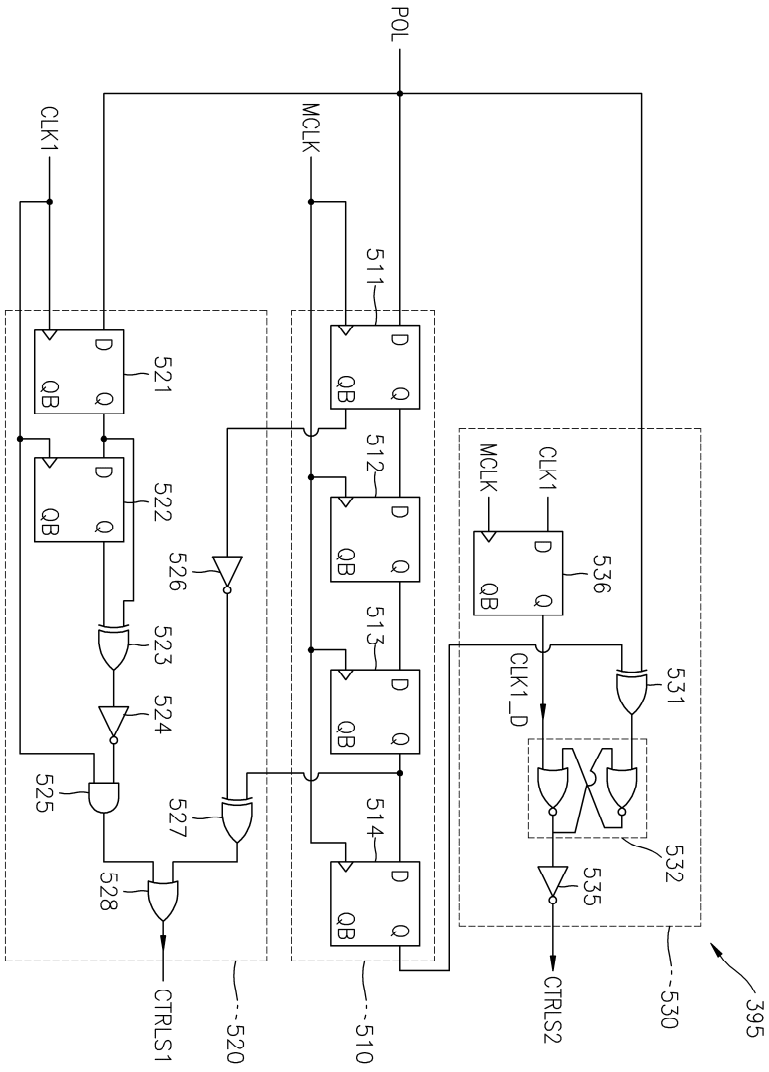
도면3


300
패널
370
YDATA
CTRLS2
출력 스위치부
360
AMPOUT
395
출력 버퍼부
350
POL
390
출력
제어부
VGMA
디코딩부
340
CLK1
CTRLS1
제2 데이터 래치부
330
DATA
제1 데이터 래치부
320
380
MCLK
쉬프트 레지스터
310

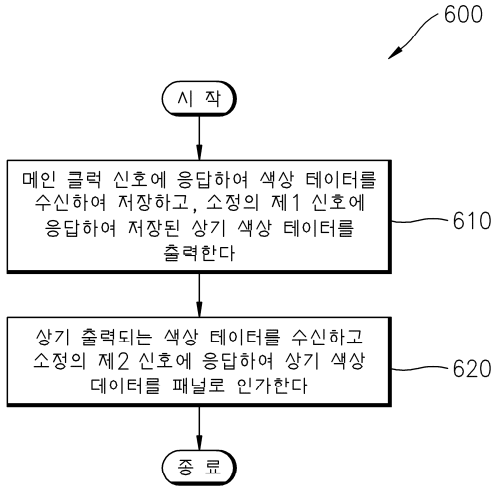
도면4


POL
(i)
(ii)
CLK1
CTRLS1
CTRLS2
AMPOUT
VCOM=VCC/2
YDATA
VCOM=VCC/2

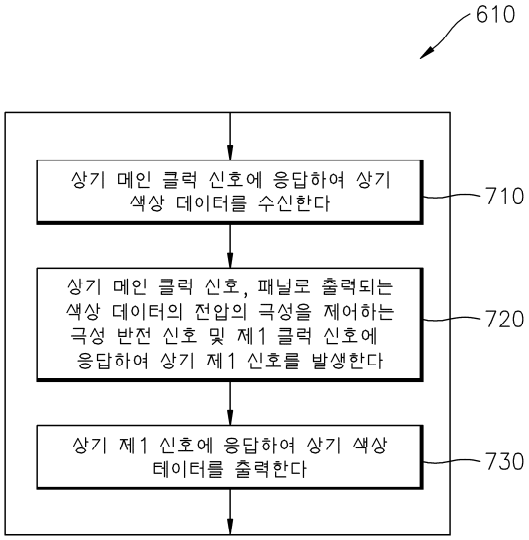
도면5


POL
CLK1
MCLK
511
512
513
514
521
522
523
524
525
526
527
528
536
531
532
535
CLK1_D
CTRLS1
CTRLS2
520
510
530
395
D
Q
QB

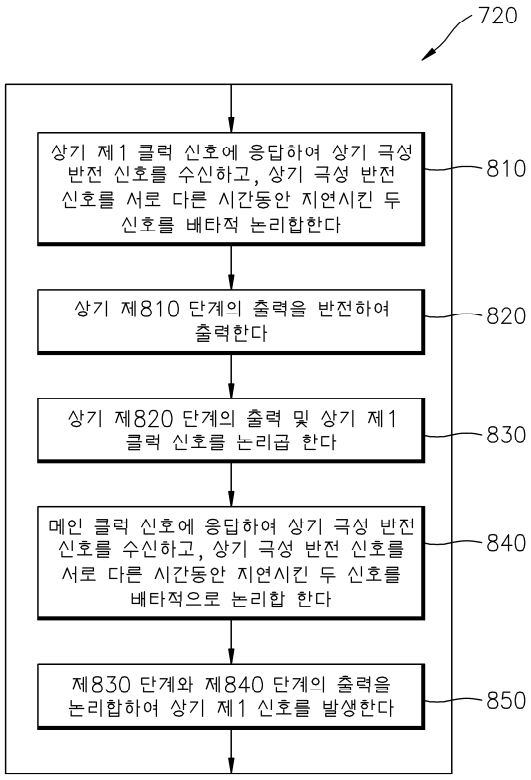
도면6


600
시 작
메인 클럭 신호에 응답하여 색상 데이터를 수신하여 저장하고, 소정의 제1 신호에 응답하여 저장된 상기 색상 데이터를 출력한다
610
상기 출력되는 색상 데이터를 수신하고 소정의 제2 신호에 응답하여 상기 색상 데이터를 패널로 인가한다
620
종 료

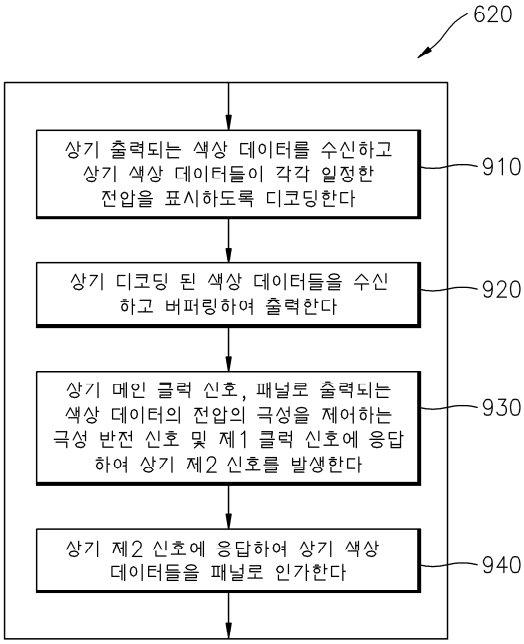
도면7


610
상기 메인 클럭 신호에 응답하여 상기 색상 데이터를 수신한다
710
상기 메인 클럭 신호, 패널로 출력되는 색상 데이터의 전압의 극성을 제어하는 극성 반전 신호 및 제1 클럭 신호에 응답하여 상기 제1 신호를 발생한다
720
상기 제1 신호에 응답하여 상기 색상 데이터를 출력한다
730

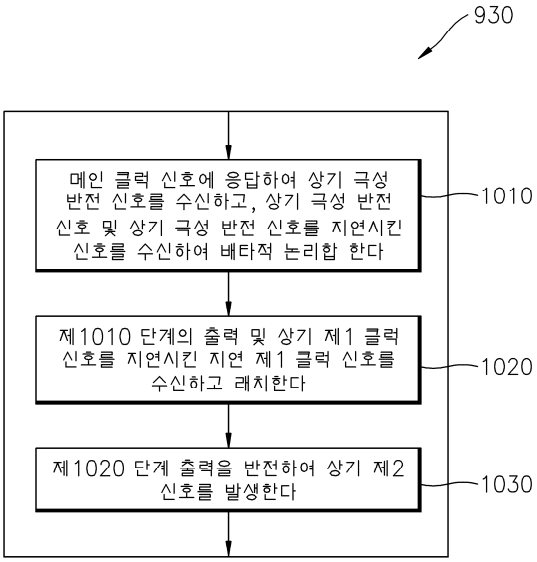
도면8


720
상기 제1 클럭 신호에 응답하여 상기 극성 반전 신호를 수신하고, 상기 극성 반전 신호를 서로 다른 시간동안 지연시킨 두 신호를 배타적 논리합한다
810
상기 제810 단계의 출력을 반전하여 출력한다
820
상기 제820 단계의 출력 및 상기 제1 클럭 신호를 논리곱 한다
830
메인 클럭 신호에 응답하여 상기 극성 반전 신호를 수신하고, 상기 극성 반전 신호를 서로 다른 시간동안 지연시킨 두 신호를 배타적으로 논리합 한다
840
제830 단계와 제840 단계의 출력을 논리합하여 상기 제1 신호를 발생한다
850

도면9


620
상기 출력되는 색상 데이터를 수신하고 상기 색상 데이터들이 각각 일정한 전압을 표시하도록 디코딩한다
910
상기 디코딩 된 색상 데이터들을 수신하고 버퍼링하여 출력한다
920
상기 메인 클럭 신호, 패널로 출력되는 색상 데이터의 전압의 극성을 제어하는 극성 반전 신호 및 제1 클럭 신호에 응답하여 상기 제2 신호를 발생한다
930
상기 제2 신호에 응답하여 상기 색상 데이터들을 패널로 인가한다
940

도면10


930
메인 클럭 신호에 응답하여 상기 극성 반전 신호를 수신하고, 상기 극성 반전 신호 및 상기 극성 반전 신호를 지연시킨 신호를 수신하여 배타적 논리합 한다
1010
제1010 단계의 출력 및 상기 제1 클럭 신호를 지연시킨 지연 제1 클럭 신호를 수신하고 래치한다
1020
제1020 단계 출력을 반전하여 상기 제2 신호를 발생한다
1030

专利名称(译)	薄膜晶体管型液晶显示器件的源极驱动器，它降低了转换速率		
公开(公告)号	KR100438785B1	公开(公告)日	2004-07-05
申请号	KR1020020009732	申请日	2002-02-23
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	PARK SANGHO		
发明人	PARK,SANGHO		
IPC分类号	G09G3/20 G09G5/18 G02F1/133 G09G3/36		
CPC分类号	G09G5/18 G09G2320/0252 G09G3/3685 G09G3/3688		
代理人(译)	LEE，YOUNG PIL		
其他公开文献	KR1020030070265A		
外部链接	Espacenet		

摘要(译)

公开了用于降低转换速率的液晶显示器的薄膜晶体管阵列的源极驱动器电路和方法。根据本发明的液晶显示器的薄膜晶体管阵列的源极驱动器电路包括数据锁存器，以及开关缓冲器部分和输出控制。数据锁存器响应主时钟信号接收颜色数据并存储。响应于预定的第一信号输出存储的颜色数据。从开关缓冲器部分输出的颜色数据是接收数据锁存器并且响应于到面板的预定第二信号而授权颜色数据。输出控制响应于极性反转信号和控制第一时钟信号的第一时钟信号产生第一信号和第二信号输出到主时钟信号的彩色数据电压的极性和面板。作为使用现有信号的面板降低所施加的颜色数据的转换速率的优点是根据本发明的源极驱动器电路和方法不会使来自半导体芯片的单独信号在外部。此外，根据本发明的源极驱动器电路具有以下优点：由于通过分散产生的切换电流使得在输出缓冲器部分中使用的驱动晶体管的转换速率降低，因此可以降低功耗和芯片面积。同时切换源极驱动器电路内部的移位寄存器和输出缓冲器部分，同时可以降低功耗小。