(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
G09G 3/36

(45) 공고일자 2004년03월02일
(11) 등록번호 10-0420455
(24) 등록일자 2004년02월16일

(21) 출원번호 10-2001-0008959
(22) 출원일자 2001년02월22일

(65) 공개번호 10-2001-0100794
(43) 공개일자 2001년11월14일

(30) 우선권주장 2000-047164 2000년02월24일 일본(JP)

(73) 특허권자 히다치디바이스 엔지니어링가부시키가이샤
일본국 지바켄 모바라시 하야노 3681

가부시키가이샤 히타치세이사쿠쇼
일본 도쿄토 치요다쿠 간다스루가다이 4쪼메 6반치

(72) 발명자 오꾸무라하루히사
일본도꾜도지요다꾸마루노우찌1쪼메5-1신마루노우찌빌딩가부시키가이샤히타치세이사쿠쇼지적소유권본부내

오데유끼히데
일본지바껭모바라시하야노3681히다치디바이스엔지니어링가부시키가이샤내

(74) 대리인 장수길
구영창

심사관 : 정경덕

(54) 레벨 변환 회로 및 이를 사용한 액정 표시 장치

요약

레벨 변환 회로는, 제1 전압으로부터 상기 제1 전압보다 낮은 제2 전압까지 스윙하는 신호가 입력되는 입력 단자; 게이트 전극이 상기 입력 단자에 접속되고 소스 전극이 접지 전위에 접속된 제1 트랜지스터; 게이트 전극이 상기 제1 트랜지스터의 드레인 전극에 접속되고, 소스 전극이 전원 전압에 접속되고, 드레인 전극이 출력 단자에 접속된 제2 트랜지스터; 상기 제2 트랜지스터의 상기 게이트 전극과 상기 전원 전압 사이에 접속된 부하 회로; 소스 전극이 상기 입력 단자에 접속되고, 드레인 전극이 상기 출력 단자에 접속되고, 게이트 전극에 상기 제2 전압보다 높고 상기 제1 전압보다 낮은 직류 전압이 인가된 제3 트랜지스터를 포함하고, 상기 입력 단자에 상기 제1 전압이 입력된 경우에 상기 제2 전압보다 높은 제3 전압을 출력하고, 상기 입력 단자에 상기 제2 전압이 입력된 경우에 상기 제2 전압을 출력한다.

대표도

도 1

색인어

레벨 변환 회로, 레벨 시프트 회로, 도전형 트랜지스터, 부하 회로, 액정 표시 장치

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예 1의 레벨 변환 회로를 나타내는 회로도.
도 2는 본 발명의 실시예 1의 레벨 변환 회로의 입출력 신호 파형의 일례를 나타내는 도면.
도 3은 본 발명의 실시예 1의 레벨 변환 회로의 변형예를 나타내는 회로도.
도 4는 본 발명의 실시예 1의 레벨 변환 회로의 또 다른 변형예를 나타내는 회로도.
도 5는 본 발명의 실시예 1의 레벨 변환 회로의 또 다른 변형예를 나타내는 회로도.
도 6은 본 발명의 실시예 1의 레벨 변환 회로의 또 다른 변형예를 나타내는 회로도.
도 7은 본 발명의 실시예 1의 레벨 변환 회로의 또 다른 변형예를 나타내는 회로도.
도 8은 본 발명의 실시예 2의 레벨 변환 회로를 나타내는 회로도.
도 9는 본 발명의 실시예 3의 레벨 변환 회로를 나타내는 회로도.
도 10은 본 발명의 실시예 4의 레벨 변환 회로를 나타내는 회로도.
도 11은 본 발명의 실시예 5에 따른 폴리실리콘 MOS 트랜지스터를 사용하는 아날로그 샘플링 방식의 액티브 매트릭스 타입 액정 표시 장치 모듈의 표시 패널의 구성을 나타내는 블록도.
도 12는 본 발명의 실시예 5에 따른 폴리실리콘 MOS 트랜지스터를 사용하는 디지털 신호 입력 액티브 매트릭스 타입의 액정 표시 모듈의 표시 패널의 구성을 나타내는 블록도.
도 13은 종래 레벨 변환 회로의 일례를 나타내는 회로도.
도 14는 종래 레벨 변환 회로의 또 다른 일례를 나타내는 회로도.
도 15는 단결정 실리콘으로 이루어진 반도체를 갖는 n 채널 MOS 트랜지스터의 스위칭 특성의 일례를 나타내는 그래프.
도 16은 폴리실리콘으로 이루어진 반도체층을 갖는 MOS 트랜지스터의 스위칭 특성의 일례를 나타내는 그래프.
도 17은 CMOS 인버터의 DC 전달 특성을 나타내는 그래프.
도 18의 (a)는 CMOS 인버터에 입력되는 입력 신호의 파형을 나타내고, 도 18의 (b) ~ 18의 (d)는 CMOS 인버터로부터 출력되는 출력 신호의 파형을 나타내는 도면.
도 19는 폴리실리콘 n 채널 MOS 트랜지스터 및 폴리실리콘 p 채널 MOS 트랜지스터로 형성된 도 13의 레벨 변환 회로의 입출력 신호의 파형의 일례를 나타내는 도면.
도 20은 액티브 매트릭스 폴리실리콘 MOS 트랜지스터의 액정 표시 모듈의 표 시 원리를 설명하는 도면.
도 21은 도 20에서의 드레인 전극선에 공급되는 아날로그 영상 신호(φsig)를 샘플링하는 동작을 설명하는 타이밍 차트.
도 22는 종래 버퍼 회로를 나타내는 회로도.
<도면의 주요 부분에 대한 부호의 설명>
3 : 표시 영역
4 : 수평 방향 주사 회로
5 : 수직 방향 주사 회로
6 : 프리차지 회로
7 : 레벨 변환 회로
8 : 영상 신호 입력 단자
9, 10 : 제어 신호 입력 단자
11 : 프리차지 전압 입력 단자

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 레벨 변환 회로 및 이를 사용한 액정 표시 장치에 관한 것으로, 특히 폴리실리콘 트랜지스터로 구성되는 레벨 변환 회로에 관한 것이다.
STN(Super Twisted Nematic) 방식, 또는 TFT(Thin Film Transistor)의 액정 표시 모듈은 노트북 컴퓨터 등의 표시 장치로서 넓게 사용되고 있다.
이러한 액정 표시 패널을 구동하는 구동 회로는 액정 표시 패널 이외에 외부 회로로서 레벨 변환 회로를 필요로 하는 것도 있다.
이러한 레벨 변환 회로는, 예를 들면, 특개평06-204850호 공보(1994. 7. 22 공개)에 기재되어 있다.
도 13은 종래의 레벨 변환 회로의 일례를 나타내는 회로도이다.
또한, 이 도 13에 나타낸 레벨 변환 회로는 반도체층이 단결정 실리콘(Si)으로 이루어진 MOS 트랜지스터로 구성되는 레벨 변환 회로이고, 상기 공보(특개평06-204850호)의 도 4에 기재되어 있는 것과 동일한 회로 구성의 것이다.

도 13에 나타낸 레벨 변환 회로는 저전압의 입력 신호(φ1)가 입력되는 CMOS인버터(INV1)와, 이 CMOS 인버터(INV1)의 출력 신호(φ2)가 입력되는 CMOS 인버터(INV2)를 갖는다.
CMOS 인버터(INV1)는 VCC의 저전압과 VSS의 기준 전압(또는 접지 전압) 사이에 직렬로 접속되는 p 채널형 M0S 트랜지스터(이하, PMOS로 칭함)(M5)와, n 채널형 MOS 트랜지스터(이하, NMOS로 칭함)(M6)로 구성된다.
마찬가지로, CMOS 인버터(INV2)는 VCC의 저전압과 VSS의 기준 전압 사이에 접속되는 PMOS(M7)와, NMOS(M8)로 구성된다.
또한, VDD의 고전압과 VSS의 기준 전압 사이에 접속되는 PMOS(M9)와 NMOS(M11)로 이루어진 직렬 회로와, PMOS(M10)와 NMOS(M12)로 이루어진 직렬 회로를 갖는다.
여기서, NMOS(M11)의 게이트 전극에는 CMOS 인버터(INV2)의 출력 신호(φ3) 가 입력되고, NMOS(M12)의 게이트 전극에는 CMOS 인버터(INV1)의 출력 신호(φ2)가 입력된다.
또한, PMOS(M9)의 게이트 전극은 PMOS(M10)의 드레인 전극에 접속되고, PMOS(M10)의 게이트 전극은 PMOS(M9)의 드레인 전극에 접속된다.
입력 단자 VIN으로부터 입력되는 입력 신호(φ1)는 VCC의 저전압과 VSS의 기준 전압 사이의 진폭을 갖고, 각 CMOS 인버터(INV1, INV2)에 의해, VCC의 저전압과 VSS의 기준 전압 사이의 진폭을 갖는 저전압 출력(φ2, φ3)으로 변환된다.
이 저전압 출력 신호(φ2, φ3)는 n 채널형 MOS 트랜지스터(M11, M12)의 게이트 전극에 입력되고, 출력 단자(VOUT1, VOUT2)로부터 레벨 변환된 신호, 즉 고전압 전원 VDD와 접지 전압 VSS 사이의 진폭을 갖는 상보 출력 신호(φ4, φ5)가 출력된다.
예를 들면, 저전압 출력 신호(φ2)가 High 레벨(이하, 단순히 H 레벨), 저전압 출력 신호(φ3)가 Low 레벨(이하, 단순히 L 레벨)일 때에는, NMOS(M12)가 ON, PMOS(M9)가 ON, NMOS(M11)가 OFF, PMOS(M10)이 OFF로 되고, 출력 단자(VOUT2)로부터는 접지 전압(VSS)이, 출력 단자(VOUT1)로부터는 고전압 VDD가 출력된다.
마찬가지로, 저전압 출력 신호(φ2)가 L 레벨, 저전압 출력 신호(φ3)가 H 레벨일 때에는, NMOS(M12)가 OFF, PMOS(M9)가 OFF, NMOS(M11)가 ON, PMOS(M10)가 ON으로 되고, 출력 단자(VOUT2)로부터는 고전압 전원 VDD가 출력 단자(VOUT1)로부터는 접지 전압 VSS가 출력된다.
도 14는 종래의 레벨 변환 회로의 다른 예를 나타내는 회로도이다.
또한, 도 14에 나타낸 레벨 변환 회로 역시, 반도체층이 단결정 실리콘(Si)으로 이루어진 M0S 트랜지스터로 구성되는 레벨 변환 회로이고, 상기 공보(특개평O6-204850호)의 도 1에 기재되어 있는 것과 동일한 회로 구성이다.
도 14에 나타낸 레벨 변환 회로는 CMOS 인버터(INV2)가 생략됨과 함께, NMOS(M11)의 소스 전극에 CMOS 인버터(INV1)의 출력 신호(φ2)가 입력되고, 그 게이트 전극에 VCC의 저전압이 인가되는 점에서, 도 13에 나타낸 레벨 변환 회로와 다르다.
도 14에 나타낸 레벨 변환 회로는, 도 13의 레벨 변환 회로에서는, 출력 단자(VOUT1, VOUT2)로부터 출력되는 레벨 변환된 출력 신호(φ4, φ5)가 H 레벨로부터 L 레벨, 또는 L 레벨로부터 H 레벨로 변화될 때에, PMOS(M9), NMOS(M11), PMOS(M10) 및 NMOS(M12)가 동시에 ON으로 되고, PMOS(M9)와 NMOS(M11)로 이루어진 직렬 회로, PMOS(M10)와 NMOS(M12)로 이루어진 직렬 회로에 관통 전류가 흐르고 있던 것을 방지하도록 한 것이다.
그렇지만, 도 13에 나타낸 레벨 변환 회로에서는, 저전압측에 4개의 M0S 트랜지스터(M5 ~ M8)와 고전압측에 4개의 MOS 트랜지스터(M9 ~ M12)로, 전체 8개의 MOS 트랜지스터가 필요하고, 마찬가지로, 도 14에 나타낸 레벨 변환 회로에서는 6개의 M0S 트랜지스터가 필요하여, 종래의 레벨 변환 회로는 많은 M0S 트랜지스터를 필요로 한다는 문제점이 있었다.
한편, 반도체층이 단결정 실리콘으로 이루어진 M0S 트랜지스터의 이동도는 1OOO ~ 2OOOcm ^{2}/V · s, 반도체층이 다결정 실리콘(폴리실리콘)으로 이루어진 MOS 트랜지스터의 이동도는 10 ~ 100cm ^{2}/V · s, 반도체층이 비정질 실리콘으로 이루어진 M0S 트랜지스터의 이동도는 0.1 ~ 10cm ^{2}/V · s인 것으로 알려져 있다.
반도체층이 다결정 실리콘이나 비정질 실리콘으로 이루어진 M0S 트랜지스터는 석영 유리나, 연화점 800℃ 이하의 유리 등의 투명한 절연 기판에 형성될 수 있으므로, 액정 표시 장치 등의 표시 디바이스에 직접 전자 회로를 형성할 수 있다.
도 15는 반도체가 단결정 실리콘으로 이루어진 n 채널형 MOS 트랜지스터의 스위칭 특성의 일례를 나타내는 그래프이고, 도 16은 반도체층이 폴리실리콘으로 이루어진 n 채널형 M0S 트랜지스터의 스위칭 특성의 일례를 나타내는 그래프이다.
이들 그래프에서, 곡선 A는 표준적인 임계값(VTH)의 경우의 특성이고, 곡선 B는 임계값(VTH)이 표준적인 임계값(VTH)에서 -1V 변화된 경우의 특성, 곡선 C는 임계값(VTH)이 표준적인 임계값(VTH)에서 +1V 변화된 경우의 특성이다.
도 15 및 도 16으로부터 이해할 수 있는 바와 같이, 반도체층으로서 500℃ ~ 1100℃의 온도에서 결정화시키는 고상 성장법에 의해 얻어지는 폴리실리콘이나, CVD법으로 형성된 비정질 실리콘을 레이저 어닐링으로 결정화시킨 폴리실리콘을 사용하는 폴리실리콘 MOS 트랜지스터(예를 들면, 폴리실리콘 박막 트랜지스터)에서는, 게이트 · 소스간 전압(VGS)이 저전압(예를 들면, 5V 이하)일 경우에, 반도체층이 단결정 실리콘으로 이루어진 MOS 트랜지스터의 드레인 전류값(ID)에 비해서, 드레인 전류값(ID)이 작고, 또한 드레인 전류값(ID)은 임계값(VTH)의 변동에 의해 크 게 변화된다.
그 때문에, 도 13 및 도 14에 나타낸 레벨 변환 회로를 반도체층이 단결정 실리콘으로 이루어진 M0S 트랜지스터를 사용하여 구성하는 경우에는, 충분한 동작을 보증할 수 있지만, 도 13 및 도 14에 나타낸 레벨 변환 회로를 반도체층이 폴리실리콘으로 이루어진 폴리실리콘 M0S 트랜지스터를 사용하여 구성하는 경우에는, 전원 전압이 저전압(VCC)

일 경우에 충분한 구동 능력을 얻을 수 없다는 결점이 있었다.
도 17은 CMOS 인버터의 직류 전달 곡선을 나타내는 그래프이다.
일반적으로, CMOS 인버터에서는, 입력 신호의 H 레벨과 L 레벨의 전압 중간값을 초과한 경우에, CM0S 인버터를 구성하는 p 채널형 M0S 트랜지스터 및 n 채널형 MOS 트랜지스터가 ON으로부터 OFF(또는 OFF로부터 ON)가 되도록, CMOS 인버터를 구성하는 p 채널형 MOS 트랜지스터 및 n 채널형 MOS 트랜지스터의 임계값(VTH)이 결정된다. 이 상태일 경우의 직류 전달 특성이 도 17의 곡선 A이다.
또한, 도 17에 나타낸 곡선 B는 CMOS 인버터를 구성하는 p 채널형 MOS 트랜지스터 및 n 채널형 MOS 트랜지스터의 임계값(VTH)이 도 17의 곡선 A로 나타낸 경우보다도 - 방향으로 변화된 경우의 직류 전달 특성이며, 도 17에 나타낸 곡선 C는 CMOS 인버터를 구성하는 p 채널형 MOS 트랜지스터 및 n 채널형 MOS 트랜지스터의 임계값(VTH)이 도 17의 곡선 A로 나타낸 경우보다도 + 방향으로 변화된 경우의 직류 전달 특성이다.
도 18의 (a) ~ (d)는 CMOS 인버터의 입출력 파형을 설명하기 위한 모식도이 다.
도 18의 (a)는 CMOS 인버터에 입력되는 입력 신호의 파형이고, 도 18의 (b) ~ (d)는 직류 전달 특성이 각각 도 17의 곡선 A ~ C인 경우에 대한, CM0S 인버터로부터 출력되는 출력 신호의 파형을 나타낸다.
CMOS 인버터의 직류 전달 특성이 도 17의 곡선 A인 경우에는, 도 18의 (b)에 나타낸 바와 같이, 입력 신호의 상승 시점으로부터 tDA 시간 지연되어 출력 신호는 하강되지만, 출력 신호의 H 레벨 기간(LHA) 및 L 레벨 기간(LLA)은 입력 신호와 같아진다.
그렇지만, CMOS 인버터의 직류 전달 특성이 도 17의 곡선 B인 경우에는, 도 18의 (c)에 나타낸 바와 같이, 입력 신호의 상승 시점으로부터 tDA 시간보다도 짧은 tDB 시간 지연되어 출력 신호는 하강됨과 함께, 출력 신호의 H 레벨 기간(LHB)이 입력 신호의 H 레벨 기간보다도 짧고, 또한 L 레벨 기간(LLB)은 입력 신호의 L 레벨 기간보다도 길어진다.
또한, CMOS 인버터의 직류 전달 특성이 도 17의 곡선 C인 경우에는, 도 18의 (d)에 나타낸 바와 같이, 입력 신호의 상승 시점으로부터 tDA 시간보다도 긴 tDC 시간 지연되어 출력 신호는 하강됨과 함께, 출력 신호의 H 레벨 기간(LHC)이 입력 신호의 H 레벨 기간보다도 길고, 또한 L 레벨 기간(LLC)은 입력 신호의 L 레벨 기간보다도 짧아진다.
일반적으로, 폴리실리콘 M0S 트랜지스터의 경우, 반도체층이 단결정 실리콘으로 이루어진 M0S 트랜지스터에 비해서, M0S 트랜지스터의 임계값(VTH)의 변동이 크고, 또한 도 16에서 알 수 있는 바와 같이, MOS 트랜지스터의 임계값(VTH)이 변동하면 드레인 전류값(ID)이 크게 변화된다.
이 때문에, 종래의 레벨 변환 회로를 폴리실리콘 M0S 트랜지스터로 구성한 경우에는, 주로 CMOS 인버터(INV1, INV2, 도 13 참조)를 구성하는 폴리실리콘 MOS 트랜지스터의 임계값(VTH)의 변동에 의해, CMOS 인버터(INV1, INV2)의 직류 전달 특성이 크게 변동하므로, 입력 신호에 대한 출력 신호의 지연 시간(또는 위상차)과, 출력 신호의 H 레벨 기간(또는 L 레벨 기간)의 변화가 커진다는 문제가 있었다.
예를 들면, 전계 효과 이동도가 약 80cm ^{2}/V · s인 폴리실리콘 n 채널형 MOS 트랜지스터와, 전계 효과 이동도가 약 60cm ^{2}/V · s인 폴리실리콘 p 채널형 MOS 트랜지스터로, 도 13에 나타낸 레벨 변환 회로를 구성했을 때의 입출력 신호 파형을 도 19에 나타낸다.
도 19에 있어서, 곡선(φ5)은 표준적인 임계값(VTH)일 경우의 레벨 변환 회로의 출력 파형, 곡선(φ5-1)은 NMOS 및 PMOS 트랜지스터의 임계값(VTH)이 -1V 변화된 경우의 출력 파형, 곡선(φ5-2)은 NMOS 및 PMOS 트랜지스터의 임계값(VTH)이 +1V 변화된 경우의 출력 파형이다.
도 19에서 알 수 있는 바와 같이, MOS 트랜지스터의 임계값(VTH) 변동에 의해, 입력 신호에 대한 출력 신호의 지연 시간, 및 출력 신호의 H 레벨 기간이 크게 변동한다.
아날로그 샘플링 방식의 액티브 매트릭스 폴리실리콘 M0S 트랜지스터 액정 표시 모듈에서는, 이러한 레벨 변환 회로로부터의 출력 신호의 지연 시간, 및 출력 신호의 H 레벨 기간의 변동은, 예를 들면 중간조(中間調) 표시(halftone display) 시에 종선상(縦線狀)의 화상 결함 등의 화질 불량을 발생시킨다.
도 20은 액티브 매트릭스 폴리실리콘 MOS 트랜지스터 액정 표시 모듈의 표시 원리를 설명하기 위한 도면이다.
액티브 매트릭스 폴리실리콘 M0S 트랜지스터 액정 표시 모듈에서는, 1수평 주사 기간 내에 주사 회로에 의해, 예를 들면 게이트 전극선 G1을 선택하고, 이 사이에 수평 주사 회로 내의 시프트 레지스터(SR)의 시프트 주사에 의해, (n-1)번째의 드레인 전극선, n번째의 드레인 전극선, (n+1)번째의 드레인 전극선으로 차례차례 아날로그 영상 신호(φsig)를 샘플링하여 공급하고, 이를 게이트 전극선 수만큼 반복하여 행함으로써 영상 표시를 행한다.
드레인 전극선(n-1, n, n+1)으로의 아날로그 영상 신호(φsig)의 샘플링 동작에 대해서, 도 21의 타이밍 차트를 이용하여 설명한다.
먼저, 상보 클록 입력 신호(φPL, φNL)의 전압 레벨을 레벨 변환 회로(LV1, LV2)에 의해 레벨 시프트하여 레벨 시프트된 서로 상보적인 신호(φNH, φPH)를 생성한다.
신호(φPH)와, 시프트 레지스터(SR)의 출력을 NAND 회로(NA1)에 입력하여, 샘플링 펄스(φN)를 생성함과 함께, 신호(φNH)와, 시프트 레지스터(SR)의 출력을 NAND 회로(NA2)에 입력하여 샘플링 펄스(φN+1)를 생성한다.
이들 샘플링 펄스(φN, φN+1)의 반전 펄스(/φN, /φN+1; 여기서, /은 반전 신호를 의미함)에 의해, 샘플 홀드 회로(SH1, SH2)를 구동하여, 시간적으로 변화하는 아날로그 영상 신호(φsig)를 차례로 샘플링하고, (n-1)번째의 드레인 전극선, n번째의 드레인 전극선, (n+1)번째의 드레인 전극선에 영상 신호 전압(φm-1, φm, φm+1)을 공급한다.
따라서, 레벨 변환 회로(LV1, LV2)를 구성하는 MOS 트랜지스터의 임계값(V TH) 변동이 생긴 경우에는, 레벨 변환 회로(LV1, LV2)에서 레벨 시프트된 상보 신호(φNH, φPH)의 위상 및 H 레벨 기간이 변동되고, 샘플링 펄스(φN, φN+1)의 위상 및 H 레벨 기간이 변동된다.

샘플링 펄스(ϕN, ϕN+1)의 위상 및 H 레벨 기간의 변화는 샘플링 기간의 단축, 또는 본래 샘플링해야 할 아날로그 영상 신호(ϕsig)와는 다른 아날로그 영상 신호(ϕsig)를 샘플링하거나, 또는 샘플링 펄스(ϕN, ϕN+1)의 샘플링 기간의 중첩을 발생시킨다.
이것에 의해서, 액정 표시 패널에 표시되는 화상에 고스트(ghost)가 발생하여, 표시 화상의 표시 품질을 현저하게 손상시키게 된다.
또한, 디지털 입력 방식의 액티브 매트릭스 폴리실리콘 M0S 트랜지스터 액정 표시 모듈에서는, 디지털-아날로그 변환기(D/A 변환기)의 앞에 이러한 레벨 변환 회로를 설치하면, 각 데이터 비트의 레벨 변환 회로에서의 지연 시간에 변동이 생겨, 일부 비트의 데이터가 반전된 상태로 디지털-아날로그 변환되므로 오표시가 발생한다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기 종래 기술의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 레벨 변환 회로에 있어서, 고속이며, 동시에 트랜지스터의 임계값 변동에 대해서 안정하게 동작시키는 것이 가능해지는 기술을 제공하는 것에 있다.
본 발명의 다른 목적은 액정 표시 장치에 있어서, 상기 레벨 변환 회로를 사용하여 표시 화상의 표시 품질을 향상시키는 것이 가능해지는 기술을 제공하는 것에 있다.
본 발명의 상기 및 기타 목적과 신규한 특징은 본 명세서의 기술 및 첨부된 도면에 의해 명백해진다.
본원에서 개시되는 발명 중, 대표적인 것의 개요를 간단하게 설명하면, 하기와 같다.
먼저, 본 발명의 1 실시예에 의하면,
제1 전압으로부터 이 제1 전압보다 낮은 접지 전위인 제2 전압까지 스윙(swing)하는 신호가 입력되는 입력 단자와,
게이트 전극이 상기 입력 단자에 접속되고, 소스 전극이 접지 전위에 접속된 제1 도전형의 제1 트랜지스터와,
게이트 전극이 상기 제1 트랜지스터의 드레인 전극에 접속되고, 소스 전극이 제1 전압보다 높은 제3 전압을 공급하는 전원 전압에 접속되고, 드레인 전극이 출력 단자에 접속된 제2 도전형의 제2 트랜지스터와,
상기 제2 트랜지스터의 상기 게이트 전극과 상기 전원 전압 사이에 접속된 부하 회로와,
소스 전극이 상기 입력 단자에 접속되고, 드레인 전극이 상기 출력 단자에 접속되고, 게이트 전극에 상기 제2 전압보다 높고 상기 제1 전압보다 낮은 직류 전압이 인가되는 제1 도전형의 제3 트랜지스터를 포함하고,
상기 출력 단자는 상기 입력 단자에 상기 제1 전압이 입력된 경우에 제3 전압을 출력하고,
상기 입력 단자에 상기 제2 전압이 입력된 경우에 상기 제2 전압을 출력하는 레벨 변환 회로가 제공된다.
다음으로, 본 발명의 다른 실시예에 의하면,
제1 전압으로부터 이 제1 전압보다 낮은 접지 전위인 제2 전압까지 스윙하는 디지털 신호가 입력되는 입력 단자와,
게이트 전극이 상기 입력 단자에 접속되고, 소스 전극이 접지 전위에 접속된 제1 도전형의 제1 트랜지스터와,
게이트 전극이 상기 제1 트랜지스터의 드레인 전극에 접속되고, 소스 전극이 제1 전압보다 높은 제3 전압을 공급하는 전원 전압에 접속되고, 드레인 전극이 출력 단자에 접속된 제2 도전형의 제2 트랜지스터와,
상기 제2 트랜지스터의 상기 게이트 전극과 상기 전원 전압 사이에 접속된 부하 회로와,
소스 전극이 상기 입력 단자에 접속되고, 드레인 전극이 상기 출력 단자에 접속되고, 게이트 전극에 상기 제2 전압보다 높고 상기 제1 전압보다 낮은 직류 전압이 인가되는 제1 도전형의 제3 트랜지스터를 포함하고,
상기 출력 단자는 상기 입력 단자에 상기 제1 전압이 입력된 경우에, 상기 제1 트랜지스터 및 상기 제2 트랜지스터가 ON되어 상기 제3 전압을 출력하고,
상기 출력 단자는 상기 입력 단자에 상기 제2 전압이 입력된 경우에, 상기 제1 트랜지스터 및 상기 제2 트랜지스터가 OFF되어, 상기 제3 트랜지스터를 통해, 상기 제2 전압을 출력하는 레벨 변환 회로가 제공된다.
다음으로, 본 발명의 또 다른 실시예에 의하면,
한쌍의 기판과, 이 한쌍의 기판 사이에 샌드위치된 액정층과, 상기 한쌍의 기판 사이에 설치된 복수의 화소와, 이 복수의 화소를 구동하는 구동 회로를 구비한 액정 표시 장치에 있어서,
상기 구동 회로는 레벨 변환 회로를 갖고,
상기 레벨 변환 회로는,
제1 전압으로부터 상기 제1 전압보다 낮은 접지 전위인 제2 전압까지 스윙하는 디지털 신호가 입력되는 입력 단자와,
게이트 전극이 상기 입력 단자에 접속되고, 소스 전극이 접지 전위에 접속된 n 채널형의 제1 트랜지스터와,
게이트 전극이 상기 제1 트랜지스터의 드레인 전극에 접속되고, 소스 전극이 상기 제1 전압보다 높은 제3 전압을 공급하는 전원 전압에 접속되고, 드레인 전극이 출력 단자에 접속된 p 채널형의 제2 트랜지스터와,
상기 제2 트랜지스터의 상기 게이트 전극과 상기 전원 전압 사이에 접속된 부하 회로와,
소스 전극이 상기 입력 단자에 접속되고, 드레인 전극이 상기 출력 단자에 접속되고, 게이트 전극에는 직류 전압이 인가된 제3 트랜지스터를 포함하고,
상기 제3 트랜지스터의 상기 게이트 전극에 인가되는 상기 직류 전압은, 상기 제3 트랜지스터의 상기 소스 전극에 상기 제2 전압이 인가된 경우, 상기 제3 트랜지스터가 ON으로 되고, 한편 상기 제3 트랜지스터의 상기 소스 전극에 상기 제1 전압이 인가된 경우, 상기 제3 트랜지스터가 OFF로 되는 전압이고,
상기 입력 단자에 상기 제1 전압이 입력된 경우에, 상기 제1 트랜지스터 및 상기 제2 트랜지스터가 ON되어, 상기 레벨 변환 회로는 상기 제3 전압을 출력하고,
상기 입력 단자에 상기 제2 전압이 입력된 경우에, 상기 제1 트랜지스터 및 상기 제2 트랜지스터가 OFF되어, 상기 레벨 변환 회로는 상기 제3 트랜지스터를 통해 상기 제2 전압을 출력하는 액정 표시 장치가 제공된다.

발명의 구성 및 작용

이하, 도면을 참조하여 본 발명의 실시예를 상세하게 설명하기로 한다.
또한, 실시예를 설명하기 위한 전 도면에서, 동일 기능을 갖는 것은 동일 부호를 붙이고, 그 반복 설명은 생략한다.
[실시예 1]
도 1은 본 발명의 실시예 1의 레벨 변환 회로를 나타내는 회로도이다.
도 1에 나타낸 바와 같이, 본 실시예의 레벨 변환 회로는 인헨스먼트 모드(enhanced mode) p 채널형 폴리실리콘 M0S 트랜지스터, 및 인헨스먼트 모드 n 채널형 폴리실리콘 MOS 트랜지스터를 총 4개를 사용한 레벨 변환 회로이고, PMOS(M1)와 NMOS(M3)로 이루어진 제1단 회로와, PMOS(M2)와 NMOS(M4)로 이루어진 제2단 회로를 포함한다.
제1단 회로의 NMOS(M3)는 소스 전극이 VSS의 기준 전압(접지 전압)에 접속되고, 게이트 전극에는 입력 단자 VIN으로부터 입력되는 입력 신호(φ6)가 인가된다.
이 입력 신호(φ6)는 진폭이 VCC와 같거나, 이보다도 높은 전압과 VSS의 접지 전압 사이에서 변화되는 신호이다.
드레인 전극이 NMOS(M3)의 드레인 전극에 접속되는 PMOS(M1)는 소스 전극이 VDD의 고전압에 접속되고, 게이트 전극이 드레인 전극에 접속된다.
제2단 회로의 NMOS(M4)는 소스 전극에 입력 신호(φ6)가 인가되고, 게이트 전극이 VCC의 저전압에 접속된다.
드레인 전극이 NMOS(M4)의 드레인 전극에 접속되는 PM0S(M2)는 소스 전극이 VDD의 고전압에 접속되고, 게이트 전극이 PMOS(M1)의 드레인 전극에 접속된다. 즉, PMOS(M1)는 능동 부하 회로를 구성한다.
여기서, 레벨 시프트된 출력 신호(φ8)는 제2단 회로의 PMOS(M2)의 드레인 전극으로부터 출력된다.
즉, 본 실시예의 레벨 변환 회로는 제1단 회로 및 제2단 회로의 NMOS(M3, M4)의 각 전극 중에서, 출력 또는 다음 단으로의 출력에 접속되는 전극 이외의 전극(NMOS(M3)의 소스 전극 및 게이트 전극, NMOS(M4)의 소스 전극 및 게이트 전극)은 모두, 입력 신호 전압(φ6) 또는 직류 전압(VCC의 저전압 또는 VSS의 접지 전 압)이 인가된다.
이하, 본 실시예의 레벨 변환 회로의 동작에 대해서 설명한다.
입력 단자 VIN으로부터 입력되는 입력 신호(φ6)가 H 레벨일 때에는, NMOS(M3)가 ON, PMOS(M1)가 ON, NMOS(M4)가 OFF, PMOS(M2)가 ON으로 되고, 출력 단자(VOUT)로부터는 고전압 VDD이 출력된다.
또한, 입력 신호(φ6)가 L 레벨일 때에는, NMOS(M3)가 OFF, PMOS(M1)가 OFF, NMOS(M4)가 ON, PMOS(M2)가 OFF로 되고, 출력 단자(VOUT)로부터는 L 레벨의 전압인 입력 신호(φ6)가 출력된다.
도 2는 본 실시예의 레벨 변환 회로의 입출력 신호 파형의 일례를 나타내는 도면이다.
도 2는 NMOS(M3, M4)로서 전계 효과 이동도 약 80cm ^{2}/(V · s)의 폴리실리콘 n 채널형 MOS 트랜지스터를, PMOS(M1, M2)로서 전계 효과 이동도 약 60cm ^{2}/(V · s)의 폴리실리콘 p 채널형 M0S 트랜지스터를 사용했을 때의 입출력 신호 파형을 나타내는 도면이다.
도 2에서, 곡선(φ8)은 NMOS(M3, M4) 및 PMOS(M1, M2)가 표준적인 임계값(V TH)일 경우의 출력 파형, 곡선(φ8-1)은 NMOS(M3, M4) 및 PMOS(M1, M2)의 임계값(V TH)이 -1V 변화된 경우의 출력 파형, 곡선(φ8-2)은 NMOS(M3, M4) 및 PMOS(M1, M2)의 임계값(V TH)이 +1V 변화된 경우의 출력 파형이다.
도 2로부터 명백한 바와 같이, 본 실시예의 레벨 변환 회로는 도 19에 나타 낸 입출력 파형에 비해, NMOS(M3, M4) 및 PMOS(M1, M2)의 임계값(VTH)의 변화에 대해 비교적 안정한 입출력 특성이 얻어진다.
전술한 바와 같이, 폴리실리콘 M0S 트랜지스터의 경우, M0S 트랜지스터의 임계값(VTH)의 변동이 크고, 또한 상기 도 16에 나타낸 바와 같이, 전원 전압이 저전압일 때에, MOS 트랜지스터의 임계값(VTH)의 변동에 의해 드레인 전류값(ID)이 크게 변동한다.
그렇지만, 본 실시예의 레벨 변환 회로에서는, NMOS(M3)의 게이트 전극, 및 NMOS(M4)의 소스 전극에 입력 단자(VIN)로부터 입력되는 외부 신호(φ6)가 직접 인가되므로, 폴리실리콘 MOS 트랜지스터의 임계값(VTH)이 변동되었다 해도, 드레인 전류값(ID)이 크게 변동하는 경우가 없다.
이 때문에, 본 실시예의 레벨 변환 회로에 의하면, 레벨 변환 회로를 구성하는 각 트랜지스터(NMOS(M3, M4) 및 PMOS(M1, M2))의 임계값(V TH)의 변동에 의해, 출력 신호의 지연 시간 및 출력 신호의 H 레벨 기간이 크게 변동되는 것을 방지할 수 있다.
또한, 단결정 반도체층에 있어서도, 본 실시예의 효과가 얻어진다.
그렇지만, 도 15에 나타낸 바와 같이, 단결정 반도체를 사용한 MOS 트랜지스터의 임계값(V TH)의 변동은 적고 드레인 전류도 크게 떨어지므로, 저소비 전력화를 위해 도 13에 나타낸 종래의 회로를 사용하는 것이 상식이고, 도 1에 나타낸 바와 같은 본 실시예의 레벨 변환 회로는 소비 전력이 증가하므로 누구도 생각해내지 않았다.
도 3 내지 도 7은 본 발명의 실시예의 레벨 변환 회로의 변형예를 나타내는 회로도이다.
도 3에 나타낸 레벨 변환 회로는 제1단 회로의 부하 회로로서 저항 소자를 사용한 것이다.
도 3에 나타낸 레벨 변환 회로에서는, 저항 소자에 박막 트랜지스터(TFT)와 같은 폴리실리콘막이나 전극 배선을 사용할 수 있으므로, 레벨 변환 회로를 간단하게 형성할 수 있어 제조가 용이하다.
도 4에 나타낸 레벨 변환 회로는 제1단 회로의 부하 회로로서, 게이트 전극에 소정의 바이어스 전원(Vbb)이 인가되는 폴리실리콘 PM0S(M1)를 사용한 것이다.
도 4에 나타낸 레벨 변환 회로에서는, NMOS(M3)를 흐르는 전류가 PMOS(M1)에서 제한되므로 소비 전력을 억제할 수 있다.
이 경우에, 전류의 제한량은 바이어스 전원 Vbb로 결정된다.
도 5에 나타낸 레벨 변환 회로는 제1단 회로의 부하 회로로서, 폴리실리콘 NMOS(M20)로 이루어진 능동 부하 회로를 사용한 것이다.

도 5에 나타낸 레벨 변환 회로에서는, 입력단을 NMOS(M3)와 NMOS(M20)의 NMOS 트랜지스터만으로 구성할 수 있고, NMOS 트랜지스터는 PMOS 트랜지스터보다도 이동도가 높기 때문에 고속화할 수 있다.
도 6에 나타낸 레벨 변환 회로는 제1단 회로의 부하 회로로서, 디프레션 모드 폴리실리콘 NMOS(M21)로 이루어진 능동 부하 회로를 사용한 것이다.
도 6에 나타낸 레벨 변환 회로에서는, NMOS(M21)는 디프레션 모드의 M0S 트 랜지스터이므로, 상시 전류를 흘릴 수 있어 고속화할 수 있다. 그러나, 그 만큼 소비 전력이 증가된다.
도 7에 나타낸 레벨 변환 회로는 제1단 회로의 부하 회로로서, 다이오드(D)를 사용한 것이다.
다이오드(D)는 박막 트랜지스터(TFT)와 같은 폴리실리콘막에 p형 영역을 형성하는 불순물과, n형 영역을 형성하는 불순물을 각각 도핑하여 형성할 수 있으므로, 도 7에 나타낸 레벨 변환 회로는 제조 프로세스가 용이해진다.
이들 도 3 내지 도 7에 나타낸 레벨 변환 회로에서도, 도 1에 나타낸 레벨 변환 회로와 같은 효과를 얻는 것이 가능하다.

[실시예 2]

도 8은 본 발명의 실시예 2의 레벨 변환 회로를 나타내는 회로도이다.
도 8에 나타낸 바와 같이, 본 실시예의 레벨 변환 회로 역시, 인헨스먼트 모드 p 채널형 폴리실리콘 M0S 트랜지스터 및 인헨스먼트 모드 n 채널형 MOS 폴리실리콘 트랜지스터를 총 4개를 사용한 레벨 변환 회로로서, PMOS(M1)와 NMOS(M3)로 이루어진 제1단 회로와, PMOS(M2)와 NMOS(M4)로 이루어진 제2단 회로를 포함한다.
본 실시예의 레벨 변환 회로는, 제1단 회로의 NMOS(M3)는, 소스 전극에 입력 신호(φ6)가 인가되고 게이트 전극이 VCC의 저전압에 접속됨과 함께, 제2단 회로의 NMOS(M4)는, 소스 전극이 VSS의 기준 전압에 접속되고 게이트 전극에 입력 단자 VIN으로부터 입력되는 입력 신호(φ6)가 인가되는 점에서 상기 실시예 1의 레벨 변환 회로와 다르다.
본 실시예의 레벨 변환 회로에서는, 입력 단자 VIN으로부터 입력되는 입력 신호(φ6)가 H 레벨일 때에, NMOS(M3)가 OFF, PMOS(M1)가 OFF, NMOS(M4)가 ON, PMOS(M2)가 OFF로 되고, 출력 단자(VOUT)로부터는 접지 전압(VSS)이 출력된다.
또한, 입력 신호(φ6)가 L 레벨일 때에는, NMOS(M3)가 ON, PMOS(M1)가 ON, NMOS(M4)가 OFF, PMOS(M2)가 ON으로 되고, 출력 단자(VOUT)로부터는 고전압(VDD)이 출력된다.
이와 같이, 상기 실시예 1의 레벨 변환 회로에서는, 레벨 시프트된 출력 신호(φ8)가 입력 신호(φ6)와 동상(同相)인 데 대해, 본 실시예의 레벨 변환 회로에서는 레벨 시프트된 출력 신호(φ8)가 입력 신호(φ6)와 역상으로 된다.
본 실시예의 레벨 변환 회로에서도, 상기 실시예 1의 레벨 변환 회로와 같은 효과를 얻는 것이 가능하고, 또한 본 실시예의 레벨 변환 회로에 있어서, 제1단 회로의 부하 회로(PM0S(M1)로 구성된 부분)로서, 상기 도 3 내지 도 7에 나타낸 부하 회로를 채용할 수도 있다.
본 실시예의 레벨 변환 회로와 유사의 회로 구성을 갖는 버퍼 회로가, 예를 들면 ,특개평07-007414호 공보(1995. 1. 10 공개)에 기재되어 있다.
도 22는 상기 공보(특개평07-007414호)에 기재되어 있는 버퍼 회로의 회로 구성을 나타낸 회로도이다.
도 22에 도시하는 PMOS(Q1)와 NMOS(Q2)를 포함하는 버퍼 회로에 입력되는 전원 전압은 버퍼 회로이므로 VDD의 전압과 VSS의 기준 전압뿐이다.
그리고, NMOS(Q2)에는 진폭이 VDD의 전압과 VSS의 접지 전압 사이에서 변화 되는 신호가 인가된다.
그 때문에, NMOS(Q2)는 디프레션 모드 n 채널형 MOS 트랜지스터가 사용된다.
원래 도 22에 나타낸 버퍼 회로는 입력 신호의 전압 레벨을 시프트하는 레벨 변환 회로가 아니고, 게다가 도 22에 나타낸 버퍼 회로는 디프레션 모드 n 채널형 MOS 트랜지스터(NMOS(Q2))를 사용하는 점에서, 본 실시예의 레벨 변환 회로와 다르다.
더우기, 상기 공보(특개평07-007414호)에는, 도 8에 나타낸 본 실시예의 레벨 변환 회로를 구성하는 각 트랜지스터(NMOS(M3, M4) 및 PMOS(M1, M2))의 임계값(VTH)의 변동에 의해, 출력 신호의 지연 시간 및 출력 신호의 H 레벨 기간이 크게 변동되는 것을 방지하는 것은 전혀 개시되어 있지 않다.

[실시예 3]

도 9는 본 발명의 실시예 3의 레벨 변환 회로를 나타내는 회로도이다.
도 9에 나타낸 바와 같이, 본 실시예의 레벨 변환 회로도, 인헨스먼트 모드 p 채널형 M0S 폴리실리콘 트랜지스터 및 인헨스먼트 모드 n 채널형 MOS 폴리실리콘 트랜지스터를 총 4개를 사용한 레벨 변환 회로로서, PMOS(M1)와 NMOS(M3)로 이루어진 제1단 회로와, PMOS(M2)와 NMOS(M4)로 이루어진 제2단 회로를 포함한다.
본 실시예의 레벨 변환 회로는 제1단 회로의 PM0S(M1)의 게이트가 제2단 회로의 PMOS(M2)의 드레인 전극(즉, 출력 단자(VOUT))에 접속되어 있는 점에서, 상기 실시예 1의 레벨 변환 회로와 다르다.
본 실시예의 레벨 변환 회로에서는, 입력 단자(VIN)로부터 입력되는 입력 신 호(φ6)가 H 레벨일 때에, NMOS(M3)가 ON, PMOS(M1)가 OFF, NMOS(M4)가 OFF, PMOS(M2)가 ON으로 되고, 출력 단자(VOUT)로부터는 고전압(VDD)이 출력된다.
또한, 입력 신호(φ6)가 L 레벨일 때에, NMOS(M3)가 OFF, PMOS(M1)가 ON, NMOS(M4)가 ON, PMOS(M2)가 OFF로 되고, 출력 단자(VOUT)로부터는 입력 신호(φ6)의 L 레벨의 전압이 출력된다.
이와 같이, 본 실시예의 레벨 변환 회로에서는, 상기 실시예 1의 레벨 변환 회로와 마찬가지로, 레벨 시프트된 출력 신호(φ8)는 입력 신호(φ6)와 동상으로 된다.
본 실시예의 레벨 변환 회로에서도, 상기 실시예 1의 레벨 변환 회로와 같은 효과를 얻는 것이 가능하다.
또한, 본 실시예의 레벨 변환 회로에서는, 도 9에 나타낸 바와 같이, NMOS(M3)와 PMOS(M1)가 동시에 ON이 되는 경우도, 또한 NMOS(M4)와 PMOS(M2)가 동시에 ON이 되는 경우도 없기 때문에, 제1단 회로 및 제2단 회로에는, 스

위칭 시 이외에는 전류가 흐르지 않아 소비 전력이 낮아진다.
단, 도 1에 나타낸 실시예 1의 레벨 변환 회로 쪽이 스피드(고속화)의 점에서는 유리하다.
본 실시예의 레벨 변환 회로는 NMOS(M3)의 게이트 전극 및 NMOS(M4)의 소스 전극에 외부 단자(VIN)로부터 입력되는 외부 신호(φ6)가 직접 인가되는 점에서, 상기 도 14에 나타낸 레벨 변환 회로와 다르다.
전술한 바와 같이, 폴리실리콘 M0S 트랜지스터의 경우, M0S 트랜지스터의 임 계값(VTH)의 변동이 크고, 또한 전원 전압이 저전압일 때에, MOS 트랜지스터의 임계값(VTH)의 변동에 의해 드레인 전류값(ID)이 크게 변동한다.
그 때문에, 상기 도 14에 나타낸 레벨 변환 회로를 폴리실리콘 M0S 트랜지스터로 구성한 경우에는, 주로 CMOS 인버터(INV1)를 구성하는 폴리실리콘 MOS 트랜지스터의 임계값(VTH)의 변동에 의해, 입력 신호에 대한 출력 신호의 지연 시간(또는 위상차)과 H 레벨 기간(또는 L 레벨 기간)의 변화가 커진다는 문제가 있었다.
이것에 대해서, 본 실시예의 레벨 변환 회로에서는, NMOS(M3)의 게이트 전극 및 NMOS(M4)의 소스 전극에 외부 단자(VIN)로부터 입력되는 외부 신호(φ6)가 직접 인가되므로, 레벨 변환 회로를 구성하는 각 트랜지스터(NMOS(M3, M4) 및 PMOS(M1, M2))의 임계값(V TH)의 변동에 의해 출력 신호의 지연 시간 및 출력 신호의 H 레벨 기간이 크게 변동하는 것을 방지할 수 있다.
[실시예 4]
도 10은 본 발명의 실시예 4의 레벨 변환 회로를 나타낸 회로도이다.
도 10에 나타낸 바와 같이, 본 실시예의 레벨 변환 회로 역시, 인헨스먼트 모드 p 채널형 M0S 폴리실리콘 트랜지스터 및 인헨스먼트 모드 n 채널형 MOS 폴리실리콘 트랜지스터를 총 4개를 사용한 레벨 변환 회로로서, PMOS(M1)와 NMOS(M3)로 이루어진 제1단 회로와, PMOS(M2)와 NMOS(M4)로 이루어진 제2단 회로를 포함한다.
본 실시예의 레벨 변환 회로는 제1단 회로의 NMOS(M1)의 게이트가 제2단 회로의 PMOS(M2)의 드레인 전극(즉, 출력 단자(VOUT))에 접속되어 있는 점에서, 상기 실시예 2의 레벨 변환 회로와 다르다.
본 실시예의 레벨 변환 회로에서는, 입력 단자 VIN으로부터 입력되는 입력 신호(φ6)가 H 레벨일 때에, NMOS(M3)가 OFF, PMOS(M1)가 ON, NMOS(M4)가 ON, PMOS(M2)가 OFF로 되고, 출력 단자(VOUT)로부터는 접지 전압(VSS)이 출력된다.
또한, 입력 신호(φ6)가 L 레벨일 때에는, NMOS(M3)가 ON, PMOS(M1)가 OFF, NMOS(M4)가 OFF, PMOS(M2)가 ON으로 되고, 출력 단자(VOUT)로부터는 고전압(VDD)이 출력된다.
이와 같이, 본 실시예의 레벨 변환 회로에서는, 상기 실시예 2의 레벨 변환 회로와 마찬가지로, 레벨 시프트된 출력 신호(φ8)는 입력 신호(φ6)와 역상으로 된다.
본 실시예의 레벨 변환 회로 역시, 상기 실시예 3의 레벨 변환 회로와 마찬가지로, 제1단 회로 및 제2단 회로에는 스위칭 시에만 전류가 흐르므로 소비 전력이 낮아진다.
단, 도 1에 나타낸 실시예 1의 레벨 변환 회로 쪽이 스피드(고속화)의 점에서는 유리하다.
[실시예 5]
도 11은 본 발명의 실시예 5의 아날로그 샘플링 방식의 액티브 매트릭스 폴리실리콘 M0S 트랜지스터 액정 표시 모듈의 표시 패널의 구성을 나타내는 블록도이다.
도 11에서, 참조 부호(SUB1)는 연화점이 800℃ 이하의 유리나 석영 유리 등의 투명한 절연 기판이고, 참조 부호(3)는 표시 영역이고, 이 표시 영역(3)은 매트 릭스형으로 배치되는 복수의 화소를 갖고, 각 화소는 폴리실리콘 박막 트랜지스터(TFT)를 갖는다.
각 화소는 인접하는 2개의 드레인 전극선(D)과 인접하는 2개의 게이트 전극선(G)으로 둘러싸인 영역 내에 배치된다.
각 화소는 박막 트랜지스터(TFT)를 갖고, 각 화소의 박막 트랜지스터(TFT)의 소스 전극은 화소 전극(도시되지 않음)에 접속되고, 화소 전극과, 전 화소전극에 대향하는 공통 전극(common electrode)(도시되지 않음) 사이에 액정층이 설치되므로, 박막 트랜지스터(TFT)의 소스 전극과 공통 전극 사이에는 액정 용량(C LC)이 등가적으로 접속된다.
또한, 박막 트랜지스터(TFT)의 소스 전극과 전단(前段)의 게이트 전극선(G) 사이에는 부가 용량(C ADD)이 접속된다.
매트릭스형으로 배치된 박막 트랜지스터(TFT) 내의, 동일 행에 배열된 각 박막 트랜지스터(TFT)의 게이트 전극은 한 개의 게이트 전극선(G)에 접속되고, 또한 각 게이트 전극선(G)은 표시 영역(3)의 양측에 배치되는 수직 방향 주사 회로(5)에 접속된다.
매트릭스형으로 배치된 박막 트랜지스터(TFT) 내의, 동일 열에 배열된 각 박막 트랜지스터(TFT)의 드레인 전극은 한 개의 드레인 전극선(D)에 접속되고, 또한 각 드레인 전극선(D)은 표시 영역(3)의 한쪽의 측에 배치되는 수평 방향 주사 회로(4)에 접속된다.
또한, 각 드레인 전극선(D)은 표시 영역(3)의 다른 쪽의 측에 배치되는 프리 차지 회로(6)에도 접속된다.
제어 신호 입력 단자(9, 10)로부터 입력되는 제어 신호는 상기 각 실시예의 레벨 변환 회로(7)에 의해 전압 레벨이 레벨 시프트되어, 수평 방향 주사 회로(4), 수직 방향 주사 회로(5), 및 프리차지 회로(6)에 입력된다.
또한, 본 실시예에서는, 레벨 변환 회로(7)를 구성하는 폴리실리콘 MOS 트랜지스터는 화소를 형성하는 각 박막 트랜지스터(TFT)와 동시에 투명한 절연 기판(SUB1) 상에 형성된다.
본 실시예에서는, 외부 회로로부터 입력되는 신호(일반적으로, 0 ~ 5V, 0 ~ 3. 5V 또는 0 ~ 3V)를, 액정 표시 패널이나 폴리실리콘 MOS 트랜지스터 회로를 충분히 구동할 수 있는 전압 진폭(일반적으로 고전압)으로 변환하는 레벨 변환 회로를 액정 표시 패널 자체에 내장하고 있다.
따라서, 본 실시예에 의하면, 액정 표시 패널을 표준 논리 IC의 출력 신호로 구동할 수 있다.
본 실시예의 폴리실리콘 M0S 트랜지스터 액정 표시 모듈에 있어서도, 1수평 기간 내에 수직 주사 회로(5)에 의해, 예를 들면, 1번째의 게이트 전극선(G1)을 선택한다.

이 동안, 수평 주사 회로(4)로부터 샘플링 펄스를 출력하고, 상기 샘플링 펄스에 의해 샘플 홀드 회로(SH)를 구동하여, 영상 신호 입력 단자(8)로부터 입력되는 아날로그 영상 신호를 차례로 각 드레인 전극선(D)에 공급한다.
본 실시예의 경우, 영상 신호 입력 단자(8)로부터 주파수가 1/12로 분주된 아날로그 영상 신호 영상이 입력되므로, 1개의 샘플링 펄스에 의해 12개의 드레인 전극선(D)에 아날로그 영상 신호가 공급된다.
또한, 1수평 기간의 귀선 기간 내에, 각 드레인 전극선(D)에는 프리차지 회로(6)에 의해 프리차지 전압 입력 단자(11)로부터 입력되는 프리차지 전압이 공급된다.
본 실시예에서는, 레벨 변환 회로(7)로서, 상기 각 실시예의 레벨 변환 회로를 사용하도록 했기 때문에, 레벨 변환 회로를 구성하는 폴리실리콘 MOS 트랜지스터의 임계값(VTH)에 변동이 생겼다고 해도, 수평 주사 회로(4)로부터 출력되는 샘플링 펄스의 위상 및 H 레벨 기간의 변동을 적게 할 수 있다.
따라서, 본 실시예에서는, 액정 표시 패널에 표시되는 화상에 고스트가 발생하지 않아 표시 화상의 표시 품질을 종래보다 향상시킬 수 있다.
또한, 본 발명은 아날로그 샘플링 방식의 액티브 매트릭스 타입으로 폴리실리콘 M0S 트랜지스터를 사용하는 액정 표시 모듈에 한정되지 않고, 도 12에 나타낸 디지털 입력 방식의 액티브 매트릭스 타입의 폴리실리콘 MOS 트랜지스터 액정 표시 모듈에도 적용 가능하다.
도 12에 나타낸 디지털 입력 방식의 액티브 매트릭스 타입으로 폴리실리콘 M0S 트랜지스터를 사용하는 액정 표시 모듈과, 도 11에 나타낸 아날로그 샘플링 방식의 액티브 매트릭스 타입으로 폴리실리콘 M0S 트랜지스터를 사용하는 액정 표시 모듈과의 차이는 영상 신호 입력 단자(8)에 D/A 변환기(DAC)를 설치한 점이고, 기타 구성은 도 11에 나타낸 아날로그 샘플링 방식의 액티브 매트릭스 타입으로 폴리 실리콘 M0S 트랜지스터를 사용하는 액정 표시 모듈과 같다.
도 12에 나타낸 액정 표시 모듈에서는, D/A 변환기(DAC)도, 화소를 형성하는 박막 트랜지스터(TFT)와 동시에 형성되는 폴리실리콘 박막 트랜지스터로 구성되므로, 디지털의 영상 신호를 액정 표시 패널에 직접 입력할 수 있다.
게다가, D/A 변환기(DAC)와 영상 신호 입력 단자(8) 사이에는, 상기 각 실시예의 레벨 변환 회로로 구성되는 레벨 변환 회로(7)가 설치되므로, 표준 논리 IC의 출력 신호를 영상 신호 입력 단자(8)에 직접 입력할 수 있다.
그리고, 폴리실리콘 박막 트랜지스터로 구성되는, 상기 각 실시예의 레벨 변환 회로로 이루어진 레벨 변환 회로(7)는 폴리실리콘 M0S 트랜지스터의 임계값(VTH)의 변동에 대해서도 지연 시간의 변동이 적고, D/A 변환기(DAC)의 데이터가 일부 반전되는 경우가 없기 때문에, 잘못된 표시가 발생하지 않는다.
이상, 본 발명자에 의해 이루어진 발명을 상기 실시예에 기초하여 구체적으로 설명했지만, 본 발명은 상기 실시예에 한정되지 않고, 그 요지를 일탈하지 않는 범위에서 여러 변경 가능한 것은 물론이다.
예를 들면, 도 11에 나타낸 액티브 매트릭스 표시 기판을 전자 발광(Electro Luminescence; EL)표시 장치에도 사용할 수 있다.

발명의 효과

본원에서 개시되는 발명 중 대표적인 것에 의해 얻어지는 효과를 간단하게 설명하면, 하기와 같다.
(1) 본 발명의 레벨 변환 회로에 의하면, 회로를 구성하는데 있어서 필요로 하는 트랜지스터 총수를 감소시키는 것이 가능해진다.
(2) 본 발명의 레벨 변환 회로에 의하면, 회로를 구성하는 트랜지스터의 임계값의 변동에 의한 영향을 적게 하는 것이 가능해진다.
(3) 본 발명의 액정 표시 장치에 의하면, 표시 패널에 표시되는 화상의 표시 품질을 향상시키는 것이 가능해진다.

(57) 청구의 범위

청구항 1.

레벨 변환 회로에 있어서,
제1 전압으로부터 상기 제1 전압보다 낮은 접지 전위인 제2 전압까지 스윙(swing)하는 신호가 입력되는 입력 단자와,
게이트 전극이 상기 입력 단자에 접속되고, 소스 전극이 접지 전위에 접속된 제1 도전형의 제1 트랜지스터와,
게이트 전극이 상기 제1 트랜지스터의 드레인 전극에 접속되고, 소스 전극이 상기 제1 전압보다 높은 제3 전압을 공급하는 전원 전압에 접속되고, 드레인 전극이 출력 단자에 접속된 제2 도전형의 제2 트랜지스터와,
상기 제2 트랜지스터의 상기 게이트 전극과 상기 전원 전압 사이에 접속된 부하 회로와,
소스 전극이 상기 입력 단자에 접속되고, 드레인 전극이 상기 출력 단자에 접속되고, 게이트 전극에 상기 제2 전압보다 높고 상기 제1 전압보다 낮은 직류 전압이 인가되는 상기 제1 도전형의 제3 트랜지스터를 포함하고,
상기 출력 단자는, 상기 입력 단자에 상기 제1 전압이 입력된 경우에 상기 제3 전압을 출력하고,
상기 입력 단자에 상기 제2 전압이 입력된 경우에 상기 제2 전압을 출력하는 레벨 변환 회로.

청구항 2.

제1항에 있어서,
상기 제1 도전형의 트랜지스터는 n 채널형 트랜지스터이고, 상기 제2 도전형의 트랜지스터는 p 채널형 트랜지스터인 레벨 변환 회로.

청구항 3.
제1항에 있어서,
상기 부하 회로는 상기 제2 트랜지스터와 같은 도전형의 채널을 갖는 트랜지스터인 레벨 변환 회로.

청구항 4.
제1항에 있어서,
상기 제3 전압은 상기 제1 전압보다 높은 전압인 레벨 변환 회로.

청구항 5.
레벨 변환 회로에 있어서,
제1 전압으로부터 상기 제1 전압보다 낮은 접지 전위인 제2 전압까지 스윙하는 디지털 신호가 입력되는 입력 단자와,
게이트 전극이 상기 입력 단자에 접속되고, 소스 전극이 접지 전위에 접속된 제1 도전형의 제1 트랜지스터와,
게이트 전극이 상기 제1 트랜지스터의 드레인 전극에 접속되고, 소스 전극이 상기 제1 전압보다 높은 제3 전압을 공급하는 전원 전압에 접속되고, 드레인 전극이 출력 단자에 접속된 제2 도전형의 제2 트랜지스터와,
상기 제2 트랜지스터의 상기 게이트 전극과 상기 전원 전압 사이에 접속된 부하 회로와,
소스 전극이 상기 입력 단자에 접속되고, 드레인 전극이 상기 출력 단자에 접속되고, 게이트 전극에 상기 제2 전압보다 높고 상기 제1 전압보다 낮은 직류 전압이 인가되는 상기 제1 도전형의 제3 트랜지스터를 포함하고,
상기 출력 단자는 상기 입력 단자에 상기 제1 전압이 입력된 경우에, 상기 제1 트랜지스터 및 상기 제2 트랜지스터가 ON되어, 상기 제3 전압을 출력하고,
상기 출력 단자는 상기 입력 단자에 상기 제2 전압이 입력된 경우에, 상기 제1 트랜지스터 및 상기 제2 트랜지스터가 OFF되어, 상기 제3 트랜지스터를 통해 상기 제2 전압을 출력하는 레벨 변환 회로.

청구항 6.
제5항에 있어서,
상기 제1 도전형의 트랜지스터는 n 채널형 트랜지스터이고, 상기 제2 도전형의 트랜지스터는 p 채널형 트랜지스터인 레벨 변환 회로.

청구항 7.
제5항에 있어서,
상기 부하 회로는 상기 제2 트랜지스터와 같은 도전형의 채널을 갖는 트랜지스터인 레벨 변환 회로.

청구항 8.
한쌍의 기판과, 상기 한쌍의 기판 사이에 샌드위치된 액정층과, 상기 한쌍의 기판 사이에 설치된 복수의 화소와, 상기 복수의 화소를 구동하는 구동 회로를 구비한 액정 표시 장치에 있어서,
상기 구동 회로는 레벨 변환 회로를 포함하고,
상기 레벨 변환 회로는,
제1 전압으로부터 상기 제1 전압보다 낮은 접지 전위인 제2 전압까지 스윙하는 디지털 신호가 입력되는 입력 단자와,
게이트 전극이 상기 입력 단자에 접속되고, 소스 전극이 접지 전위에 접속된 n 채널형의 제1 트랜지스터와,
게이트 전극이 상기 제1 트랜지스터의 드레인 전극에 접속되고, 소스 전극이 상기 제1 전압보다 높은 제3 전압을 공급하는 전원 전압에 접속되고, 드레인 전극이 출력 단자에 접속된 p 채널형의 제2 트랜지스터와,
상기 제2 트랜지스터의 상기 게이트 전극과 상기 전원 전압 사이에 접속된 부하 회로와,
소스 전극이 상기 입력 단자에 접속되고, 드레인 전극이 상기 출력 단자에 접속되고, 게이트 전극에는 직류 전압이 인가된 제3 트랜지스터를 포함하고,
상기 제3 트랜지스터의 상기 게이트 전극에 인가되는 상기 직류 전압은 상기 제3 트랜지스터의 상기 소스 전극에 상기 제2 전압이 인가된 경우, 상기 제3 트랜지스터가 ON으로 되고, 한편 상기 제3 트랜지스터의 상기 소스 전극에 상기 제1 전압이 인가된 경우, 상기 제3 트랜지스터가 OFF로 되는 전압이고,
상기 입력 단자에 상기 제1 전압이 입력된 경우에, 상기 제1 트랜지스터 및 상기 제2 트랜지스터가 ON되어, 상기 레벨 변환 회로는 상기 제3 전압을 출력하고,
상기 입력 단자에 상기 제2 전압이 입력된 경우에, 상기 제1 트랜지스터 및 상기 제2 트랜지스터가 OFF되어, 상기 레벨 변환 회로는 상기 제3 트랜지스터를 통해서 상기 제2 전압을 출력하는 액정 표시 장치.

청구항 9.
제8항에 있어서,
상기 제1 트랜지스터의 반도체층은 다결정 실리콘을 포함하는 액정 표시 장치.

청구항 10.
제8항에 있어서,
상기 복수의 화소 각각은 박막 트랜지스터를 포함하고, 상기 박막 트랜지스터는 상기 제2 트랜지스터와 같은 도전형의 채널을 갖는 액정 표시 장치.

청구항 11.
복수의 화소와, 상기 복수의 화소에 신호를 공급하는 구동 회로를 갖는 표시 장치에 있어서,
상기 구동 회로는
제1 전압과 상기 제1 전압보다 낮은 제2 전압 사이에서 스윙하는 신호가 입력된 입력 단자와,
상기 제1 전압보다 높은 제3 전압과 상기 제2 전압 사이에서 스윙하는 신호를 출력하는 출력 단자와,
제1 도전형의 제1 트랜지스터와,

제2 도전형의 제2 트랜지스터와,
제1 도전형의 제3 트랜지스터와,
부하 회로를 갖는 레벨 변환 회로를 구비하며,
상기 레벨 변환 회로에서,
상기 입력 단자는 상기 제1 트랜지스터의 게이트 전압과 상기 제3 트랜지스터의 소스 영역에 접속되며,
상기 출력 단자는 상기 제2 트랜지스터의 소스 영역과 상기 제3 트랜지스터의 드레인 영역에 접속되며,
상기 제1 트랜지스터의 드레인 영역은 상기 제2 트랜지스터의 게이트 영역에 접속되며,
상기 제1 트랜지스터의 소스 영역에는 접지 전위가 공급되며,
상기 제2 트랜지스터의 드레인 영역은 상기 제3 전압을 공급하는 전원선에 접속되며,
상기 제3 트랜지스터의 게이트 전극에는 상기 제2 전압보다 높고 상기 제1 전압 이하인 직류 전압이 공급되며,
상기 제2 트랜지스터의 게이트 전극과 상기 전원선 사이에는 상기 부하 회로가 접속되며,
상기 입력 단자에 상기 제1 전압이 입력되는 경우에는 상기 제3 전압이 상기 출력 단자로부터 출력되고, 상기 입력 단자에 상기 제2 전압이 입력되는 경우에는 상기 제2 전압이 상기 출력 단자로부터 출력되는 표시 장치.

청구항 12.

제11항에 있어서, 상기 제1 트랜지스터의 반도체층은 다결정 실리콘을 포함하는 표시 장치.

청구항 13.

제11항에 있어서, 상기 부하 회로는 상기 제2 도전형의 트랜지스터를 포함하는 표시 장치.

청구항 14.

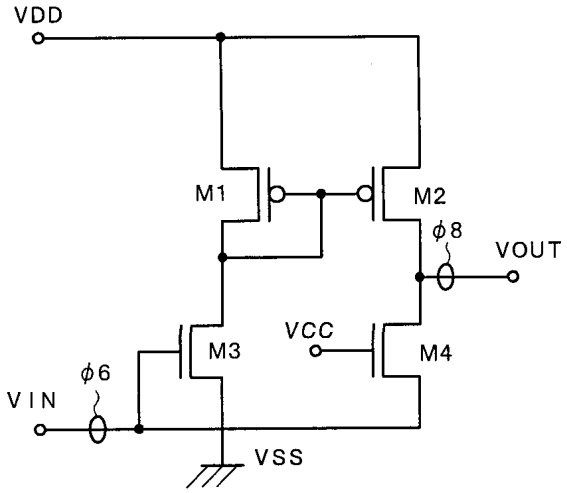
제11항에 있어서, 상기 복수의 화소 각각은 상기 제2 도전형의 트랜지스터를 갖는 표시 장치.

청구항 15.

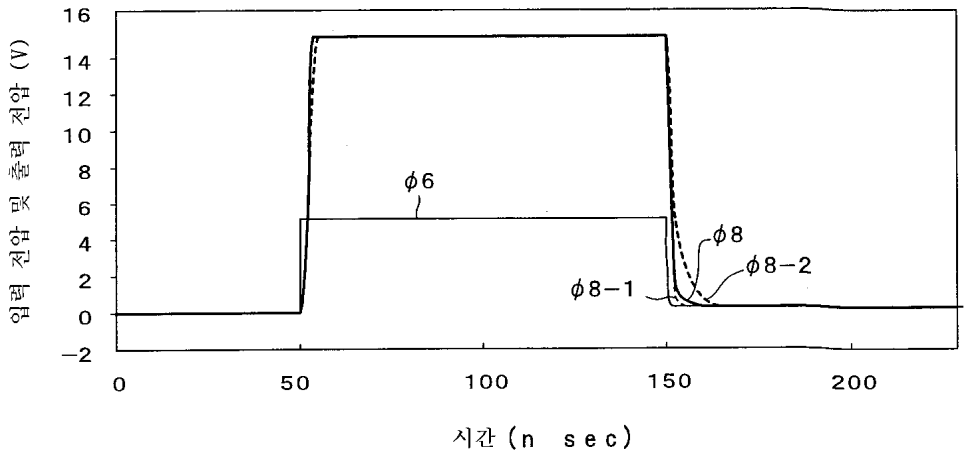
제11항에 있어서, 상기 표시 장치는 액정 표시 장치인 표시 장치.

도면

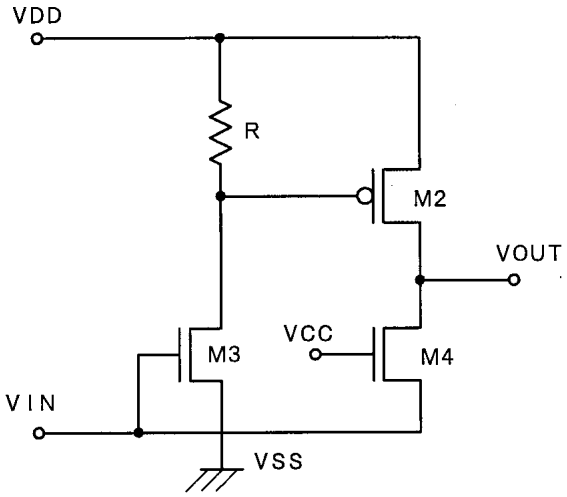
도면1



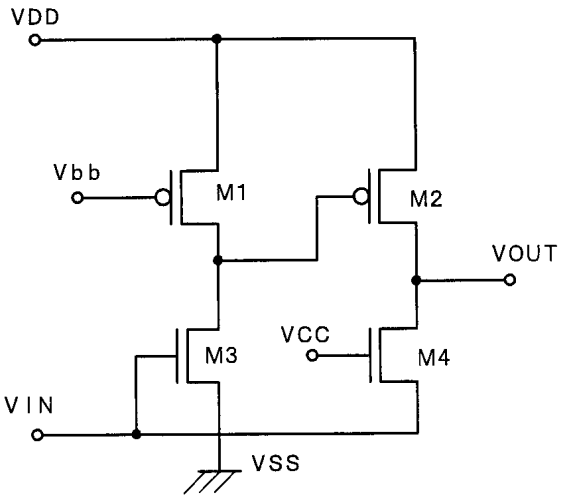
도면2



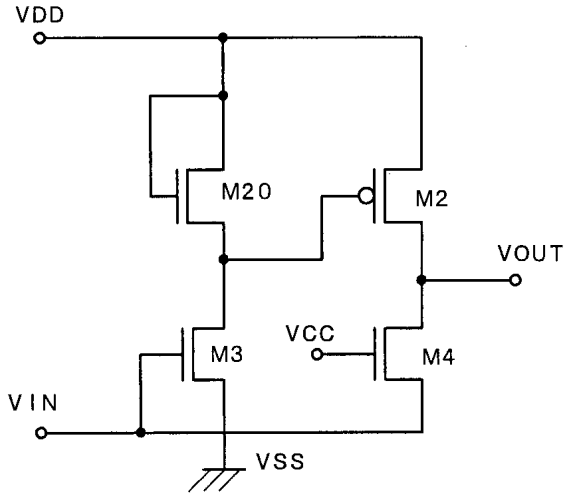
도면3


VDD
R
M2
VOUT
VCC
M3
M4
VIN
VSS

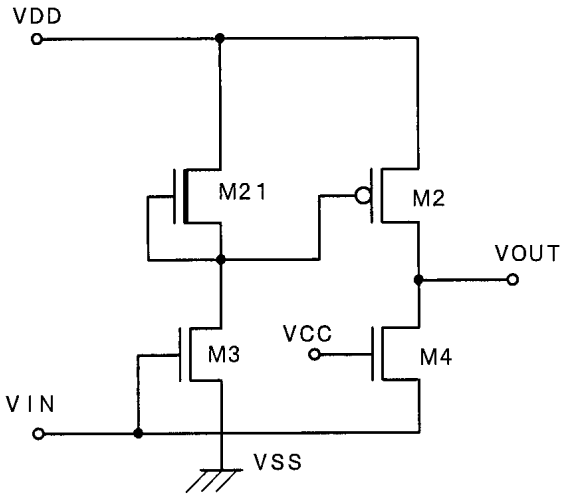
도면4


VDD
Vbb
M1
M2
VOUT
VCC
M3
M4
VIN
VSS

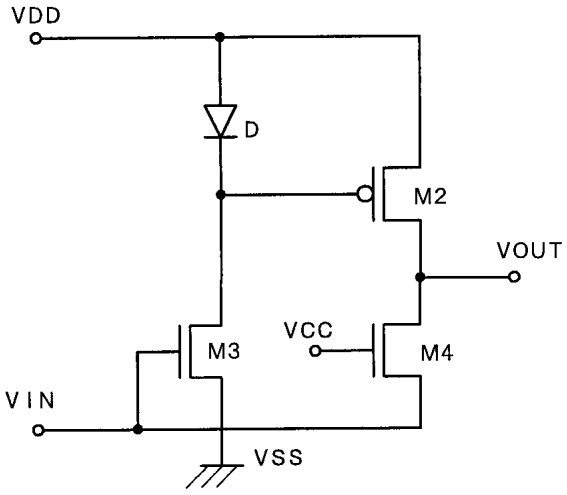
도면5


VDD
M20
M2
VOUT
VCC
M3
M4
VIN
VSS

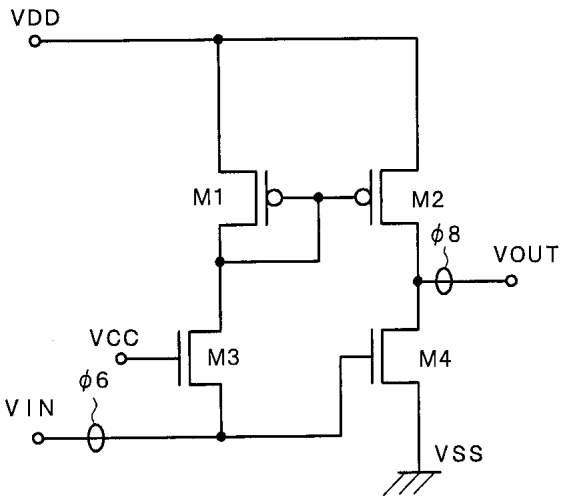
도면6


VDD
M21
M2
VOUT
VCC
M3
M4
VIN
VSS

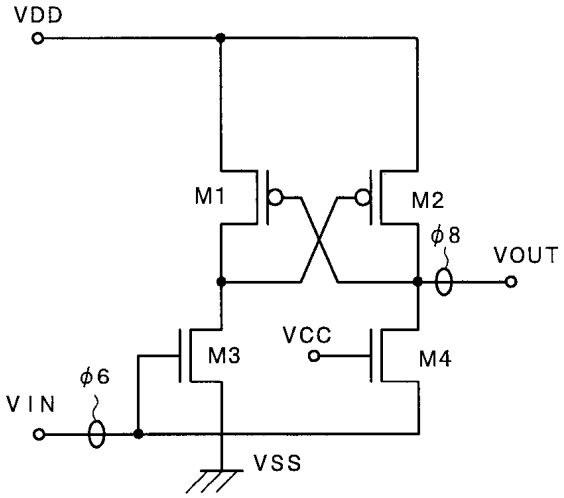
도면7


VDD
D
M2
VOUT
VCC
M3
M4
VIN
VSS

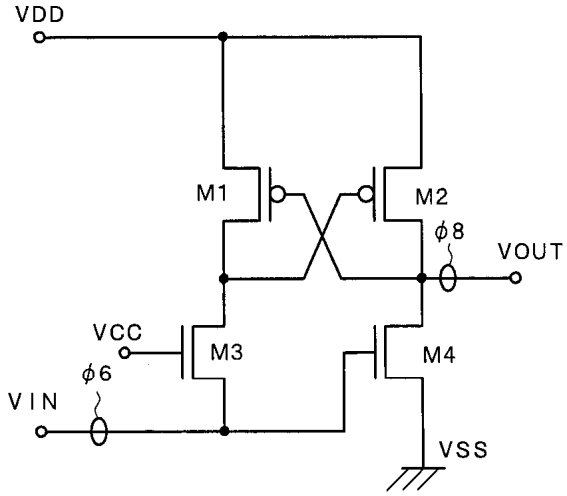
도면8


VDD
M1
M2
ϕ8
VOUT
VCC
M3
M4
ϕ6
VIN
VSS

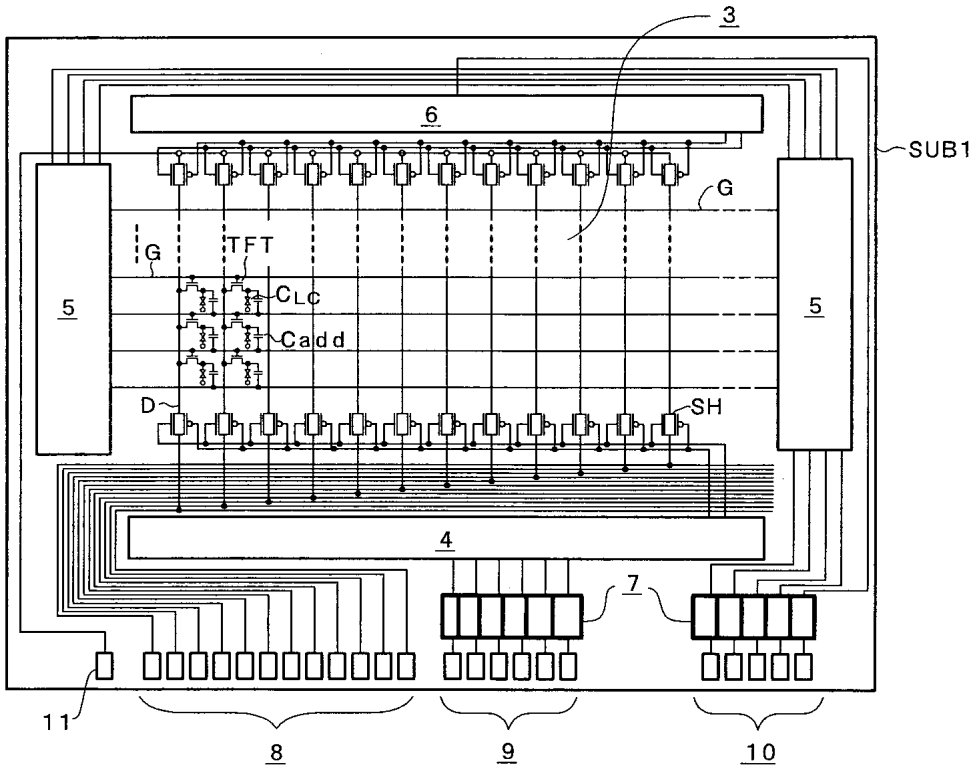
도면9


VDD
M1
M2
φ8
VOUT
VCC
M3
M4
φ6
VIN
VSS

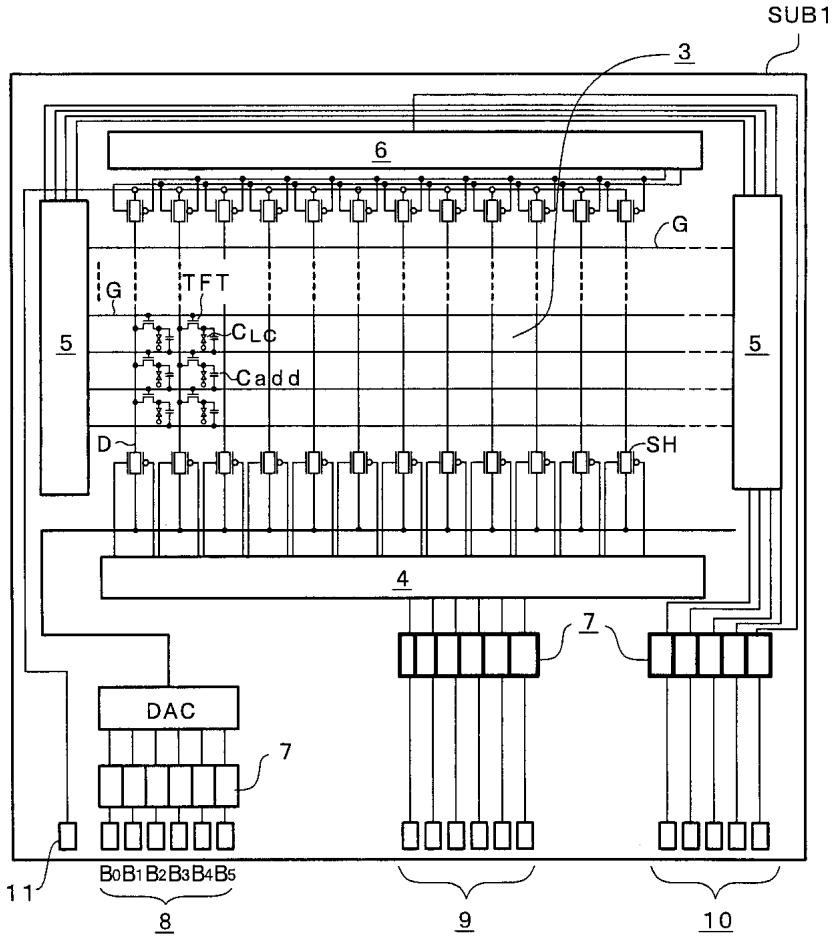
도면10


VDD
M1
M2
φ8
VOUT
VCC
M3
M4
φ6
VIN
VSS

도면11

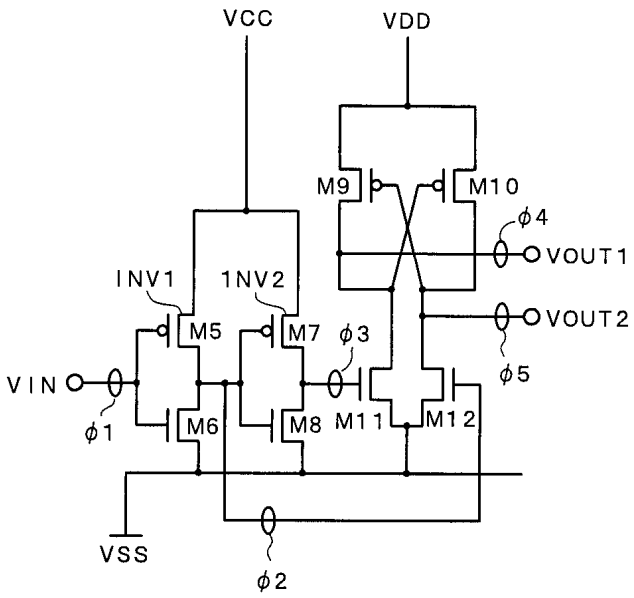

3
6
SUB1
G
G
TFT
CLC
Cadd
5
5
D
SH
4
7
11
8
9
10

도면12


SUB1
3
6
G
G
TFT
CLC
Cadd
5
5
D
SH
4
7
DAC
7
11
B0B1B2B3B4B5
8
9
10

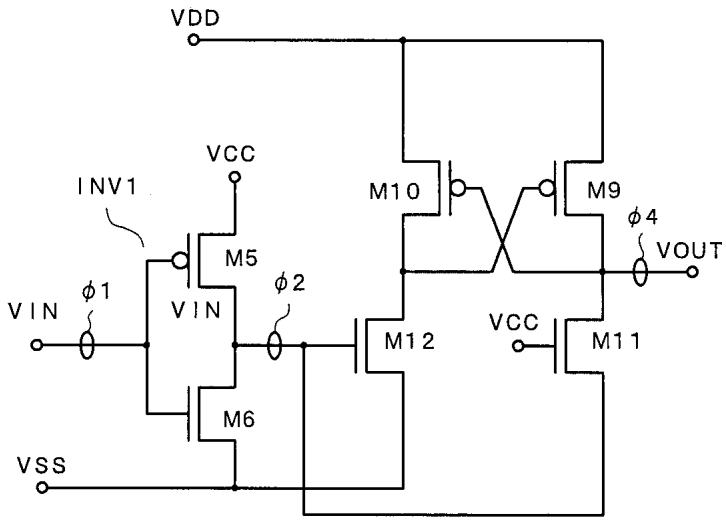
도면13

(종래 기술)

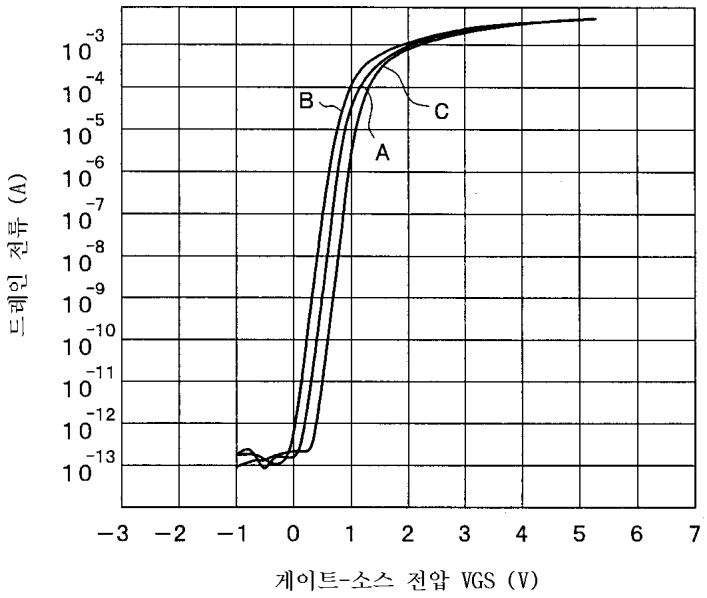


도면14

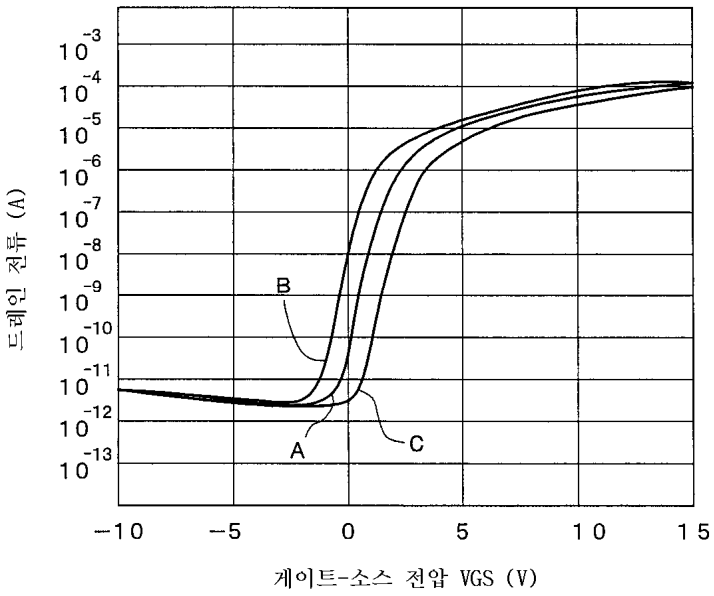
(종래 기술)



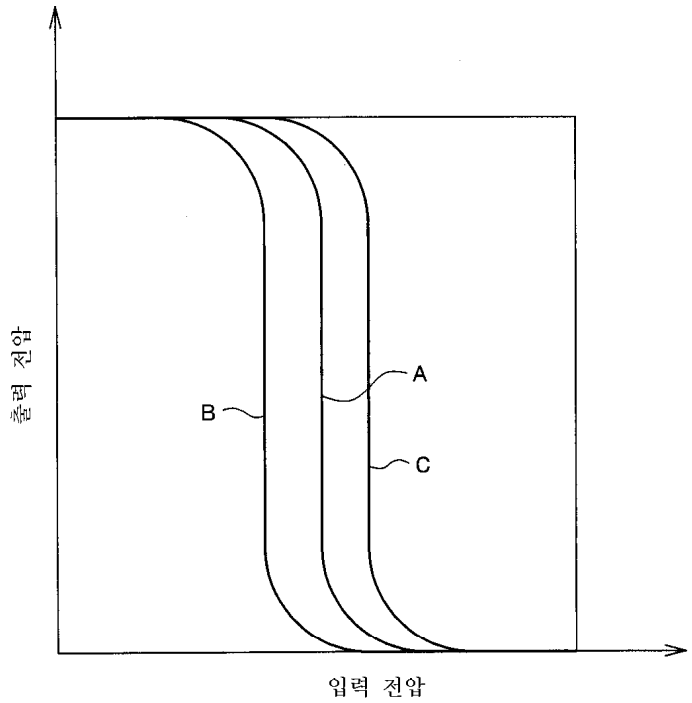
도면15


드레인 전류 (A)
10^-3
10^-4
10^-5
10^-6
10^-7
10^-8
10^-9
10^-10
10^-11
10^-12
10^-13
B
C
A
−3 −2 −1 0 1 2 3 4 5 6 7
게이트-소스 전압 VGS (V)

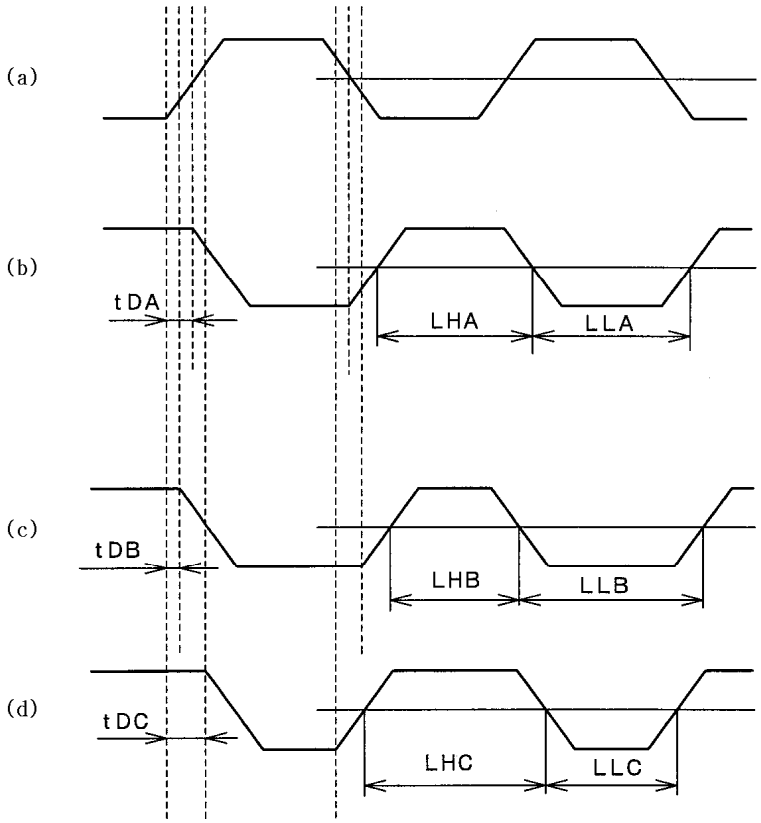
도면16


드레인 전류 (A)
10^-3
10^-4
10^-5
10^-6
10^-7
10^-8
10^-9
10^-10
10^-11
10^-12
10^-13
B
A
C
−10 −5 0 5 10 15
게이트-소스 전압 VGS (V)

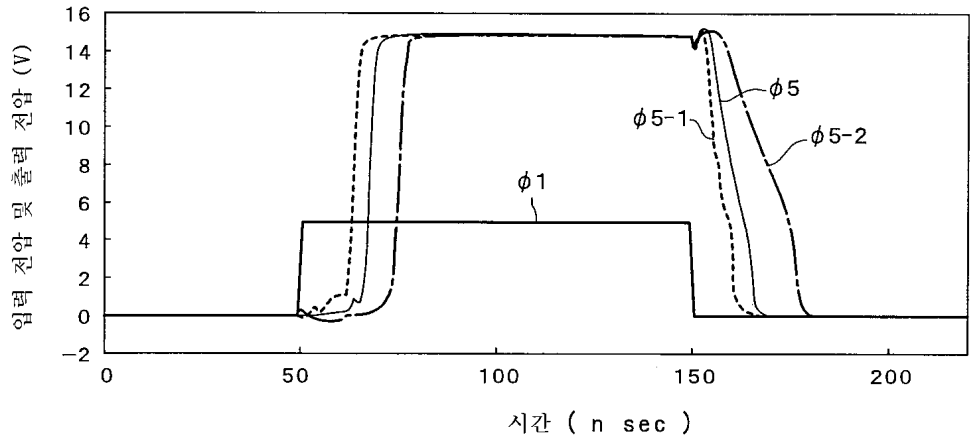
도면17



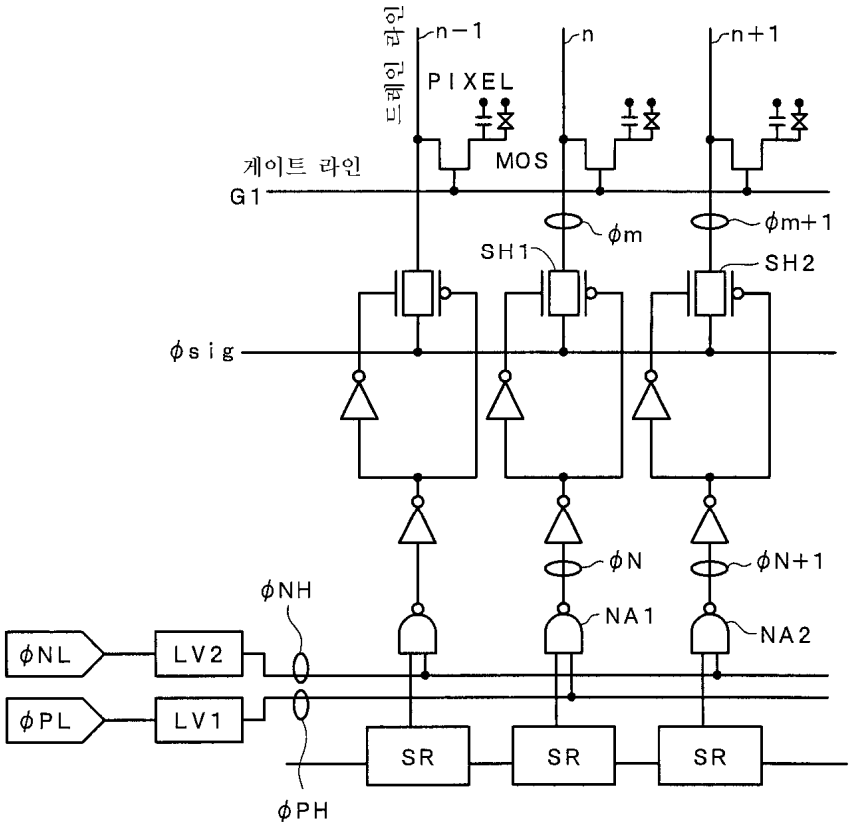
도면18



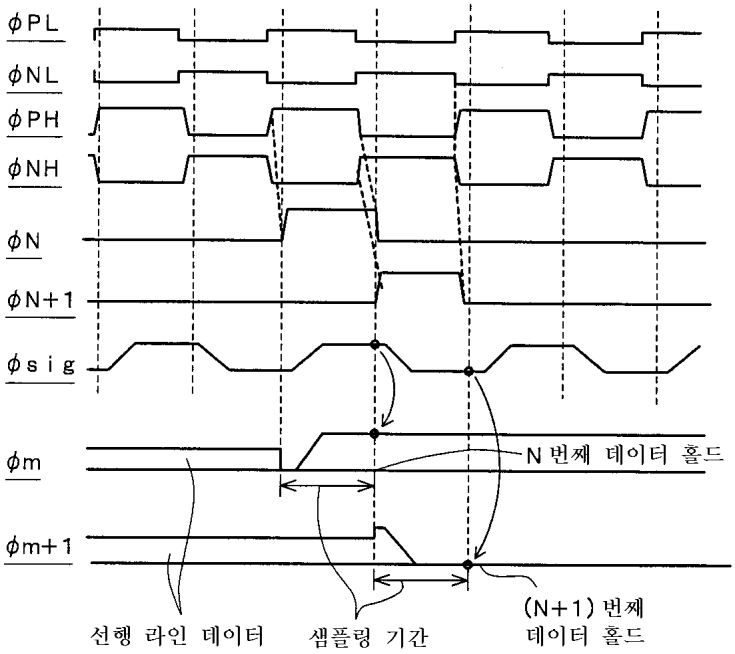
도면19


입력 전압 및 출력 전압 (V)
16
14
12
10
8
6
4
2
0
−2
0
50
100
150
200
시간 (n sec)
φ1
φ5
φ5-1
φ5-2

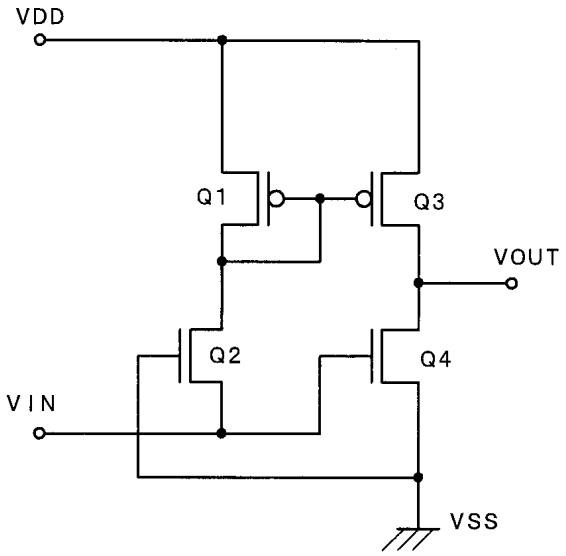
도면20


드레인 라인
n−1
n
n+1
PIXEL
MOS
게이트 라인
G1
φm
φm+1
SH1
SH2
φsig
φN
φN+1
φNH
NA1
NA2
φNL
LV2
φPL
LV1
SR
SR
SR
φPH

도면21


φPL
φNL
φPH
φNH
φN
φN+1
φsig
φm
φm+1
N 번째 데이터 홀드
선행 라인 데이터
샘플링 기간
(N+1) 번째
데이터 홀드

도면22


VDD
Q1
Q3
VOUT
Q2
Q4
VIN
VSS

专利名称(译)	电平转换电路和使用它的液晶显示器件		
公开(公告)号	KR100420455B1	公开(公告)日	2004-03-02
申请号	KR1020010008959	申请日	2001-02-22
[标]申请(专利权)人(译)	日立HITACHI SEISAKUSHODBA 日立器件工程株式会社		
申请(专利权)人(译)	株式会社日立制作所 地伤装置工程可否让这个夏		
当前申请(专利权)人(译)	株式会社日立制作所 地伤装置工程可否让这个夏		
[标]发明人	OKUMURA HARUHISA ODE YUKIHIDE 오데유끼히데		
发明人	오꾸무라하루히사 오데유끼히데		
IPC分类号	G02F1/1368 G02F1/133 H03K19/0185 G02F1/136 G09G3/36 H03K19/003		
CPC分类号	G09G2300/0408 G09G2310/0289 G09G3/3677 H03K19/018571 G09G3/3648 H03K19/00384		
代理人(译)	CHANG, SOO KIL		
优先权	2000047164 2000-02-24 JP		
其他公开文献	KR1020010100794A		
外部链接	Espacenet		

摘要(译)

电平转换电路包括：输入端，输入用于从第一电压摆动到低于第一电压的第二电压的信号;第一晶体管，其栅极连接到输入端，源极连接到地电位;第二晶体管，具有连接到第一晶体管的漏电极的栅电极，连接到电源电压的源电极，以及连接到输出端的漏电极;负载电路，连接在第二晶体管的栅极和电源电压之间;连接到源极电极，所述输入端子，漏电极连接到输出端子，比第二电压施加到栅电极更高，并且所施加的第三晶体管，其中所述低的直流电压低于第一电压时，输入端子当输入第一电压时第三电压高于第二电压，并且当第二电压输入到输入端时输出第二电压。 1 指数方面 电平移位电路，电平移位电路，导电晶体管，负载电路，液晶显示器