

(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁷
G09G 3/36

(45) 공고일자 2002년08월14일
(11) 등록번호 10 - 0348539
(24) 등록일자 2002년07월30일

(21) 출원번호 10 - 2000 - 0053556
(22) 출원일자 2000년09월08일

(65) 공개번호 특2002 - 0020419
(43) 공개일자 2002년03월15일

(73) 특허권자 주식회사 네오텍리서치
서울특별시 서초구 방배동 908 - 14

(72) 발명자 권오경
서울 송파구 신천동 장미아파트 14 - 1102

(74) 대리인 김영철

심사관 : 정연우

(54) 액정표시장치의 소스 구동회로 및 구동방법

요약

본 발명은 액정구동회로에 관한 것으로, 더욱 상세하게는 간단한 회로로 고계조를 나타낼 수 있는 액정표시장치의 소스 구동회로 및 방법에 관한 것이다. 이러한 본 발명의 회로는 액정표시장치의 데이터 라인을 영상 데이터에 따라 구동하기 위한 소스 구동회로에 있어서, 상기 영상 데이터를 입력받기 위한 디지털블럭; 상기 디지털블럭으로부터 입력된 영상 데이터를 아날로그신호로 변환하기 위한 디지털 - 아날로그 변환기; 상기 디지털 - 아날로그 변환기의 출력을 버퍼링하여 상기 데이터 라인을 구동하기 위한 연산증폭기; 라인타입의 제 1 주기에 온되어 상기 연산증폭기의 출력을 상기 데이터 라인에 전달하기 위한 제 1 스위치; 및 라인타입의 제 2 주기에 온되어 상기 디지털 - 아날로그 변환기의 출력을 상기 데이터 라인에 직접 연결하기 위한 제 2 스위치를 구비한다. 따라서, 본 발명은 데이터 라인에 영상신호를 인가하는 1 라인 타입을 2단계로 구분하여 제 1 단계에서는 연산증폭기의 출력으로 패널의 데이터 라인을 구동하고, 제 2 단계에서는 디지털 - 아날로그 변환기의 출력으로 직접 데이터 라인을 구동하여 오차를 보상하므로써 6비트 정도의 균일성을 갖는 연산증폭기를 이용해서도 고계조를 표현할 수 있는 효과가 있다.

대표도

도 5

색인어

액정표시장치 소스 구동 다계조

명세서

도면의 간단한 설명

도 1 은 일반적인 TFT 액정표시장치의 등가회로를 도시한 도면.

도 2a 는 화면비율조정(FRC) 방법을 이용한 계조표시를 설명하기 위해 도시한 도면.

도 2b 는 도 2a 에 도시된 계조레벨의 예.

도 3a 는 구동전압과 계조표시의 관계를 도시한 그래프.

도 3b 는 디터링 방법에 의한 계조표시를 설명하기 위하여 도시한 도면.

도 4a 는 종래 소스 드라이버의 구성을 도시한 블록도.

도 4b 는 종래 소스 드라이버의 예.

도 5 는 본 발명에 따른 소스 구동회로를 도시한 개략도.

도 6 은 본 발명에 따른 소스 구동시 스위치 제어신호의 타이밍도.

**** 도면의 주요부분에 대한 부호의 설명 ****

401: 시프트레지스터 402: 래치부

403: D/A변환기 404: 출력버퍼

405: 데이터래치 406: 라인변환로직

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치의 구동회로 및 방법에 관한 것으로, 더욱 상세하게는 간단한 회로로 고계조를 나타낼 수 있는 액정표시장치의 소스 구동회로 및 방법에 관한 것이다.

일반적으로, 문자 기호 또는 그래픽을 디스플레이하는데 이용되는 액정표시장치(Liquid Crystal Device: LCD)는 전기장에 의하여 분자배열이 변화하는 액정의 광학적 성질을 이용하여 액정기술과 반도체 기술을 융합한 표시장치이다. 박막트랜지스터(Thin Film Transistor:TFT)용 LCD는 내부의 픽셀을 온/오프시키는 스위칭소자로서 TFT를 이용하며, 이 TFT가 온/오프됨에 따라 픽셀들이 온/오프된다. 즉, 일반적인 TFT 액정표시장치는 도 1 에 도시된 바와 같이, 화소를 구성하는 셀(130)들이 어레이형태로 배열되어 있고, 각 셀들은 스위칭 기능을 하는 TFT(132)와 액정 셀(134), 스토리지 커패시터(Cs)로 구성된다. 그리고, 각 TFT의 소스(source)들이 컬럼(column) 방향으로 공통으로 연결되어 데이터 라인(D1~DN)을 형성한 후 소스 드라이버(120)에 연결되어 있고, 각 TFT의 게이트(gate)들이 로우(row) 방향으로 공통으로 연결되어 스캔 라인(S1~SM)을 형성한 후 게이트 드라이버(110)에 연결되어 N x M 해상도(예컨대, SVGA는 800x600, XGA는 1024x768, UXGA는 1600x1200)를 갖는 표시장치를 구현하고 있다. 여기서, 소스 드라이버(120)는 데이터 드라이버 혹은 컬럼 드라이버라고도 하고, 게이트 드라이버는 로우(ROW) 드라이버라

고도 한다.

도 1 을 참조하면, 액정 셀(134)은 TFT(132)의 드레인(drain)과 화소전극을 통해 연결되고, 다른 편은 공통전극으로 연결된다. 화소전극은 투명하고 전기 전도성을 갖는 ITO로 만들어지며 TFT 게이트에 온신호가 인가될 때 소스 드라이버(120)를 통해 인가되는 신호전압을 액정 셀(134)에 가해주고, 공통전극은 역시 ITO로 만들어져 액정 셀에 공통전압(Vcom)을 인가한다. 그리고, 스토리지 커패시터(Cs)는 화소전극(픽셀 ITO)에 인가된 신호전압을 일정 시간 유지시켜주는 역할을 하며, 충전 및 방전을 통해 액정 셀의 배열 상태를 변화시켜줌으로써 픽셀의 광투과율을 조절한다. 스토리지 커패시터(Cs)의 일측은 독립전극이나 게이트전극과 연결될 수 있는데, 게이트전극과 연결되는 구조를 스토리지 온 게이트(storage on gate)방식이라 한다.

이러한 픽셀 어레이를 구동시킬 때 픽셀의 액정에 한쪽 방향으로만 전압이 인가되면 액정의 열화가 촉진되므로 액정에 인가되는 화상 데이터 전압을 주기적으로 반대 극성으로 인가해 주는 인버전(inversion)을 사용한다. 데이터 전압을 정방향과 반대 방향으로 바꾸어 인가하는 주기는 보통 한 필드마다 바꾸어 주는데, 매 필드마다 패널의 모든 픽셀의 전압극성을 한꺼번에 바꾸는 즉, 인버전시키는 필드 인버전 방법과, 한 주사선에 연결된 픽셀 라인마다 구분하여 라인마다 교대로 인버전시키는 라인 인버전 방법, 각 픽셀 별로 인버전시키는 도트 인버전 방법 등이 있다. 어느 경우에서나 인버전시킬 때는 화소전압(TFT 드레인에서 화소전극에 인가된 전압)이 공통전압(Vcom)에 대하여 정(+)의 방향이거나 부(-)의 방향이 되도록 교대로 변화시킨다.

한편, 액정표시장치에서 고계조를 표현하는 방법으로는 화면 비율 조절(Frame Rate Control: FRC)방법과 디더링(dithering) 방법이 있다. 화면 비율 조절 방법(FRC)은 도 2a 및 2b 에 도시된 바와 같이, 한 화면을 구성하는 각각의 프레임의 시간적인 평균을 이용하는 방법이다.

도 2a 및 2b 를 참조하면, 4개의 프레임으로 한 화면을 구성하는 경우로, 예를 들어, 짝수 화면과 홀수 화면에 V0와 V1을 번갈아 인가하면 실효값은 $(1/2)(V_0^2 + V_1^2)^{1/2}$ 로서 V0와 V1의 중간 계조(도 2a 의 Low - Level Gray - scale)를 표시할 수 있다. 하지만, 이 방법은 플리커(flicker)가 발생하기 쉽고, 회로가 복잡해지며, 실제 8 비트에 비해 색상 표시 품질이 떨어지는 문제점이 있다.

디더링(dithering) 방법은 공간적 평균을 이용하여 보간(interpolation) 하는 방법이다. 예를 들어, 도 3a 의 기준 전압 V4에서 12번째 계조가 표시 되고, V5에 의해 16번째 계조가 표시될 때 도 3b 에 보이는 바와 같이, 4개의 화소를 한 단위로 해서 4개의 화소 모두 12번째 계조이면 4개의 화소가 평균적으로 12 번째 계조를 나타내게 되고, 2개는 12 번째, 2개는 16번째 계조를 나타내면 4개의 화소는 평균적으로 14번째의 계조를 나타내게 된다. 이와 같은 디더링 방법은 여러 개의 화소를 묶어서 화상을 나타내게 되므로 해상도가 현저히 떨어지는 문제점이 있다.

따라서 통상 데이터신호를 6비트로 표현하여 64 계조를 나타내는 방식이 널리 사용된다. 6비트로 64계조를 표현하기 위해서는 입력 데이터의 모든 비트 조합에 해당하는 전압들(V1~V64)을 제공하여 입력 데이터에 상응하는 레벨의 전압을 선택하여 출력할 필요가 있다.

도 4a 는 일반적인 LCD 소스 드라이버를 도시한 도면이다. 도 4 를 참조하면, 소스 드라이버는 시프트 레지스터(401)와 래치부(402), D/A변환기(403), 출력버퍼(404), 데이터래치(405), 라인변환로직(406)으로 구성된다. 시프트레지스터(401)는 데이터를 래치하기 위한 클럭을 발생하고, 래치부(402)는 래치클럭에 따라 데이터를 래치하여 D/A변환기(403)에 제공하며 D/A변환기(403)는 6비트 디지털 데이터를 V1~V64에 해당하는 아날로그신호로 변환한다. 출력버퍼(404)는 D/A변환기(403)의 출력을 입력받아 데이터 라인(D1,D2,...)을 구동한다. 데이터래치(405)는 미도시

된 비디오카드로부터 영상 데이터를 입력받고, 라인변환로직(406)은 라인 인버전을 위한 극변조신호를 제공한다.

도 4b 는 종래의 소스 구동회로를 간략히 도시한 도면으로서, 소스 드라이버(410)와 패널(420)이 도시되어 있다. 패널(420)의 데이터 라인은 저항과 커패시터로 등가 표현되고, 소스 드라이버(410)는 디지털 블럭(411)과 디지털 - 아날로그 변환기(DAC:412), 연산증폭기(413)로 구성되어 데이터 라인에 구동신호를 제공한다.

도 4b 에서 디지털 블럭(411)은 소스 구동을 위한 데이터 입력부분을 통합적으로 나타낸 것이고, 디지털 - 아날로그 변환기(412)는 디지털 영상 데이터를 아날로그신호로 변환하며, 연산증폭기(413)는 출력버퍼링 기능을 수행한다.

그런데 도 4b 에 나타나 있는 종래의 LCD 소스 구동회로의 경우 8 비트 정도의 고계조를 표현하기 위해서는 출력버퍼로 사용되는 연산증폭기(OPAMP)와 같은 아날로그 회로의 입출력 오차가 약 5mV 이내이어야 하므로, 공정이 이를 만족시킬 수 있을 정도로 균일하거나, 아니면, 별도의 오차 보상용 회로가 필요하다. 이는 결과적으로 회로의 복잡도 및 면적의 증가로 이어진다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위하여 종래의 6 비트 구동 회로 정도의 균일성을 갖는 공정을 이용해서도 8 비트 구동이 가능한 액정표시장치의 소스 구동 회로 및 구동 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위하여 본 발명의 방법은, 디지털 - 아날로그 변환기와 연산증폭기를 구비한 액정표시장치의 소스 드라이버로 패널의 데이터 라인을 구동하는 방법에 있어서, 패널의 데이터 라인에 영상신호를 인가하는 1 라인타임을 2단계로 구분하여 제 1 단계에서는 상기 연산증폭기의 출력으로 패널의 데이터 라인을 구동하고, 제 2 단계에서는 상기 디지털 - 아날로그 변환기의 출력으로 직접 데이터 라인을 구동하여 오차를 보상함으로써 6비트 정도의 연산증폭기를 이용해서도 고계조를 표현할 수 있는 것을 특징으로 한다.

또한, 상기와 같은 목적을 달성하기 위하여 본 발명의 회로는 액정표시장치의 데이터 라인을 영상 데이터에 따라 구동하기 위한 소스 구동회로에 있어서, 상기 영상 데이터를 입력받기 위한 디지털블럭; 상기 디지털블럭으로부터 입력된 영상 데이터를 아날로그신호로 변환하기 위한 디지털 - 아날로그 변환기; 상기 디지털 - 아날로그 변환기의 출력을 버퍼링하여 상기 데이터 라인을 구동하기 위한 연산증폭기; 라인타임의 제 1 주기에 온되어 상기 연산증폭기의 출력을 상기 데이터 라인에 전달하기 위한 제 1 스위치; 및 라인타임의 제 2 주기에 온되어 상기 디지털 - 아날로그 변환기의 출력을 상기 데이터 라인에 직접 연결하기 위한 제 2 스위치를 구비하는 것을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 자세히 설명하기로 한다.

도 5 는 본 발명에 따른 액정표시장치의 소스 구동회로를 도시한 개략도로서, 소스 드라이버(510)와 패널(520)이 도시되어 있다. 패널(520)의 데이터 라인은 저항과 커패시터로 등가 표현되고, 본 발명에 따른 소스 드라이버(520)는 디지털 블럭(411)과 디지털 아날로그 변환기(412), 연산증폭기(413), 연산증폭기(413)의 출력단에 연결되는 제 1 스위치(SW1), 연산증폭기(413)에 병렬로 연결되는 제 2 스위치(SW2)로 구성된다.

도 5 에 도시된 본 발명의 소스 구동회로의 구조는 현재 널리 사용되는 6비트 정도의 균일성을 갖는 연산증폭기(OPAMP:413)를 이용하여 8비트 계조 표시를 구현하기 위한 것이다. 이를 위해 본 발명의 소스 구동 회로의 구조에서는 도 4b 에 도시되어 있는 종래의 LCD 소스 드라이버의 구성과 동일한 것은 참조번호를 그대로 부여한다. 그리고 본 발명의

소스 드라이버(510)는 종래의 소스 드라이버(410)에 비해, 버퍼로 사용되는 연산증폭기(OPAMP: 413)의 출력을 패널과 연결하는 제 1 스위치(SW1)와 디지털-아날로그 변환기(DAC:412)의 출력을 패널에 직접 연결하는데 사용되는 제 2 스위치(SW2)가 추가된 것을 알 수 있다.

도 5에 도시되어 있는 본 발명의 소스 구동회로의 동작을, 도 6에 도시된 스위치 제어신호의 타이밍도를 참조하여 설명하면 다음과 같다.

도 6을 참조하면, 1 라인 타임(1 Line Time)은 연산증폭기 구동기간과 디지털-아날로그 변환기(DAC)가 직접 데이터 라인을 구동하여 에러를 보상하는 보상기간으로 구분되어 2가지 단계(phase)로 나누어 이루어진다.

첫번째 단계(phase)는 도 5에 나타나 있는 제 1 스위치(SW1)가 닫혀 있는 기간으로서 버퍼로 사용되는 연산증폭기(OPAMP)의 출력이 패널의 데이터 라인에 연결되어 있는 기간이며, 두번째 단계(phase)는 도 5에 나타나 있는 제 2 스위치(SW2)가 닫혀 있는 기간으로서 디지털-아날로그 변환기(DAC)의 출력이 직접 패널의 데이터 라인에 연결되는 기간이다.

이와 같이 본 발명에 따른 LCD 소스 구동방식에서는 제 1 스위치(SW1)가 닫혀 있는 첫번째 단계(phase)동안 버퍼로 사용되는 연산증폭기(OPAMP)에 의해 패널의 전압이 표시하고자 하는 전압과 거의 비슷한 전압으로 충전되고(즉, offset 만큼의 차이를 가지고 충전됨), 제 2 스위치(SW2)가 닫혀 있는 두번째 단계(phase)동안 디지털-아날로그 변환기(DAC)의 출력이 직접 패널과 연결되어 버퍼로 사용되는 연산증폭기(OPAMP)의 입출력 오차에 의해 발생하는 패널 전압의 오차를 보상하게 된다. 따라서 본 발명에 따르면 LCD 소스 구동회로에서 사용되는 버퍼의 입출력 오차가 표현하고자 하는 계조에서 필요한 오차보다 큰 경우에도 고계조를 표현할 수 있다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명은 데이터 라인에 영상신호를 인가하는 1 라인 타임을 2단계로 구분하여 제 1 단계에서는 연산증폭기의 출력으로 패널의 데이터 라인을 구동하고, 제 2 단계에서는 디지털-아날로그 변환기의 출력으로 직접 데이터 라인을 구동하여 오차를 보상함으로써 6비트 정도의 균일성을 갖는 연산증폭기를 이용해서도 고계조를 표현할 수 있는 효과가 있다. 즉, 저렴한 비용으로 고계조를 표현할 수 있다.

(57) 청구의 범위

청구항 1.

디지털-아날로그 변환기와 연산증폭기를 구비한 액정표시장치의 소스 드라이버를 이용하여 패널의 데이터 라인을 구동하는 방법에 있어서,

패널의 데이터 라인에 영상신호를 인가하는 1 라인 타임을 2단계로 구분하여 제 1 단계에서는 상기 연산증폭기의 출력으로 패널의 데이터 라인을 구동하고, 제 2 단계에서는 상기 디지털-아날로그 변환기의 출력으로 직접 데이터 라인을 구동하여 오차를 보상함으로써

저정도의 연산증폭기를 이용해서도 고계조를 표현할 수 있는 것을 특징으로 하는 액정표시장치의 소스 구동방법.

청구항 2.

액정표시장치의 데이터 라인을 영상 데이터에 따라 구동하기 위한 소스 구동회로에 있어서,

상기 영상 데이터를 입력받기 위한 디지털블럭;

상기 디지털블럭으로부터 입력된 영상 데이터를 아날로그신호로 변환하기 위한 디지털 - 아날로그 변환기;

상기 디지털 - 아날로그 변환기의 출력을 버퍼링하여 상기 데이터 라인을 구동하기 위한 연산증폭기;

라인타임의 제 1 주기에 온되어 상기 연산증폭기의 출력을 상기 데이터 라인에 전달하기 위한 제 1 스위치; 및

라인타임의 제 2 주기에 온되어 상기 디지털 - 아날로그 변환기의 출력을 상기 데이터 라인에 직접 연결하기 위한 제 2 스위치를 구비하는 것을 특징으로 하는 액정표시장치의 소스 구동회로.

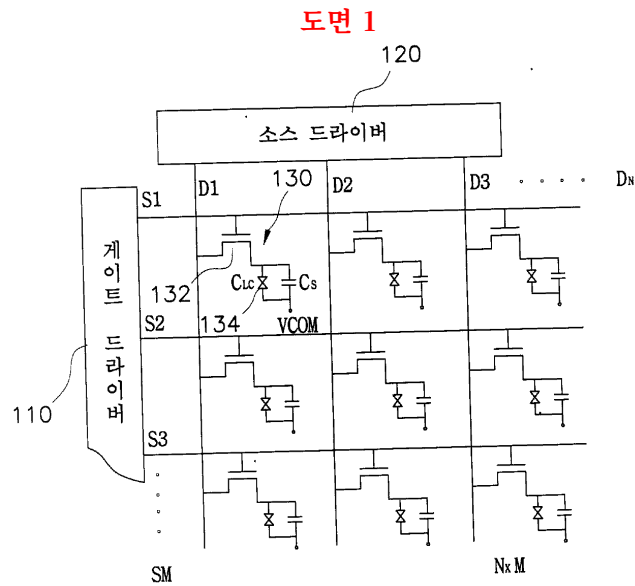
청구항 3.

제 2 항에 있어서, 상기 제 1 스위치와 상기 제 2 스위치는, 상기 제 1 스위치가 온되면 상기 제 2 스위치가 오프되고, 상기 제 2 스위치가 온되면 상기 제 1 스위치가 오프되는 것을 특징으로 하는 액정표시장치의 소스 구동회로.

청구항 4.

제 2 항에 있어서, 상기 연산증폭기는, 6비트 계조를 만족할 정도의 입출력 오차를 갖는 것을 특징으로 하는 액정표시장치의 소스 구동회로.

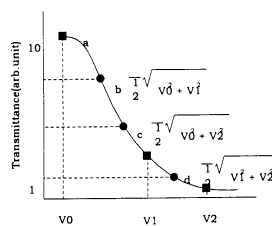
도면



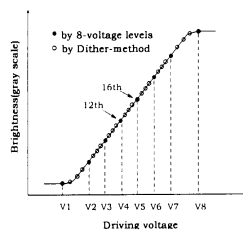
도면 2a

Gray-Scale	Frame			
	1	2	3	4
White	V0	V0	V0	V0
High-Level Gray-scale	V1	V0	V1	V0
Low-Level Gray-scale	V0	V2	V0	V2
Black	V1	V2	V1	V2

도면 2b



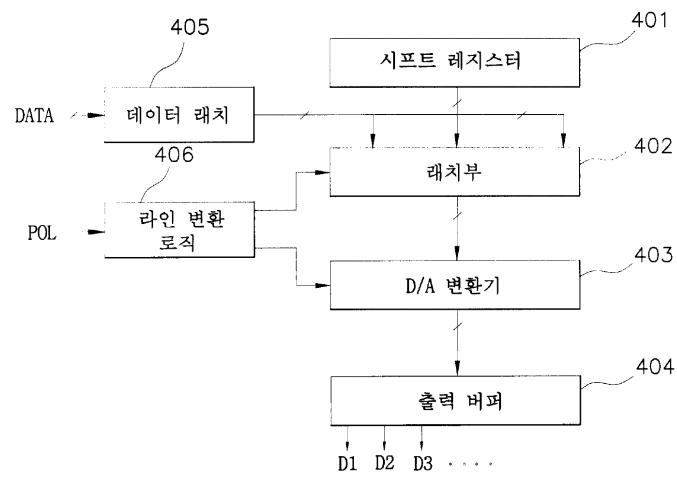
도면 3a



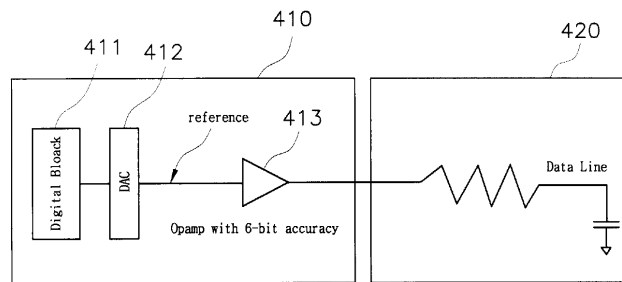
도면 3b

12	12	16	12	16	12	16	16	16	16
12	12	12	12	16	12	16	16	16	16

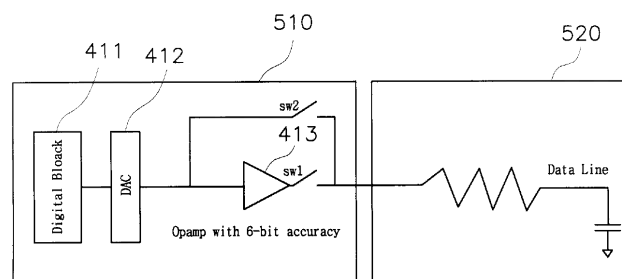
도면 4a



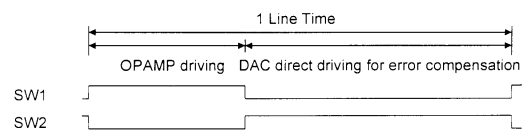
도면 4b



도면 5



도면 6



专利名称(译)	液晶显示器的源驱动电路和驱动方法		
公开(公告)号	KR100348539B1	公开(公告)日	2002-08-14
申请号	KR1020000053556	申请日	2000-09-08
[标]申请(专利权)人(译)	WOOSOL信息业务		
申请(专利权)人(译)	我们的服务资产服务有限公司		
当前申请(专利权)人(译)	我们的服务资产服务有限公司		
[标]发明人	KWON OH KYOUNG		
发明人	KWON, OH KYOUNG		
IPC分类号	G09G3/36		
代理人(译)	KIM , YOUNG CHOL		
其他公开文献	KR1020020020419A		

摘要(译)

本发明涉及涉及一种液晶驱动电路，并且更具体地涉及一种方法和可表示用简单的电路高灰度的液晶显示装置的源极驱动器电路。本发明的电路是一种驱动电路，用于沿所述的液晶显示装置的数据线来的视频数据，用于输入图像数据的数字块驱动源；一种数模转换器，用于将从数字块输入的图像数据转换为模拟信号；一种运算放大器，用于缓冲数模转换器的输出以驱动数据线；第一开关，用于在线时间的第一周期中将运算放大器的输出接通到数据线；第二个开关用于接通线路时间的第二个周期，以将数字 - 模拟转换器的输出直接连接到数据线。因此，本发明是数字在通过分离的第一行时间，施加图像信号到数据线到第二级，第一级输出来驱动面板的数据线，并且所述运算放大器的所述模拟转换器的输出的第二步骤通过使用具有大约6位均匀性的运算放大器，通过驱动数据线直接补偿误差，可以表现出高灰度级。 五 指数方面 液晶显示源驱动多级化 - 1 -

