



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0073866
(43) 공개일자 2008년08월12일

(51) Int. Cl.

G02F 1/1333 (2006.01)

(21) 출원번호 10-2007-0012621

(22) 출원일자 2007년02월07일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

장종웅

충남 천안시 불당동 대동다숲아파트 107동 104호

(74) 대리인

조희원

전체 청구항 수 : 총 27 항

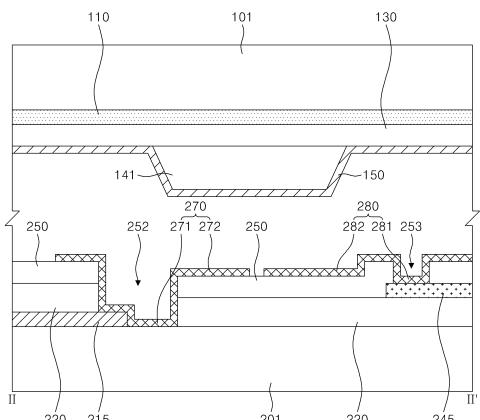
(54) 액정 표시 패널 및 이의 제조 방법

(57) 요 약

본 발명은 사용자에 의해 선택된 입력 위치를 효과적으로 검출하기 위해, 입력 감도를 향상시키고 정렬 오차에 의한 좌표 검출 불량을 방지하는 액정 표시 패널 및 이의 제조 방법에 관한 것이다.

상술한 기술적 과제를 달성하기 위하여, 본 발명은 제1 기판 상에 형성되는 터치용 스페이서, 터치용 스페이서 상에 형성되는 공통 전극, 제1 기판과 마주보는 제2 기판 상에 제1 방향으로 형성된 제1 터치 도전 라인, 제1 터치 도전 라인에 수직한 제2 방향으로 형성되는 제2 터치 도전 라인 및 제1 및 제2 터치 도전 라인에 각각 연결되고, 동일한 높이로 형성되어 터치용 스페이서에 의해 공통 전극과 접촉되는 제1 및 제2 콘택 전극을 포함하는 액정 표시 패널을 제공한다.

대표도 - 도3



특허청구의 범위

청구항 1

제1 기판 상에 형성되는 터치용 스페이서;
 상기 터치용 스페이서 상에 형성되는 공통 전극;
 상기 제1 기판과 마주보는 제2 기판 상에 제1 방향으로 형성된 제1 터치 도전 라인;
 상기 제1 터치 도전 라인에 수직한 제2 방향으로 형성되는 제2 터치 도전 라인; 및
 상기 제1 및 제2 터치 도전 라인에 각각 연결되고, 동일한 높이로 형성되어 상기 터치용 스페이서에 의해 상기
 공통 전극과 접속되는 제1 및 제2 콘택 전극;을 포함하는 액정 표시 패널.

청구항 2

제1 항에 있어서,
 상기 제2 기판은
 상기 제1 터치 도전 라인과 나란하게 형성되는 게이트 라인;
 상기 제1 터치 도전 라인 및 게이트 라인의 상부에 형성되는 게이트 절연막;
 상기 게이트 절연막의 상부에서 상기 제2 터치 도전 라인과 나란하게 형성되는 데이터 라인;
 상기 데이터 라인의 상부에 형성되며, 상기 데이터 라인의 일부를 노출시키는 제1 콘택홀을 포함하는 보호막;
 및
 상기 보호막의 상부에서 제1 콘택홀을 통해 상기 데이터 라인에 접속되는 화소 전극;을 포함하는 것을 특징으
 로 하는 액정 표시 패널.

청구항 3

제2 항에 있어서,
 상기 제1 및 제2 터치 도전 라인은
 각각 게이트 라인 및 데이터 라인과 동일 평면 상에 형성되어, 서로 단차를 이루는 것을 특징으로 하는 액정 표
 시 패널.

청구항 4

제3 항에 있어서,
 상기 제1 콘택 전극은
 상기 보호막의 상부에 형성되어 상기 보호막 및 게이트 절연막을 관통하는 제2 콘택홀을 통해 상기 제1 터치 도
 전 라인에 연결되고,
 상기 제2 콘택 전극은
 상기 보호막의 상부에 형성되어 상기 보호막을 관통하는 제3 콘택홀을 통해 상기 제2 터치 도전 라인에 연결되
 는 것을 특징으로 하는 액정 표시 패널.

청구항 5

제4 항에 있어서,
 상기 제1 및 제2 콘택 전극은
 상기 제2 및 제3 콘택홀을 통해 상기 제1 및 제2 터치 도전 라인과 접속되는 제1 및 제2 전극 접속부와, 상기
 제1 및 제2 전극 접속부로부터 연장되어 서로 대향하는 면이 다면으로 형성되는 제1 및 제2 전극 연장부를 각각
 포함하는 것을 특징으로 하는 액정 표시 패널.

청구항 6

제4 항에 있어서,

상기 제1 및 제2 콘택 전극은

상기 제2 및 제3 콘택홀을 통해 상기 제1 및 제2 터치 도전 라인과 접속되는 제1 및 제2 전극 접속부와, 상기 제1 및 제2 전극 접속부로부터 연장되어 서로 교대로 위치하는 제1 및 제2 전극 연장부를 각각 포함하는 것을 특징으로 하는 액정 표시 패널.

청구항 7

제4 항에 있어서,

상기 제1 및 제2 콘택 전극은

상기 제2 및 제3 콘택홀을 통해 상기 제1 및 제2 터치 도전 라인과 접속되는 제1 및 제2 전극 접속부와, 상기 제1 및 제2 전극 접속부로부터 연장되어 상기 제1 방향 및 제2 방향으로 서로 중첩되는 제1 및 제2 전극 연장부를 각각 포함하는 것을 특징으로 하는 액정 표시 패널.

청구항 8

제5 내지 제7 항에 있어서,

상기 제1 및 제2 전극 연장부는

상기 게이트 절연막과 보호막에 의해 동일 높이로 형성되는 것을 특징으로 하는 액정 표시 패널.

청구항 9

제8 항에 있어서,

상기 제1 및 제2 전극 연장부 중 어느 하나의 전극 연장부의 개수가 다른 전극 연장부의 개수와 대비하여 같거나 더 많게 형성되는 것을 특징으로 하는 액정 표시 패널.

청구항 10

제9 항에 있어서,

상기 제1 및 제2 콘택 전극은

상기 제1 및 제2 전극 접속부로부터 각각 제2 및 제1 콘택 전극을 향해 적어도 하나 이상의 제1 및 제2 전극 연장부가 돌출되는 것을 특징으로 하는 액정 표시 패널.

청구항 11

제10 항에 있어서,

상기 제1 및 제2 콘택 전극은

각각 상기 데이터 라인을 기준으로 "ㄷ" 형태와 역 "ㄷ" 형태로 형성되어 서로 맞물리는 것을 특징으로 하는 액정 표시 패널.

청구항 12

제11 항에 있어서,

상기 제1 및 제2 전극 연장부는

상기 제2 및 제1 콘택 전극을 향해 각각 "ㄱ" 형태로 형성되는 것을 특징으로 하는 액정 표시 패널.

청구항 13

제9 항에 있어서,

상기 제1 콘택 전극은

상기 제1 전극 접속부의 중앙에서 제2 콘택 전극을 향해 "T" 형태로 상기 제1 전극 연장부가 형성되는 것을 특징으로 하는 액정 표시 패널.

청구항 14

제13 항에 있어서,

상기 제2 콘택 전극은

상기 제2 전극 접속부의 양측 가장자리로부터 상기 제1 콘택 전극을 향해 각각 "ㄱ" 형태 및 역 "ㄱ" 형태로 제2 전극 연장부가 형성되어 상기 제1 전극 연장부를 감싸는 것을 특징으로 하는 액정 표시 패널.

청구항 15

제1 기판 상에 터치용 스페이서를 형성하는 단계;

상기 제1 기판 및 터치용 스페이서의 상부에 공통 전극을 형성하는 단계;

상기 제1 기판에 대향하는 제2 기판 상에 게이트 라인과 게이트 전극 및 제1 터치 도전 라인을 포함하는 게이트 금속 패턴을 형성하는 단계;

상기 게이트 금속 패턴의 상부에 데이터 라인, 소스 전극, 드레인 전극 및 제2 터치 도전 라인을 포함하는 데이터 금속 패턴을 형성하는 단계;

상기 데이터 금속 패턴의 상부에 보호막을 형성하고, 상기 드레인 전극과 제1 및 제2 터치 도전 라인의 일부를 노출시키는 제1 내지 제3 콘택홀을 형성하는 단계;

상기 제1 및 제2 터치 도전 라인에 각각 연결되는 제1 및 제2 콘택 전극을 상기 보호막의 상부에 동일한 높이로 형성하는 단계;를 포함하는 액정 표시 패널의 제조 방법.

청구항 16

제15 항에 있어서,

상기 데이터 금속 패턴을 형성하는 단계 이전에,

상기 게이트 금속 패턴의 상부에 게이트 절연막을 형성하는 단계; 및

상기 게이트 절연막의 상부에 상기 게이트 전극과 중첩되도록 반도체층을 형성하는 단계;를 더 포함하는 것을 특징으로 하는 액정 표시 패널의 제조 방법.

청구항 17

제15 항에 있어서,

상기 제1 및 제2 콘택 전극을 형성하는 단계는

상기 보호막의 제1 콘택홀을 통해 상기 드레인 전극에 연결되는 화소 전극을 형성하는 단계와 동시에 형성하는 것을 특징으로 하는 액정 표시 패널의 제조 방법.

청구항 18

제17 항에 있어서,

상기 제1 및 제2 콘택 전극을 형성하는 단계는

상기 제2 및 제3 콘택홀을 통해 상기 제1 및 제2 터치 도전 라인에 접속되도록 제1 및 제2 전극 접속부를 형성하고, 상기 제1 및 제2 전극 접속부로부터 연장되어 서로 대향하는 면이 다면을 이루도록 제1 및 제2 전극 연장부를 형성하는 것을 특징으로 하는 액정 표시 패널의 제조 방법.

청구항 19

제17 항에 있어서,

상기 제1 및 제2 콘택 전극을 형성하는 단계는

상기 제2 및 제3 콘택홀을 통해 상기 제1 및 제2 터치 도전 라인에 접속되도록 제1 및 제2 전극 접속부를 형성하고, 상기 제1 및 제2 전극 접속부로부터 연장되어 서로 교대로 위치하도록 제1 및 제2 전극 연장부를 형성하는 것을 특징으로 하는 액정 표시 패널의 제조 방법.

청구항 20

제17 항에 있어서,

상기 제1 및 제2 콘택 전극을 형성하는 단계는

상기 제2 및 제3 콘택홀을 통해 상기 제1 및 제2 터치 도전 라인에 접속되도록 제1 및 제2 전극 접속부를 형성하고, 상기 제1 및 제2 전극 접속부로부터 연장되어 상기 게이트 라인 및 데이터 라인과 평행한 방향으로 서로 중첩되도록 제1 및 제2 전극 연장부를 형성하는 것을 특징으로 하는 액정 표시 패널.

청구항 21

제18 내지 제20 항에 있어서,

상기 제1 및 제2 콘택 전극을 형성하는 단계는

상기 제1 및 제2 전극 연장부를 상기 게이트 절연막과 보호막의 상부에 동일한 높이로 형성하는 것을 특징으로 하는 액정 표시 패널의 제조 방법.

청구항 22

제21 항에 있어서,

상기 제1 및 제2 콘택 전극을 형성하는 단계는

상기 제1 및 제2 전극 연장부 중 어느 하나의 전극 연장부의 개수를 다른 전극 연장부의 개수와 대비하여 같거나 더 많게 형성하는 것을 특징으로 하는 액정 표시 패널의 제조 방법.

청구항 23

제22 항에 있어서,

상기 제1 및 제2 콘택 전극은

상기 제1 및 제2 전극 접속부로부터 각각 제2 및 제1 콘택 전극을 향해 적어도 하나 이상의 제1 및 제2 전극 연장부를 돌출되게 형성하는 것을 특징으로 하는 액정 표시 패널의 제조 방법.

청구항 24

제22 항에 있어서,

상기 제1 및 제2 콘택 전극은

각각 상기 데이터 라인을 기준으로 "ㄷ" 형태와 역 "ㄷ" 형태로 형성하여 서로 맞물리게 배치하는 것을 특징으로 하는 액정 표시 패널의 제조 방법.

청구항 25

제24 항에 있어서,

상기 제1 및 제2 전극 연장부는

상기 제2 및 제1 콘택 전극을 향해 각각 "ㄱ" 형태로 형성되는 것을 특징으로 하는 액정 표시 패널의 제조 방법.

청구항 26

제22 항에 있어서,

상기 제1 콘택 전극은

상기 제1 전극 연장부를 상기 제1 전극 접속부의 중앙에서 제2 콘택 전극을 향해 "T" 형태로 형성하는 것을 특징으로 하는 액정 표시 패널의 제조 방법.

청구항 27

제26 항에 있어서,

상기 제2 콘택 전극은

상기 제2 전극 연장부를 상기 제2 전극 접속부의 양측 가장자리로부터 상기 제1 콘택 전극을 향해 각각 "ㄱ" 형태 및 역 "ㄱ" 형태로 형성하여 상기 제1 전극 연장부를 감싸도록 형성하는 것을 특징으로 하는 액정 표시 패널의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <17> 본 발명은 사용자에 의해 선택된 입력 위치를 효과적으로 검출하기 위해, 입력 감도를 향상시키고 정렬 오차에 의한 좌표 검출 불량을 방지하는 액정 표시 패널 및 이의 제조 방법에 관한 것이다.
- <18> 터치 패널은 액정 표시 장치(Liquid Crystal Display: LCD), 전계 방출 표시 장치(Field Emission Display: FED), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP) 및 전계 발광 소자(Electro Luminescence: ELD) 등의 화상 표시면에 설치되어 사용자가 화면을 가압하면 정보를 입력하는 입력 수단이다.
- <19> 터치 패널은 동작 원리에 따라 정전용량식과 저항막식으로 나뉘는데, 정전용량식 터치 패널은 1개의 투명한 도전성 필름 또는 투명 도전성 글래스에 정전용량의 충방전 상태가 반복되는 가운데, 펜 형태의 입력수단인 스타일러스(stylus)와 도전성 필름 사이에 소량의 전하가 축적되고 이 전하량을 입력점으로부터 검출하여 좌표값을 환산하는 방식이다. 그리고, 저항막식 터치 패널은 2개의 대향하는 도전막층에 전압이 인가된 상태에서 사용자가 화면을 눌러 대향하는 두 도전막층이 접촉되게 하고 그 접촉점에서 발생하는 전압 또는 전류 변화를 검출하여 접촉점의 좌표값을 읽는 방식이다.
- <20> 여기서, 정전용량식 터치 패널은 스타일러스에 전기를 공급해 주어야 하기 때문에 최근에는 액정 표시 패널과 일체로 구성되는 아날로그 입력 방식의 저항막 방식의 터치 패널이 주로 사용된다. 이때, 저항막 방식의 터치 패널은 액정 표시 패널의 휘도 저하를 방지하기 위해 액정 표시 패널의 내부에 형성되기도 한다.
- <21> 터치 패널 일체형 액정 표시 패널은 입력점의 수평 위치에 대한 제1 좌표와, 수직 위치에 대한 제2 좌표를 검출하기 위해 박막 트랜지스터 기판에 제1 터치 도전 라인과 제2 터치 도전 라인이 수평 및 수직하게 형성된다. 그리고, 터치 패널 일체형 액정 표시 패널은 컬러필터 기판에 제1 및 제2 터치 도전 라인과 접촉하기 위한 터치 용 스페이서가 형성된다. 여기서 박막 트랜지스터 기판의 단차에 의해서 컬러필터 기판의 터치용 스페이서와 단차가 생겨 터치 감도가 낮아지는 문제점이 있다. 그리고, 터치 패널 일체형 액정 표시 패널은 박막 트랜지스터 기판과 컬러필터 기판의 조립 공정시 정렬 불량으로 인해 제1 및 제2 터치 도전 라인과 터치용 스페이서가 각각 정상 위치보다 소정의 거리만큼 이동된다. 또한, 터치용 스페이서는 제조시 정상 위치보다 소정의 거리만큼 이동되어 형성될 수 있다. 이와 같은 경우에 터치용 스페이서는 제1 및 제2 터치 도전 라인 중 어느 하나의 터치 도전 라인에만 접촉되어 입력점의 위치에 대한 좌표 검출 에러가 발생된다.

발명이 이루고자 하는 기술적 과제

- <22> 따라서, 본 발명이 이루고자 하는 기술적 과제는 수평 및 수직 좌표를 검출하기 위한 제1 및 제2 터치 도전 라인의 구조적인 높이차를 제거하여 입력 감도를 향상시키고, 터치용 스페이서와 제1 및 제2 터치 도전 라인의 정렬 오차에 의한 좌표 검출 불량을 방지하는 구조로 형성되는 액정 표시 패널 및 이의 제조 방법에 관한 것이다.

발명의 구성 및 작용

- <23> 상술한 기술적 과제를 달성하기 위하여, 본 발명은 제1 기판 상에 형성되는 터치용 스페이서; 상기 터치용 스페이서 상에 형성되는 공통 전극; 상기 제1 기판과 마주보는 제2 기판 상에 제1 방향으로 형성된 제1 터치 도전 라인; 상기 제1 터치 도전 라인에 수직한 제2 방향으로 형성되는 제2 터치 도전 라인; 및 상기 제1 및 제2 터치 도전 라인에 각각 연결되고, 동일한 높이로 형성되어 상기 터치용 스페이서에 의해 상기 공통 전극과 접촉되는 제1 및 제2 콘택 전극;을 포함하는 액정 표시 패널을 제공한다.
- <24> 구체적으로 상기 제2 기판은 상기 제1 터치 도전 라인과 나란하게 형성되는 게이트 라인; 상기 제1 터치 도전 라인 및 게이트 라인의 상부에 형성되는 게이트 절연막; 상기 게이트 절연막의 상부에서 상기 제2 터치 도전 라인과 나란하게 형성되는 데이터 라인; 상기 데이터 라인의 상부에 형성되며, 상기 데이터 라인의 일부를 노출시키는 제1 콘택홀을 포함하는 보호막; 및 상기 보호막의 상부에서 제1 콘택홀을 통해 상기 데이터 라인에 접속되는 화소 전극;을 포함한다.
- <25> 그리고, 상기 제1 및 제2 터치 도전 라인은 각각 게이트 라인 및 데이터 라인과 동일 평면 상에 형성되어, 서로 단차를 이루는 것을 특징으로 한다.
- <26> 이때, 상기 제1 콘택 전극은 상기 보호막의 상부에 형성되어 상기 보호막 및 게이트 절연막을 관통하는 제2 콘택홀을 통해 상기 제1 터치 도전 라인에 연결되고, 상기 제2 콘택 전극은 상기 보호막의 상부에 형성되어 상기 보호막을 관통하는 제3 콘택홀을 통해 상기 제2 터치 도전 라인에 연결된다.
- <27> 이와 같은, 상기 제1 및 제2 콘택 전극은 상기 제2 및 제3 콘택홀을 통해 상기 제1 및 제2 터치 도전 라인과 접속되는 제1 및 제2 전극 접속부와, 상기 제1 및 제2 전극 접속부로부터 연장되어 서로 대향하는 면이 다면으로 형성되는 제1 및 제2 전극 연장부를 각각 포함하는 것을 특징으로 한다.
- <28> 그리고, 상기 제1 및 제2 콘택 전극은 상기 제2 및 제3 콘택홀을 통해 상기 제1 및 제2 터치 도전 라인과 접속되는 제1 및 제2 전극 접속부와, 상기 제1 및 제2 전극 접속부로부터 연장되어 서로 교대로 위치하는 제1 및 제2 전극 연장부를 각각 포함하는 것을 특징으로 한다.
- <29> 또한, 상기 제1 및 제2 콘택 전극은 상기 제2 및 제3 콘택홀을 통해 상기 제1 및 제2 터치 도전 라인과 접속되는 제1 및 제2 전극 접속부와, 상기 제1 및 제2 전극 접속부로부터 연장되어 상기 제1 방향 및 제2 방향으로 서로 중첩되는 제1 및 제2 전극 연장부를 각각 포함하는 것을 특징으로 한다.
- <30> 이때, 상기 제1 및 제2 전극 연장부는 상기 게이트 절연막과 보호막에 의해 동일 높이로 형성되는 것을 특징으로 한다.
- <31> 그리고, 상기 제1 및 제2 전극 연장부 중 어느 하나의 전극 연장부의 개수가 다른 전극 연장부의 개수와 대비하여 같거나 더 많게 형성되는 것을 특징으로 한다.
- <32> 우선, 상기 제1 및 제2 콘택 전극은 상기 제1 및 제2 전극 접속부로부터 각각 제2 및 제1 콘택 전극을 향해 적어도 하나 이상의 제1 및 제2 전극 연장부가 돌출되는 것을 특징으로 한다.
- <33> 그리고, 상기 제1 및 제2 콘택 전극은 각각 상기 데이터 라인을 기준으로 "ㄷ" 형태와 역 "ㄷ" 형태로 형성되어 서로 맞물리는 것을 특징으로 한다.
- <34> 특히, 상기 제1 및 제2 전극 연장부는 상기 제2 및 제1 콘택 전극을 향해 각각 "ㄱ" 형태로 형성되는 것을 특징으로 한다.
- <35> 또한, 상기 제1 콘택 전극은 상기 제1 콘택부의 중앙에서 제2 콘택 전극을 향해 "T" 형태로 상기 제1 연장부가 형성되는 것을 특징으로 한다.
- <36> 이때, 상기 제2 콘택 전극은 상기 제2 콘택부의 양측 가장자리로부터 상기 제1 콘택 전극을 향해 각각 "ㄱ" 형태 및 역 "ㄱ" 형태로 제2 연장부가 형성되어 상기 제1 연장부를 감싸는 것을 특징으로 한다.
- <37> 상술한 기술적 과제를 달성하기 위하여, 본 발명은 제1 기판 상에 터치용 스페이서를 형성하는 단계; 상기 제1 기판 및 터치용 스페이서의 상부에 공통 전극을 형성하는 단계; 상기 제1 기판에 대향하는 제2 기판 상에 게이트 라인과 게이트 전극 및 제1 터치 도전 라인을 포함하는 게이트 금속 패턴을 형성하는 단계; 상기 게이트 금속 패턴의 상부에 데이터 라인, 소스 전극, 드레인 전극 및 제2 터치 도전 라인을 포함하는 데이터 금속 패턴을 형성하는 단계; 상기 데이터 금속 패턴의 상부에 보호막을 형성하고, 상기 드레인 전극과 제1 및 제2 터치

도전 라인의 일부를 노출시키는 제1 내지 제3 콘택홀을 형성하는 단계; 상기 제1 및 제2 터치 도전 라인에 각각 연결되는 제1 및 제2 콘택 전극을 상기 보호막의 상부에 동일한 높이로 형성하는 단계;를 포함하는 액정 표시 패널의 제조 방법을 제공한다.

<38> 구체적으로, 상기 데이터 금속 패턴을 형성하는 단계 이전에, 상기 게이트 금속 패턴의 상부에 게이트 절연막을 형성하는 단계; 및 상기 게이트 절연막의 상부에 상기 게이트 전극과 중첩되도록 반도체층을 형성하는 단계;를 더 포함한다.

<39> 그리고, 상기 제1 및 제2 콘택 전극을 형성하는 단계는 상기 보호막의 콘택홀을 통해 상기 드레인 전극에 연결되는 화소 전극을 형성하는 단계와 동시에 형성하는 것을 특징으로 한다.

<40> 여기서, 상기 제1 및 제2 콘택 전극을 형성하는 단계는 상기 제2 및 제3 콘택홀을 통해 상기 제1 및 제2 터치 도전 라인에 접속되도록 제1 및 제2 전극 접속부를 형성하고, 상기 제1 및 제2 전극 접속부로부터 연장되어 서로 대향하는 면이 다면을 이루도록 제1 및 제2 전극 연장부를 형성하는 것을 특징으로 한다.

<41> 그리고, 상기 제1 및 제2 콘택 전극을 형성하는 단계는 상기 제2 및 제3 콘택홀을 통해 상기 제1 및 제2 터치 도전 라인에 접속되도록 제1 및 제2 전극 접속부를 형성하고, 상기 제1 및 제2 전극 접속부로부터 연장되어 서로 교대로 위치하도록 제1 및 제2 전극 연장부를 형성하는 것을 특징으로 한다.

<42> 또한, 상기 제1 및 제2 콘택 전극을 형성하는 단계는 상기 제2 및 제3 콘택홀을 통해 상기 제1 및 제2 터치 도전 라인에 접속되도록 제1 및 제2 전극 접속부를 형성하고, 상기 제1 및 제2 전극 접속부로부터 연장되어 상기 게이트 라인 및 데이터 라인과 평행한 방향으로 서로 중첩되도록 제1 및 제2 전극 연장부를 형성하는 것을 특징으로 한다.

<43> 이때, 상기 제1 및 제2 콘택 전극을 형성하는 단계는 상기 제1 및 제2 전극 연장부를 상기 게이트 절연막과 보호막의 상부에 동일한 높이로 형성하는 것을 특징으로 한다.

<44> 그리고, 상기 제1 및 제2 콘택 전극을 형성하는 단계는 상기 제1 및 제2 전극 연장부 중 어느 하나의 전극 연장부의 개수를 다른 전극 연장부의 개수와 대비하여 같거나 더 많게 형성하는 것을 특징으로 한다.

<45> 우선, 상기 제1 및 제2 콘택 전극은 상기 제1 및 제2 전극 접속부로부터 각각 제2 및 제1 콘택 전극을 향해 적어도 하나 이상의 제1 및 제2 전극 연장부를 돌출되게 형성하는 것을 특징으로 한다.

<46> 그리고, 상기 제1 및 제2 콘택 전극은 각각 상기 데이터 라인을 기준으로 "ㄷ" 형태와 역 "ㄷ" 형태로 형성하여 서로 맞물리게 배치한다.

<47> 특히, 상기 제1 및 제2 전극 연장부는 상기 제2 및 제1 콘택 전극을 향해 각각 "ㄱ" 형태로 형성되는 것을 특징으로 한다.

<48> 또한, 상기 제1 콘택 전극은 상기 제1 연장부를 상기 제1 콘택부의 중앙에서 제2 콘택 전극을 향해 "T" 형태로 형성하는 것을 특징으로 한다.

<49> 이때, 상기 제2 콘택 전극은 상기 제2 연장부를 상기 제2 콘택부의 양측 가장자리로부터 상기 제1 콘택 전극을 향해 각각 "ㄱ" 형태 및 역 "ㄱ" 형태로 형성하여 상기 제1 연장부를 감싸도록 형성하는 것을 특징으로 한다.

<50> 상술한 기술적 과제와 다른 기술적 과제 및 기술적 특징들은 후술하는 본 발명의 실시 예에 따라 첨부한 도면 및 설명에 의하여 명확해질 것이다.

<51> 이하에서는, 도 1 내지 도 18을 참조하여 본 발명의 바람직한 실시 예에 대하여 상세하게 설명한다. 도면에서는 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다.

<52> 도 1은 본 발명의 실시 예에 따른 액정 표시 패널을 도시한 평면도이고, 도 2는 도 1에 도시된 I-I'선을 따라 절취한 액정 표시 패널의 단면을 도시한 단면도이며, 도 3은 도 1에 도시된 II-II'선을 따라 절취한 액정 표시 패널의 단면을 도시한 단면도이다.

<53> 도 1 내지 도 3을 참조하면, 본 발명에 따른 액정 표시 패널은 서로 대향하여 형성되는 제1 기판과 제2 기판을 포함한다.

<54> 구체적으로, 제1 기판은 상부 기판(101) 상에 빛샘 방지를 위한 블랙 매트릭스(110)와, 색 구현을 위한 컬러필터(120)와, 블랙 매트릭스(110)와 컬러필터(120)의 단자를 완화시키기 위한 오버코트(130)와, 액정에 공통 전압

을 인가하기 위한 공통 전극(150)을 포함한다.

<55> 상부 기판(101)은 상부로 가해지는 압력에도 유연하게 굴곡을 이를 수 있도록 플라스틱과 같은 투명한 절연 물질로 형성된다.

<56> 블랙 매트릭스(110)는 액정을 제어할 수 없는 영역을 통해 광이 출광되는 것을 막기 위해 제2 기판의 박막 트랜지스터(TFT), 게이트 라인(210), 데이터 라인(240), 제1 및 제2 터치 도전 라인(215, 245)과 중첩되어 형성된다. 이를 위해, 블랙 매트릭스(110)는 불투명한 유기물질 또는 불투명한 금속으로 형성된다.

<57> 컬러필터(120)는 색을 구현하기 위해 세부적으로 적색, 녹색 및 청색의 컬러필터로 형성된다. 컬러필터(120)는 각각 자신이 포함하고 있는 적색, 녹색 및 청색 안료를 통해 특정 파장의 광을 흡수 또는 투과시킴으로써 적색, 녹색 및 청색을 띠게 된다. 이때, 컬러필터(120)는 각각 투과한 적색, 녹색 및 청색 광의 가법혼색을 통해 다양한 색상을 구현한다.

<58> 오버코트(130)는 투명한 유기물질로 형성되며 컬러필터(120)와 블랙 매트릭스(110)를 보호하며, 공통 전극(150)의 양호한 스텝 커버리지(Step Coverage) 및 절연을 위해 형성된다.

<59> 공통 전극(150)은 오버코트(130)의 상부에 형성된다. 여기서, 공통 전극(150)은 인듐 주석 산화물(Indium Tin Oxide: 이하 ITO) 또는 인듐 아연 산화물(Indium Zinc Oxide: 이하 IZO)과 같은 투명한 금속으로 형성된다. 그리고, 공통 전극(150)은 공통 전압 발생부로부터 공급된 공통 전압과 화소 전극(260)의 화소 전압 신호와의 전압차로 형성된 액정 구동 전계를 액정에 인가한다.

<60> 터치용 스페이서(141)는 공통 전극(150)과 오버코트(130) 사이에 형성된다. 즉, 터치용 스페이서(141)는 오버코트(130) 상에 형성되고, 공통 전극(150)에 의해 덮인다. 터치용 스페이서(141)는 오버코트(130)와 동일 물질로 형성될 수도 있다. 이때, 터치용 스페이서(141)는 사용자가 손가락 또는 웨이크로드 상부 기판(101)의 표면을 가압할 경우 공통 전극(150)을 후술될 제2 기판의 제1 및 제2 콘택 전극(270, 280)에 접촉시키기 위해 소정의 높이로 형성된다. 터치용 스페이서(141)는 사용자가 상부 기판(101)의 표면을 가압하기 전까지는 제2 기판에 형성된 제1 및 제2 콘택 전극(270, 280)과 접촉되지 않도록 소정 간격을 유지하고 이격되어야 한다. 그리고, 터치용 스페이서(141)는 이격된 상태에서 사용자의 입력이 발생될 경우 입력 지점을 검출하기 위해 공통 전극(150)이 제1 및 제2 콘택 전극(270, 280)에 접촉되어야 한다. 따라서, 터치용 스페이서(141)는 제1 기판 및 제2 기판의 간격을 유지하는 셀캡 스페이서의 높이보다는 낮은 높이로 형성된다.

<61> 또한, 터치용 스페이서(141)는 공통 전극(150)이 손상될 경우 제1 및 제2 콘택 전극(270, 280)과 공통 전극(150) 간에 전압 또는 전류가 인가될 수 있도록 도전성 재질로 형성되는 것이 바람직하다.

<62> 제2 기판은 하부 기판(201) 상에 형성되는 게이트 라인(210), 제1 터치 도전 라인(215), 데이터 라인(240), 제2 터치 도전 라인(245), 박막 트랜지스터(TFT), 화소 전극(260) 및 제1 및 제2 콘택 전극(270, 280)을 포함한다.

<63> 게이트 라인(210)은 하부 기판(201) 상에서 제1 방향으로 형성된다. 예를 들어, 게이트 라인(210)은 하부 기판(201)의 가로 방향으로 연장되어 형성된다. 이때, 게이트 라인(210)은 몰리브덴(Mo), 니오브(Nb), 구리(Cu), 알루미늄(Al), 크롬(Cr), 은(Ag), 텉스텐(W) 또는 이들의 합금 중 어느 하나의 재질로 단일층 또는 다중층으로 형성된다. 그리고, 게이트 라인(210)은 데이터 라인(240)과 교차되는 부분에 게이트 전극(211)이 형성된다.

<64> 제1 터치 도전 라인(215)은 게이트 라인(210)과 나란하게 제1 방향으로 형성된다. 그리고, 제1 터치 도전 라인(215)은 게이트 라인(210)으로부터 소정 간격으로 이격되도록 형성된다. 이와 같은, 제1 터치 도전 라인(215)은 게이트 라인(210)과 동일한 재질로 형성된다.

<65> 데이터 라인(240)은 하부 기판(201) 상에서 제2 방향으로 형성된다. 예를 들어, 데이터 라인(240)은 하부 기판(201)의 세로 방향으로 연장되어 형성된다. 그리고, 데이터 라인(240)은 게이트 라인(210)과 교차되게 형성되어 화소 영역을 정의한다. 이때, 데이터 라인(240)은 몰리브덴(Mo), 니오브(Nb), 구리(Cu), 알루미늄(Al), 크롬(Cr), 은(Ag), 티타늄(Ti) 또는 이들의 합금 중 어느 하나의 재질로 단일층 또는 다중층으로 형성된다.

<66> 제2 터치 도전 라인(245)은 데이터 라인(240)과 나란하게 제2 방향으로 형성된다. 그리고, 제2 터치 도전 라인(245)은 데이터 라인(240)으로부터 소정 간격으로 이격되도록 형성된다. 이와 같은, 제2 터치 도전 라인(245)은 데이터 라인과 동일한 재질로 형성된다.

<67> 박막 트랜지스터(TFT)는 게이트 라인(210)의 게이트 신호에 응답하여 데이터 라인(240)의 화소 전압 신호가 화소 전극(260)에 충전되어 유지되게 한다. 이를 위하여, 박막 트랜지스터(TFT)는 게이트 라인(210)에 접속된 게

이트 전극(211)과, 데이터 라인(240)에 접속되며 드레인 전극(243)과 일정 간격 이격되어 형성된 소스 전극(241)과, 소스 전극(241)과 마주하며 화소 전극(260)에 접속된 드레인 전극(243)을 구비한다.

<68> 또한, 박막 트랜지스터(TFT)는 게이트 전극(211)과 게이트 절연막(220)을 사이에 두고 중첩되면서 소스 전극(241)과 드레인 전극(243) 사이에 채널을 형성하는 반도체층(230)을 구비한다.

<69> 반도체층(230)은 소스 전극(241)과 드레인 전극(243) 사이에 채널을 형성하고, 게이트 절연막(220)을 사이에 두고 게이트 전극(211)과 중첩되게 형성된 액티브층(231)을 구비한다. 그리고, 반도체층(230)은 액티브층(231) 위에 형성되어 데이터 라인(240), 소스 전극(241) 및 드레인 전극(243)과 오믹 접촉을 위한 오믹 콘택층(233)을 추가로 구비한다.

<70> 보호막(250)은 절연을 위해 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)등과 같은 무기물질로 형성되거나, 아크릴(Arylic), 폴리이미드(polyimide) 또는 벤조크릴로부텐(Benzoclylobutene: 이하 BCB) 등과 같은 유기물질로 형성된다. 여기서, 보호막(250)은 무기물질 및 유기물질이 단일층 또는 복층으로 적층되어 형성된다. 이와 같은, 보호막(250)은 박막 트랜지스터(TFT)와 게이트 절연막(220)을 덮도록 형성되어 박막 트랜지스터(TFT)와 화소 전극(260)을 절연시킨다.

<71> 이와 같은, 보호막(250)은 드레인 전극(243)과 제1 및 제2 터치 도전 라인(215, 245)의 일부를 노출시키는 제1 내지 제3 콘택홀(251, 252, 253)을 포함한다. 여기서, 제1 내지 제3 콘택홀(251, 252, 253)은 보호막(250)의 일부분을 마스크를 통해 식각하여 형성된다.

<72> 화소 전극(260)은 보호막(250)의 상부에 형성된다. 그리고, 화소 전극(260)은 박막 트랜지스터(TFT)의 드레인 전극(243)과 제1 콘택홀(251)을 통해 연결된다. 이와 같은, 화소 전극(260)은 투명하면서도 도전성을 가지는 ITO, IZO, 인듐 주석 아연 산화물(Indium Tin Zinc Oxide: 이하 ITZO), 주석 산화물(Tin Oxide: 이하 TO)와 같은 물질 등으로 형성된다.

<73> 제1 및 제2 콘택 전극(270, 280)은 제1 터치 도전 라인(215)과 제2 터치 도전 라인(245)에 각각 연결되는 제1 및 제2 전극 접속부(271, 281)와, 제1 및 제2 전극 접속부(271, 281)로부터 연장되며 서로 대향하는 다면으로 형성되는 제1 및 제2 전극 연장부(272, 282)를 포함한다. 여기서, 제1 및 제2 전극 연장부(272, 282)는 서로 교대로 위치하여 형성되거나 제1 방향 및 제2 방향으로 서로 중첩되게 형성된다.

<74> 제1 콘택 전극(270)은 보호막(250)과 게이트 절연막(220)을 관통하는 제2 콘택홀(252)을 통해 제1 전극 접속부(271)가 제1 터치 도전 라인(215)에 연결된다. 그리고, 제1 콘택 전극(270)은 보호막(250) 상부에 제1 전극 연장부(272)가 제2 콘택 전극(280)을 향해 소정의 패턴 형태로 형성된다.

<75> 제2 콘택 전극(280)은 보호막(250)을 관통하는 제3 콘택홀(253)을 통해 제2 전극 접속부(281)가 제2 터치 도전 라인(245)에 연결된다. 그리고, 제2 콘택 전극(280)은 보호막(250) 상부에 제2 전극 연장부(282)가 제1 콘택 전극(270)을 향해 소정의 패턴 형태로 형성된다. 이때, 제2 전극 연장부(282)는 게이트 절연막(220) 및 보호막(250)의 상부에서 제1 콘택 전극(270)의 제1 전극 연장부(272)와 동일한 높이로 형성된다. 이를 통해, 제1 및 제2 콘택 전극(270, 280)은 터치용 스페이서(141)에 동일하게 접촉되며, 사용자에 의해 가압된 지점의 입력 감도가 향상된다.

<76> 이와 같이 본 발명에 따른 액정 표시 패널은 사용자의 손가락 또는 펜이 상부 기판(101)을 가압하여 제1 및 제2 콘택 전극(270, 280)이 터치용 스페이서(141)를 통해 접촉하게 되면, 그 접촉 위치에 따라 저항치를 가변시키게 된다. 그리고, 가변된 저항치에 따라 전류 또는 전압이 달라지게 되므로 그 변화하는 전류 또는 전압을 제1 터치 도전 라인(215)을 통해 수평 좌표 신호로 출력하고, 제2 터치 도전 라인(245)을 통해 수직 좌표 신호로 출력하게 된다. 이 경우 액정 표시 패널은 출력된 좌표 신호를 이용하여 좌표를 검출하고, 그에 해당되는 명령을 실행하거나 그와 관련된 응용 프로그램을 실행시키게 된다.

<77> 한편, 제1 및 제2 콘택 전극(270, 280)은 터치용 스페이서(141)의 위치 이동으로 인해 발생되는 좌표 검출 불량을 방지하기 위해 다양한 형태로 패터닝되어 형성된다. 이때, 좌표 검출 불량은 터치용 스페이서(141)와 제1 및 제2 콘택 전극(270, 280)의 정렬 불량으로 편차가 발생하여 터치용 스페이서(141)가 제1 및 제2 콘택 전극(270, 280) 중 어느 하나와 접촉되지 않는 경우에 발생된다. 즉, 좌표 검출 불량은 입력 지점의 수평 좌표 또는 수직 좌표 중 어느 하나의 좌표만 측정되는 것을 의미한다. 이와 같은 좌표 검출 불량을 방지하기 위해 제1 및 제2 콘택 전극(270, 280)은 제1 및 제2 전극 연장부(272, 282) 중 어느 하나의 전극 연장부의 개수가 다른 전극 연장부의 개수와 대비하여 같거나 더 많게 형성된다.

- <78> 이하에서는 도 4 내지 도 6을 참조하여 제1 및 제2 콘택 전극(270,280)의 다양한 실시 예를 설명하도록 한다.
- <79> 도 4는 본 발명의 제1 실시 예에 따른 제1 및 제2 콘택 전극을 도시한 평면도이다.
- <80> 도 4에 도시된 바와 같이, 본 발명에 따른 제1 및 제2 콘택 전극(270,280)은 막대형의 제1 및 제2 전극 연장부(272,282)가 적어도 하나 이상 돌출되어 형성되고, 이들이 교대로 배치되어 서로 맞물리는 형태로 형성된다.
- <81> 구체적으로, 제1 콘택 전극(270)은 제2 콘택홀(252)을 통해 제1 터치 도전 라인(215)에 연결되는 제1 전극 접속부(271)와, 제1 전극 접속부(271)에서 제2 콘택 전극(280) 방향으로 연장되는 적어도 하나 이상의 제1 전극 연장부(272)를 포함한다. 이때, 제1 콘택 전극(270)은 적어도 하나 이상의 제1 전극 연장부(272)가 소정의 간격으로 이격되어 요철 형태로 형성된다.
- <82> 제2 콘택 전극(280)은 제3 콘택홀(253)을 통해 제2 터치 도전 라인(245)에 연결되는 제2 전극 접속부(281)와, 제2 전극 접속부(281)에서 제1 콘택 전극(270) 방향으로 연장되는 적어도 하나 이상의 제2 전극 연장부(282)를 포함한다. 이때, 제2 콘택 전극(280)은 적어도 하나 이상의 제2 전극 연장부(282)가 소정의 간격으로 이격되어 요철 형태로 형성된다.
- <83> 여기서, 제1 전극 연장부(272)와 제2 전극 연장부(282)는 제1 콘택 전극(270)과 제2 콘택 전극(280)의 사이에서 서로 엇갈리게 배치되어 형성된다. 예를 들어, 제1 전극 연장부(272)가 n개 형성된 제1 콘택 전극(270)에 제2 전극 연장부(282)가 n-1개 형성된 제2 콘택 전극(280)이 마주보며 삽입되는 형태로 형성된다. 여기서, n은 1보다 큰 자연수이다. 이를 통해, 제1 및 제2 콘택 전극(270,280)은 터치용 스페이서(141)의 위치 정렬 편차가 발생되어도 터치용 스페이서(141)에 접촉될 수 있다.
- <84> 한편, 제1 콘택 전극(270) 및 제2 콘택 전극(280)은 도 4에 도시된 형태에 의해 한정되는 것은 아니다. 제1 및 제2 콘택 전극(270,280)은 각각 n개 또는 n개, n+1개 형성된 제1 및 제2 전극 연장부(272,282)를 포함하여 형성될 수도 있다. 여기서, n은 자연수이다.
- <85> 도 5는 본 발명의 제2 실시 예에 따른 제1 및 제2 콘택 전극을 도시한 평면도이다.
- <86> 도 5에 도시된 바와 같이, 본 발명에 따른 제1 및 제2 콘택 전극(270,280)은 각각 "ㄷ"자 형태와, 역 "ㄷ" 형태로 형성된다.
- <87> 구체적으로, 제1 콘택 전극(270)은 제2 콘택홀(252)을 통해 제1 터치 도전 라인(215)에 연결되는 제1 전극 접속부(271)와, 제1 전극 접속부(271)로부터 제2 콘택 전극(280)을 향해 "ㄱ" 형태로 연장되는 제1 전극 연장부(272)를 포함하여 "ㄷ"자 형태로 형성된다. 이때, 제1 전극 연장부(272)는 제1 전극 접속부(271)의 일측 가장자리에서 제2 콘택 전극(280)을 향해 연장되어 형성된다.
- <88> 제2 콘택 전극(280)은 제3 콘택홀(253)을 통해 제2 터치 도전 라인(245)에 연결되는 제2 전극 접속부(281)와, 제2 전극 접속부(281)로부터 제1 콘택 전극(270)을 향해 "ㄱ" 형태로 연장되는 제2 전극 연장부(282)를 포함하여 역 "ㄷ" 형태로 형성된다. 이때, 제2 전극 연장부(282)는 제2 전극 접속부(281)의 일측 가장자리에서 제1 콘택 전극(270)을 향해 연장되어 형성된다.
- <89> 이와 같은, 제1 및 제2 콘택 전극(270,280)은 서로 대칭되게 형성되며, 각각 제1 및 제2 전극 연장부(272,282)가 맞물리는 형태로 배치된다. 이를 통해, 제1 및 제2 콘택 전극(270,280)은 터치용 스페이서(141)의 위치 정렬 편차가 발생되어도 터치용 스페이서(141)에 접촉될 수 있다.
- <90> 도 6은 본 발명의 제3 실시 예에 따른 제1 및 제2 콘택 전극을 도시한 평면도이다.
- <91> 도 6에 도시된 바와 같이, 본 발명에 따른 제1 콘택 전극(270)은 제2 콘택홀(252)을 통해 제1 터치 도전 라인(215)과 연결되는 제1 전극 접속부(271)와, 제1 전극 접속부(271)의 중앙에서 제2 콘택 전극(280)을 향해 "T" 형태로 형성되는 제1 전극 연장부(272)를 포함한다.
- <92> 제2 콘택 전극(280)은 제3 콘택홀(253)을 통해 제2 터치 도전 라인(245)과 연결되는 제2 전극 접속부(281)와, 제2 전극 접속부(281)의 양측 가장자리에서 제1 콘택 전극(270)을 향해 "ㄱ" 형태와 역 "ㄱ" 형태로 대칭되는 형태로 연장되는 제2 전극 연장부(282)를 포함한다. 이때, 제2 전극 연장부(282)는 제1 전극 연장부(272)를 감싸는 형태로 배치된다.
- <93> 이와 같은, 제1 및 제2 콘택 전극(270,280)은 중첩되는 영역에서 서로 맞물리도록 형성되고, 터치용 스페이서(141)의 위치 정렬 편차가 발생되어도 터치용 스페이서(141)에 접촉될 수 있다.

- <94> 이하에서는 본 발명의 실시 예에 따른 액정 표시 패널의 제조 방법에 대해 도 7a 내지 도 18을 참조하여 설명하도록 한다.
- <95> 도 7a 내지 도 17b는 본 발명의 실시 예에 따른 액정 표시 패널의 제조 방법을 설명하기 위해 도시한 단면도이다. 여기서, 도 7a 내지 도 17b는 도 1에 도시된 I-I, II-II'선을 따라 절취한 액정 표시 패널의 단면을 참조하여 도시하였다. 그리고,
- <96> 도 7a 내지 도 17b를 참조하면, 본 발명에 따른 액정 표시 패널의 제조 방법은 터치용 스페이서(141)와 공통 전극(150)이 형성된 제1 기판을 형성하는 단계와, 제1 및 제2 터치 도전 라인(215, 245)에 각각 연결되는 제1 및 제2 콘택 전극(270, 280)을 동일한 높이로 형성하여 제2 기판을 형성하는 단계를 포함한다.
- <97> 우선 제1 기판을 형성하는 단계는 도 7a 및 도 7b에 도시된 바와 같이 상부 기판(101) 상에 블랙 매트릭스(110)를 형성하는 단계를 진행한다.
- <98> 블랙 매트릭스(110)는 상부 기판(101) 상에 불투명한 유기물질 또는 불투명한 금속을 도포한 뒤 포토리소그래피 및 식각 공정으로 패터닝하여 형성한다. 블랙 매트릭스(110)는 제2 기판의 불투명한 금속 패턴들이 시인되는 것을 차단하도록 소정의 폭으로 형성한다. 여기서, 상부 기판(101)은 표면에 가해지는 압력에도 유연하게 굴곡을 이룰 수 있도록 플라스틱과 같은 투명한 절연 물질로 형성된 기판을 사용한다.
- <99> 다음으로, 도 8에 도시된 바와 같이 블랙 매트릭스(110)가 형성된 상부 기판(101) 상에 컬러필터(120)를 형성하는 단계를 진행한다. 컬러필터(120)는 포토리소그래피 방법으로 적(Red), 녹(Breen), 청(Blue) 순서로 형성한다. 컬러필터(120)는 잉크젯 프린팅 방법으로 형성할 수도 있다.
- <100> 다음으로, 도 9a 및 도 9b에 도시된 바와 같이 블랙 매트릭스(110) 및 컬러필터(120)의 상부에 오버코트(130)를 형성하는 단계를 진행한다.
- <101> 오버코트(130)는 컬러필터(120)의 보호와 공통 전극(150) 형성시 스텝 커버리지를 양호하게 하기 위해 블랙 매트릭스(110) 및 컬러필터(120)의 전면에 걸쳐 소정의 두께로 형성한다. 오버코트(130)는 아크릴 수지 등을 스펀 코팅 등의 방법으로 형성한다.
- <102> 다음으로, 도 10에 도시된 바와 같이 오버코트(130)의 상부에 도전성 고분자를 사용하여 터치용 스페이서(141)를 형성하는 단계를 진행한다.
- <103> 터치용 스페이서(141)는 상부 기판(101)의 전면에 도전성 고분자를 도포한다. 그리고, 도전성 고분자 상에 포토레지스트를 도포한 후 그 포토레지스트를 노광 및 현상 공정을 포함하는 포토리소그래피 공정을 이용하여 패터닝함으로써 포토레지스트 패턴을 형성한다. 포토레지스트 패턴은 마스크를 이용한 식각 공정에 의해 도전성 고분자를 패터닝한다. 이때, 도전성 고분자는 잉크젯 프린팅 기법등에 의해 형성할 수도 있다. 이에 따라, 도전성 고분자는 터치용 스페이서(141)를 형성한다.
- <104> 다음으로, 도 11a 및 도 11b에 도시된 바와 같이 오버코트(130)와 터치용 스페이서(141)의 상부에 공통 전극(150)을 형성하는 단계를 진행한다.
- <105> 구체적으로, 공통 전극(150)은 오버코트(130)의 상부에 스퍼터링 등의 방법을 통해 투명 도전성 물질로 형성한다. 이를 위해, 공통 전극(150)은 ITO 또는 IZO와 같은 투명한 도전 물질을 사용한다. 그리고, 공통 전극(150)은 마스크를 이용해 포토리소그래피 및 식각 공정을 통해 패터닝하여 형성한다.
- <106> 제2 기판을 형성하는 방법은 도 12a 내지 도 18을 참조하여 설명한다.
- <107> 우선 도 12a 및 도 12b에 도시된 바와 같이, 하부 기판(201) 상에 게이트 라인(210), 게이트 전극(211) 및 제1 터치 도전 라인(215)을 포함하는 게이트 금속 패턴을 형성하는 단계를 진행한다. 이때, 게이트 금속 패턴은 스퍼터링 등의 증착 방법을 통해 게이트 금속층을 형성한 후 포토리소그래피 공정과 식각 공정으로 패터닝하여 형성한다. 여기서, 하부 기판(201)은 일반적으로 유리 또는 플라스틱과 같은 투명한 절연 기판을 사용한다.
- <108> 게이트 라인(210)은 하부 기판(201) 상에 제1 방향으로 형성한다. 그리고, 게이트 전극(211)은 게이트 라인(210)의 일측으로 돌출되도록 형성한다. 제1 터치 도전 라인(215)은 하부 기판(201) 상에 게이트 라인(210)과 나란하게 제1 방향으로 형성한다. 그리고, 제1 터치 도전 라인(215)은 게이트 라인(210)과 소정의 간격으로 이격시켜 형성한다. 예를 들어, 제1 터치 도전 라인(215)은 가로 방향으로 형성된 게이트 라인(210)으로부터 5μm 이격되도록 형성한다.

- <109> 다음으로 도 13a 및 도 13b에 도시된 바와 같이 게이트 금속 패턴이 형성된 하부 기판(201) 상에 화학 기상 증착법(Plasma Enhanced Chemical Vapor Deposition: PECVD) 등의 방법으로 게이트 절연막(220)을 형성하는 단계를 진행한다. 여기서, 게이트 절연막(220)은 산화 실리콘(SiO_x), 질화 실리콘(SiN_x) 등과 같은 절연 물질을 하부 기판(201)의 전면에 증착하여 형성한다. 이를 통해, 게이트 절연막(220)은 하부 기판(201) 상에 형성된 게이트 금속 패턴을 덮어버려 게이트 금속 패턴을 절연시키는 역할을 한다.
- <110> 다음으로 도 14에 도시된 바와 같이 게이트 절연막(220)이 형성된 하부 기판(201)에 액티브층(231) 및 오믹 콘택층(233)을 포함하는 반도체층(230)을 형성하는 단계를 진행한다. 여기서, 액티브층(231)과 오믹 콘택층(233)은 폴리 실리콘 또는 비정질 실리콘과, 도핑된 폴리 실리콘 또는 도핑된 비정질 실리콘으로 각각 증착한 뒤 포토리소그래피 및 식각 공정을 통해 패터닝하여 형성한다.
- <111> 다음으로, 도 15a 및 도 15b에 도시된 바와 같이 반도체층(230)이 형성된 하부 기판(201) 상에 데이터 라인(240), 소스 전극(241), 드레인 전극(243) 및 제2 터치 도전 라인(245)을 포함하는 데이터 금속 패턴을 형성하는 단계를 진행한다.
- <112> 구체적으로, 데이터 금속 패턴은 반도체층(230)이 형성된 하부 기판(201) 상에 스퍼터링 등의 증착 방법으로 금속층을 형성한 후 포토리소그래피 공정과 식각 공정을 통해 패터닝하여 형성한다.
- <113> 데이터 라인(240)은 게이트 라인(210)과 교차하도록 형성한다. 그리고, 소스 전극(241)은 드레인 전극(243)을 감싸는 U자 형태로 드레인 전극(243)과 일정 거리를 유지하도록 형성할 수 있다. 드레인 전극(243)은 일측이 소스 전극(241)에 대향되는 형태로 형성하고, 타측이 화소 전극(260)과 연결되기 위해 일측보다 넓은 면적으로 형성한다.
- <114> 다음으로, 도 16a 및 도 16b에 도시된 바와 같이 데이터 금속 패턴이 형성된 하부 기판(201) 상에 보호막(250)과 제1 내지 제3 콘택홀(251, 252, 253)을 형성하는 단계를 진행한다.
- <115> 보호막(250)은 하부 기판(201) 상에 PECVD, 스판 코팅 등의 증착 방법을 통해 형성한다. 그리고, 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 보호막(250)을 관통하는 제1 및 제3 콘택홀(253)을 형성한다. 이 외 동시에 보호막(250) 및 게이트 절연막(220)을 관통하는 제2 콘택홀(252)을 형성한다. 이때, 제1 콘택홀(251)은 드레인 전극(243)의 일부분을 노출시키고, 제3 콘택홀(253)은 제2 터치 도전 라인(245)의 일부분을 노출시킨다. 그리고, 제2 콘택홀(252)은 제1 터치 도전 라인(215)의 일부분을 노출시킨다. 여기서, 보호막(250)은 절연을 위해 SiNx 또는 SiO_x 등과 같은 무기절연물질로 형성하거나, 아크릴, 폴리이미드 또는 BCB 등과 같은 유기절연물질로 형성한다.
- <116> 다음으로, 도 17a 및 도 17b에 도시된 바와 같이 보호막(250)의 상부에 화소 전극(260)과 제1 및 제2 콘택 전극(270, 280)을 형성하는 단계를 진행한다.
- <117> 구체적으로, 화소 전극(260)은 보호막(250)의 상부에 스퍼터링 등의 방법을 통해 투명 도전성 물질로 형성한다. 이를 위해, 화소 전극(260)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), TO(Tin Oxide) 등과 같은 투명한 도전 물질을 사용한다. 그리고, 화소 전극(260)은 마스크를 이용하여 포토리소그래피 및 식각 공정으로 게이트 라인(210) 및 데이터 라인(240)에 의해 정의되는 화소 영역 내에 패터닝하여 형성한다.
- <118> 제1 및 제2 콘택 전극(270, 280)은 보호막(250)의 상부에 동일한 높이를 이루도록 형성한다. 구체적으로, 제1 및 제2 콘택 전극(270, 280)은 제2 및 제3 콘택홀(252, 253)을 통해 제1 및 제2 터치 도전 라인(215, 245)에 연결되도록 형성한다. 여기서, 제1 콘택 전극(270)은 제2 콘택홀(252)에 접속되는 제1 전극 접속부(271)와, 제2 콘택 전극(280)을 향해 연장되는 제1 전극 연장부(272)를 형성한다. 그리고, 제2 콘택 전극(280)은 제3 콘택홀(253)에 접속되는 제2 전극 접속부(281)와, 제1 콘택 전극(270)을 향해 연장되는 제2 전극 연장부(282)를 형성한다. 이때, 제1 및 제2 전극 연장부(272, 282)는 서로 대향하는 다면으로 형성한다. 보다 상세하게는, 제1 및 제2 전극 연장부(272, 282)를 서로 교대로 위치하도록 형성하거나, 제1 방향 및 제2 방향으로 서로 중첩되게 형성한다.
- <119> 이와 같은, 제1 및 제2 콘택 전극(270, 280)은 제1 및 제2 전극 연장부(272, 282) 중 어느 하나의 전극 연장부의 개수가 다른 전극 연장부의 개수와 대비하여 같거나 더 많게 형성한다. 그리고, 제1 및 제2 전극 연장부(272, 282)는 게이트 절연막(220)과 보호막(250)의 상부에 동일한 높이를 이루도록 형성한다.
- <120> 여기서, 제1 및 제2 콘택 전극(270, 280)은 도 18에 도시된 바와 같이 소정의 패턴 형태로 형성한다.
- <121> 도 18은 본 발명에 따른 액정 표시 패널의 제조 방법에서 제1 및 제2 콘택 전극 형성 방법의 실시 예를 설명하

기 위해 도시한 평면도이다.

<122> 제1 패턴 형태로, 제1 및 제2 콘택 전극(270,280)은 제1 및 제2 전극 연장부(272,282)를 막대형으로 적어도 하나 이상을 형성한다. 이때, 제1 및 제2 전극 연장부(272,282)는 서로 삽입되어 맞물리도록 개수의 차이를 두고 형성한다. 예를 들어, 제1 전극 연장부(272)는 n개를 형성하고, 제2 전극 연장부(282)는 n-1개를 형성하여 서로 맞물리도록 배치한다. 여기서, n은 1보다 큰 자연수이다.

<123> 제2 패턴 형태로, 제1 및 제2 콘택 전극(270,280)은 각각 "ㄷ" 형태와 역 "ㄷ" 형태로 형성한다. 이때, 제1 및 제2 콘택 전극(270,280)은 제1 및 제2 전극 연장부(272,282)를 각각 "ㄱ" 형태로 형성한다. 이때, 제1 및 제2 전극 연장부(272,282)는 끝단의 굴곡진 부분이 서로 나란하도록 배치한다. 이를 통해, 제1 및 제2 콘택 전극(270,280)은 서로 중첩되는 영역에서 맞물리는 형태를 형성한다.

<124> 제3 패턴 형태로, 제1 콘택 전극(270)은 제1 전극 연장부(272)를 "T" 형태로 형성한다. 그리고, 제2 콘택 전극(280)은 두개의 제2 전극 연장부(282)를 각각 "ㄱ" 형태와 역 "ㄱ" 형태의 대칭되는 형태로 형성한다. 이때, 제2 전극 연장부(282)는 제1 전극 연장부(272)와 중첩되는 영역에서 제1 전극 연장부(272)를 감싸는 형태로 배치한다.

<125> 이와 같은, 제1 내지 제3 패턴 형태에서 제1 및 제2 콘택 전극(270,280)의 제1 및 제2 전극 연장부(272,282)는 서로 뒤바뀌어 적용되는 형태로 형성할 수 있다. 즉, 제1 콘택 전극(270)에 제2 전극 연장부(282)의 패턴 형태를 적용하고, 제2 콘택 전극(280)에 제1 전극 연장부(272)의 패턴 형태를 적용하여 형성할 수 있다.

발명의 효과

<126> 상술한 바와 같이, 본 발명에 따른 액정 표시 패널은 제1 및 제2 콘택 전극의 높이를 동일하게 형성하여 가압 지점의 입력 감도를 향상시키고, 이를 통해 사용자에 의한 입력 지점의 수평 및 수직 좌표 검출을 용이하게 한다. 그리고, 제1 및 제2 콘택 전극은 다양한 패턴 형태로 형성되며, 이를 통해 액정 표시 패널의 제조 공정 중 터치용 스페이서와 제1 및 제2 콘택 전극의 위치 정렬 편차로 인한 좌표 검출 에러를 해결할 수 있다.

<127> 이상에서 설명한 본 발명의 상세한 설명에서는 본 발명의 바람직한 실시 예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술 분야에 통상의 지식을 갖는 자라면, 후술된 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

- <1> 도 1은 본 발명의 실시 예에 따른 액정 표시 패널을 도시한 평면도이다.
- <2> 도 2는 도 1에 도시된 I-I'선을 따라 절취한 액정 표시 패널의 단면을 도시한 단면도이다.
- <3> 도 3은 도 1에 도시된 II-II'선을 따라 절취한 액정 표시 패널의 단면을 도시한 단면도이다.
- <4> 도 4는 본 발명의 제1 실시 예에 따른 제1 및 제2 콘택 전극을 도시한 평면도이다.
- <5> 도 5는 본 발명의 제2 실시 예에 따른 제1 및 제2 콘택 전극을 도시한 평면도이다.
- <6> 도 6은 본 발명의 제3 실시 예에 따른 제1 및 제2 콘택 전극을 도시한 평면도이다.
- <7> 도 7a 내지 도 17b는 본 발명의 실시 예에 따른 액정 표시 패널의 제조 방법을 설명하기 위해 도시한 단면도이다.
- <8> 도 18은 본 발명에 따른 액정 표시 패널의 제조 방법에서 제1 및 제2 콘택 전극 형성 방법의 실시 예를 설명하기 위해 도시한 평면도이다.

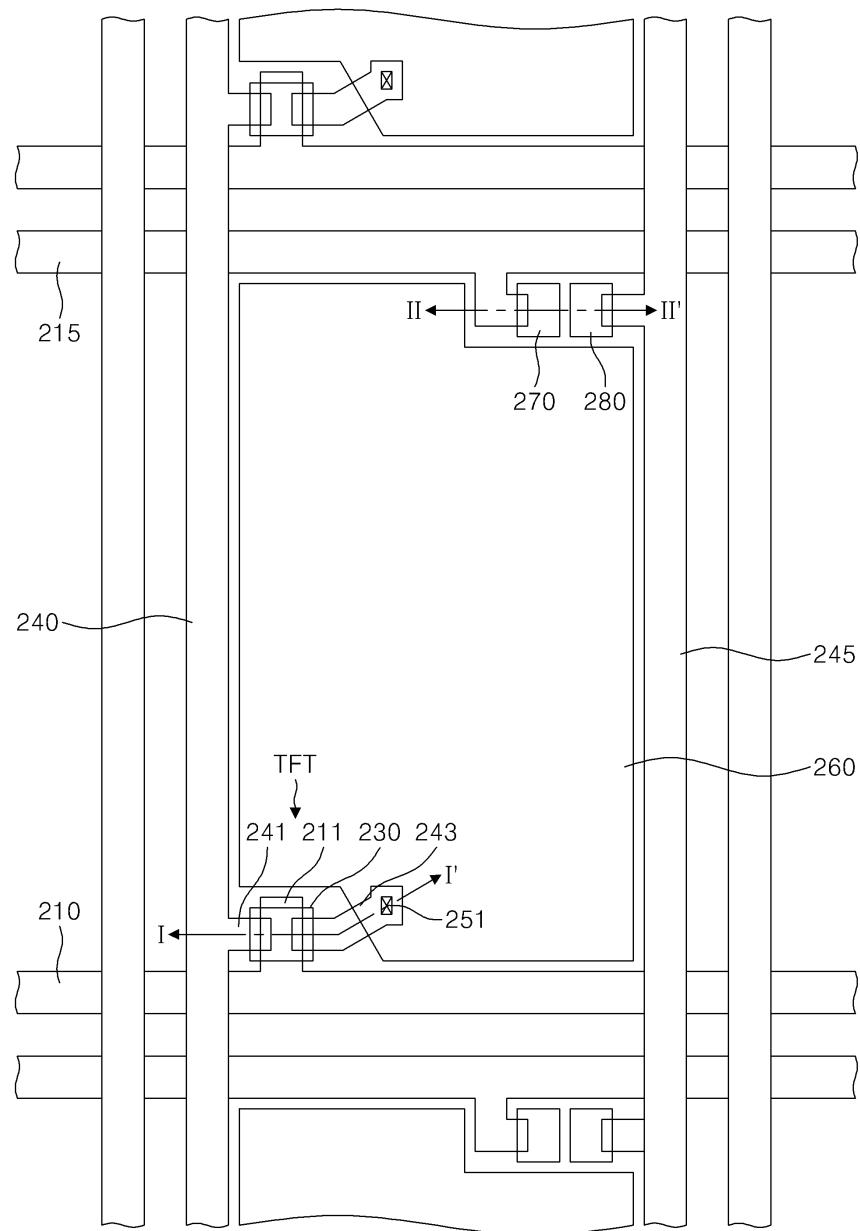
- <9> <도면의 주요 부분에 대한 부호 설명>

<10> 101: 상부 기판	141: 터치용 스페이서
<11> 150: 공통 전극	201: 하부 기판
<12> 210: 게이트 라인	215: 제1 터치 도전 라인
<13> 240: 데이터 라인	245: 제2 터치 도전 라인

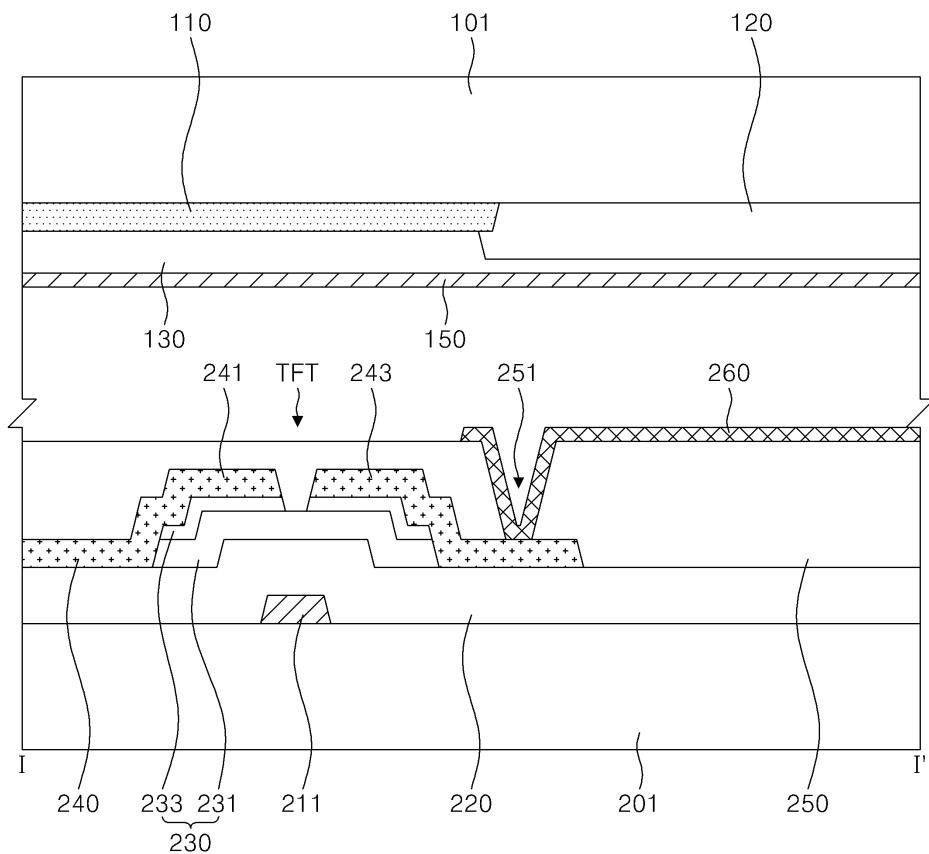
- | | | |
|------|---------------|--------------------|
| <14> | 250: 보호막 | 251, 252, 253: 콘택홀 |
| <15> | 260: 화소 전극 | 270: 제1 콘택 전극 |
| <16> | 280: 제2 콘택 전극 | |

도면

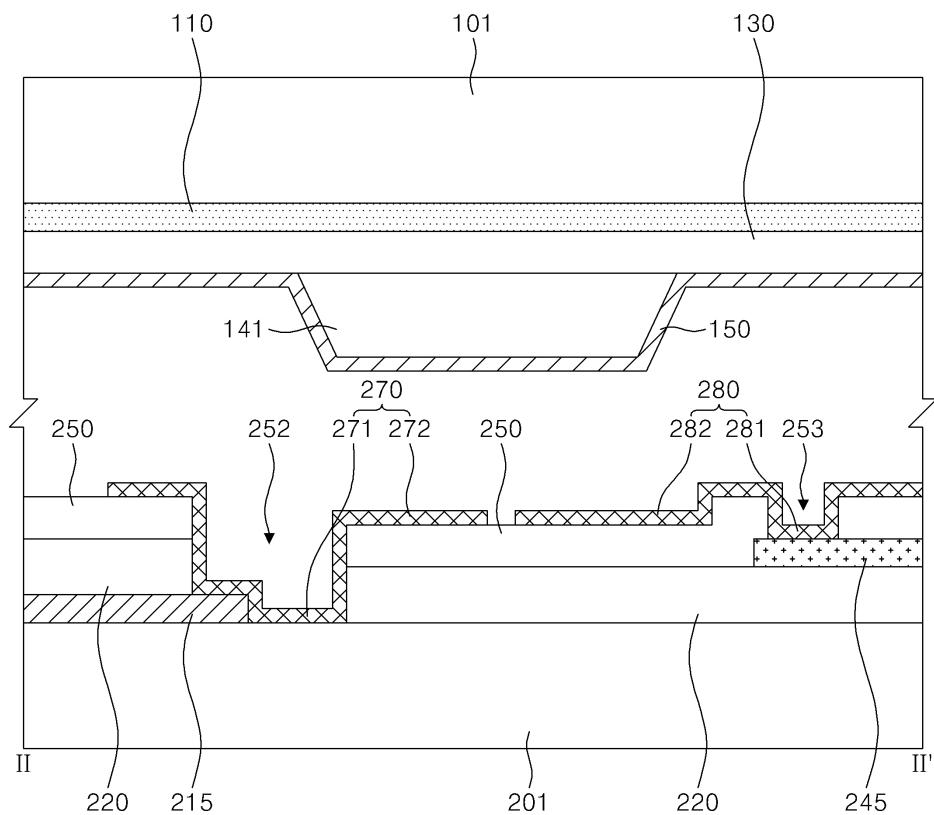
도면1



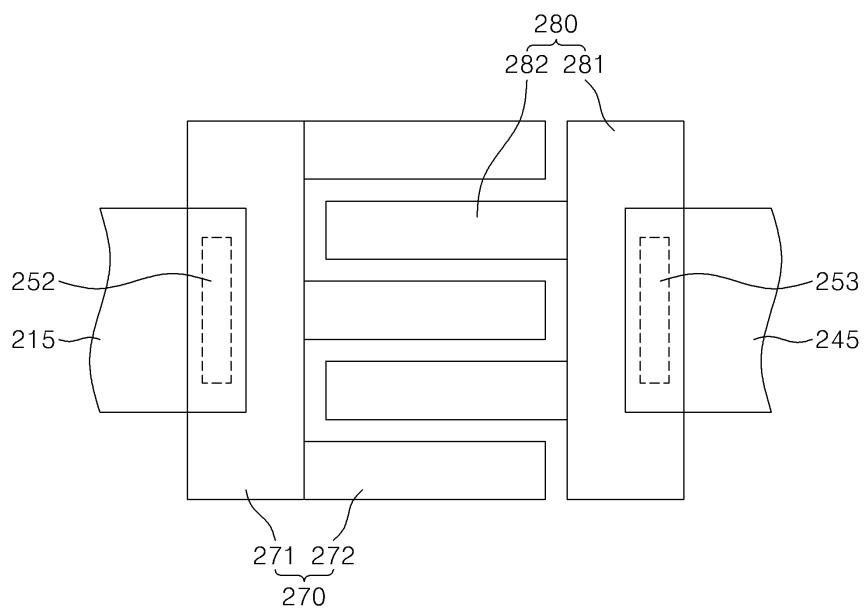
도면2



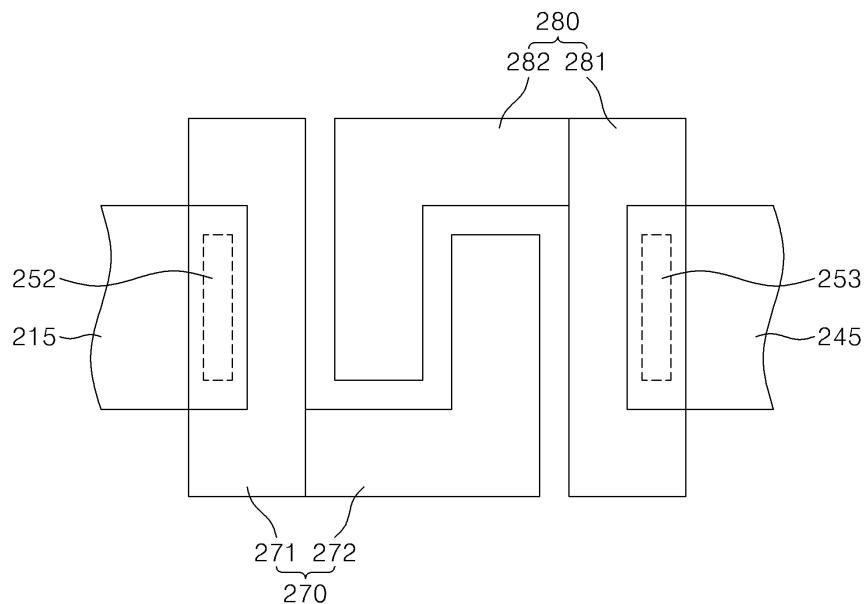
도면3



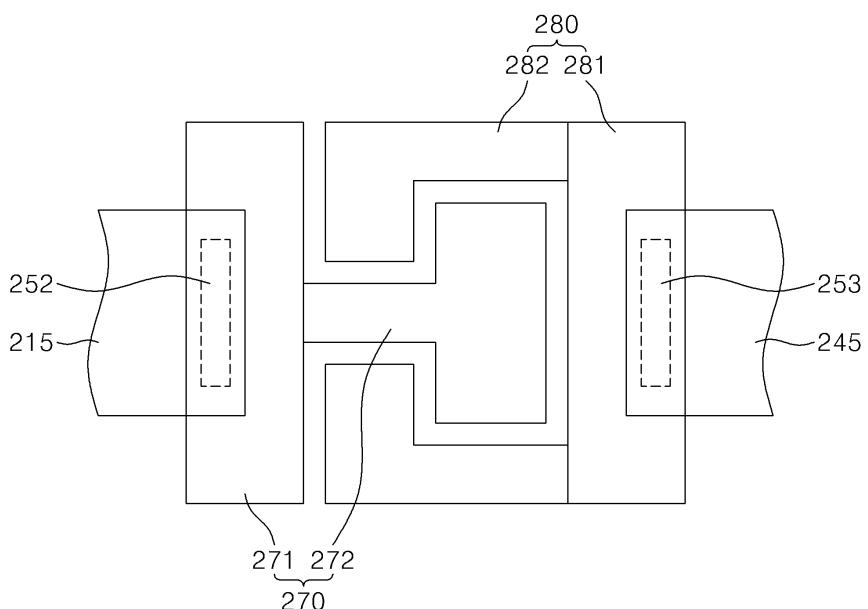
도면4



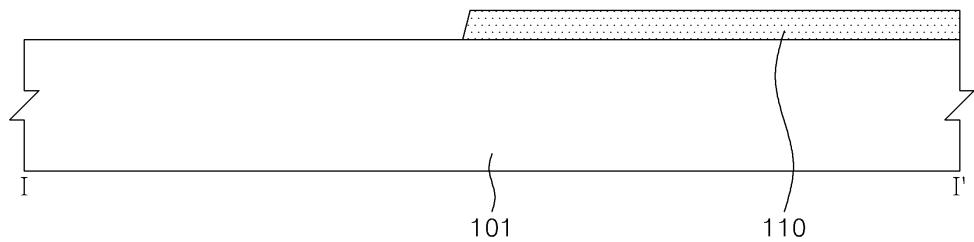
도면5



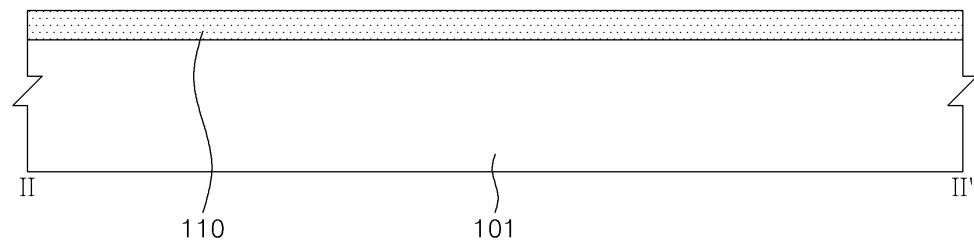
도면6



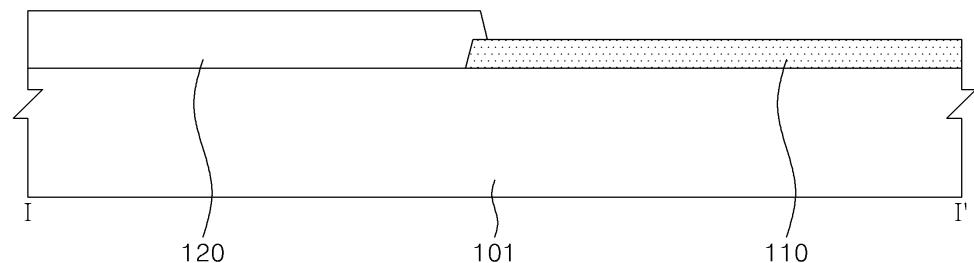
도면7a



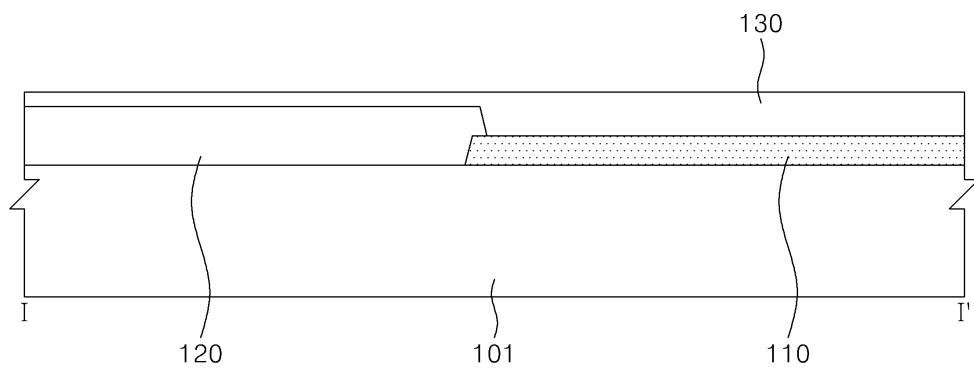
도면7b



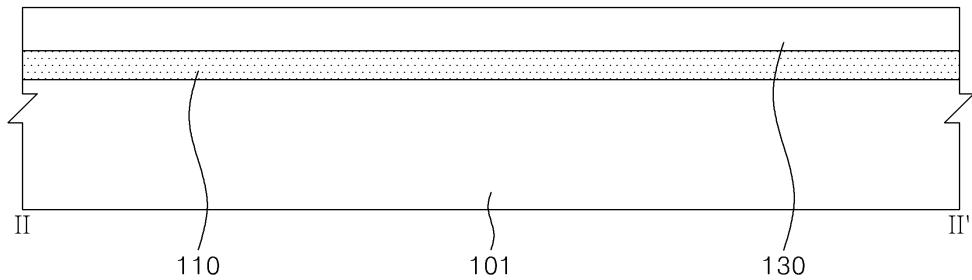
도면8



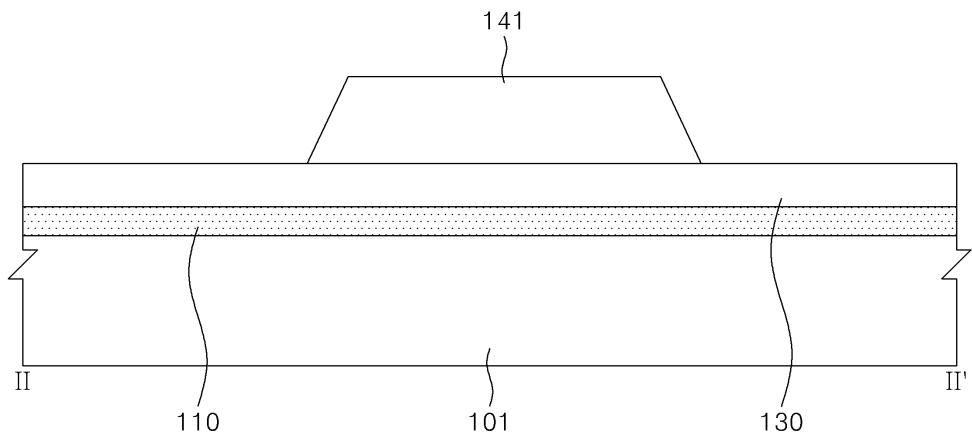
도면9a



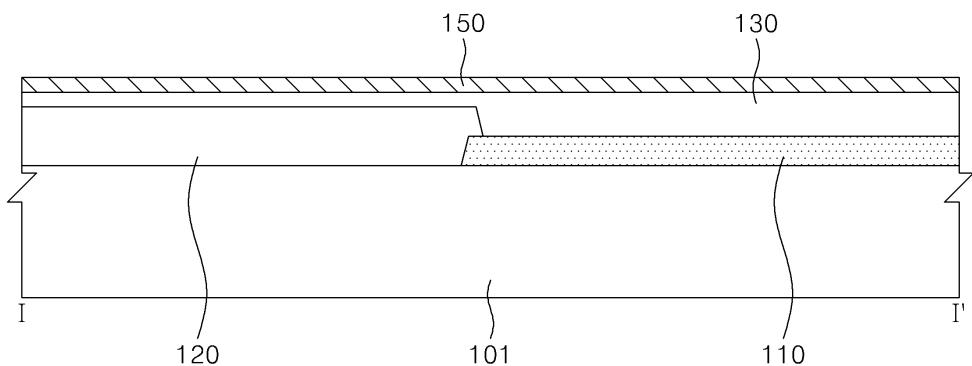
도면9b



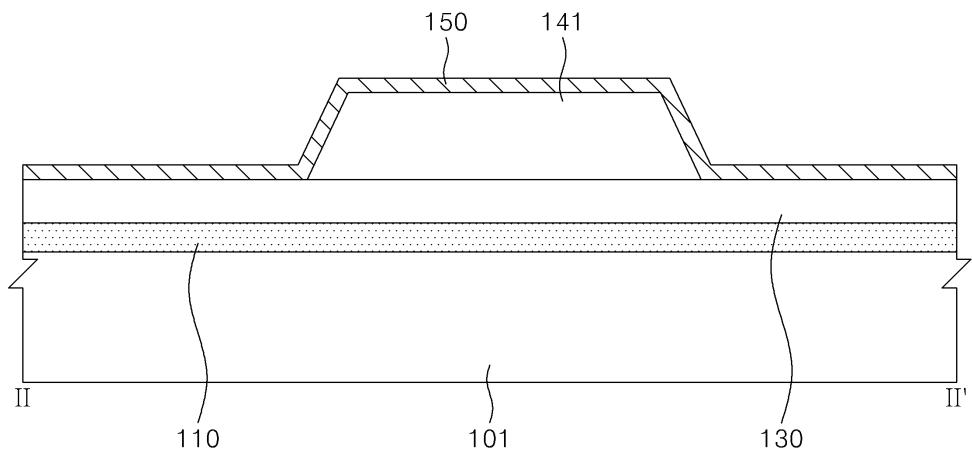
도면10



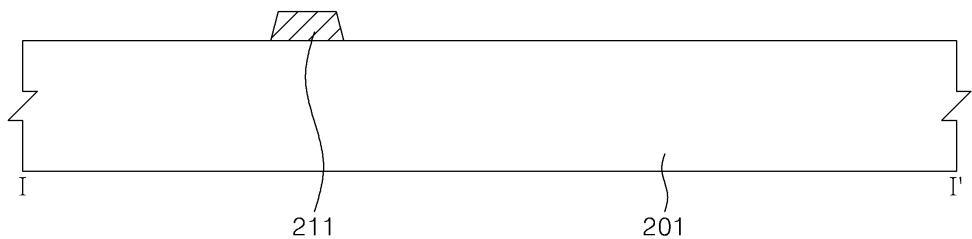
도면11a



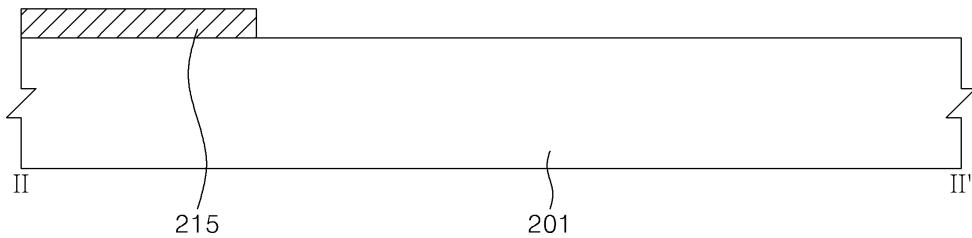
도면11b



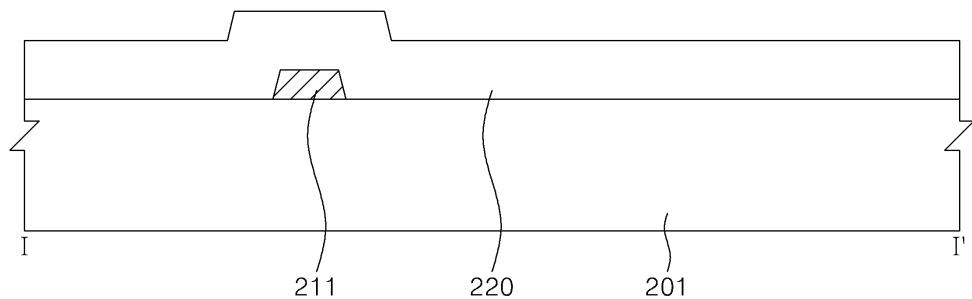
도면12a



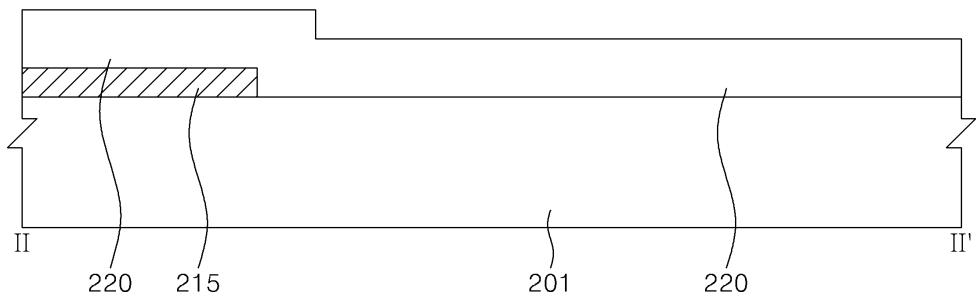
도면12b



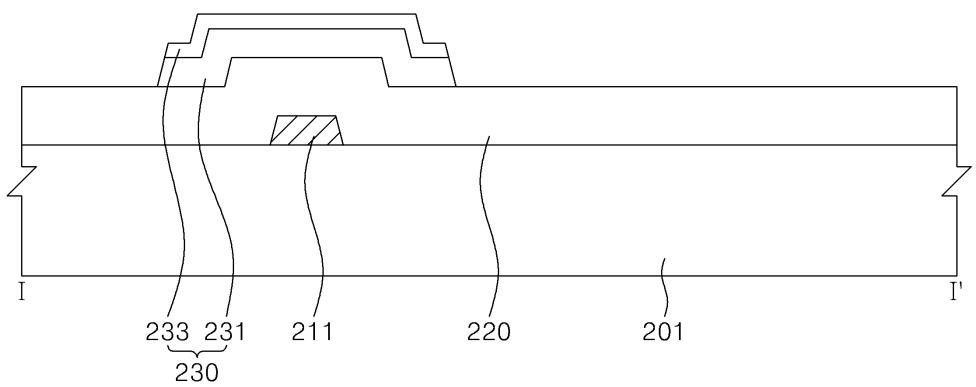
도면13a



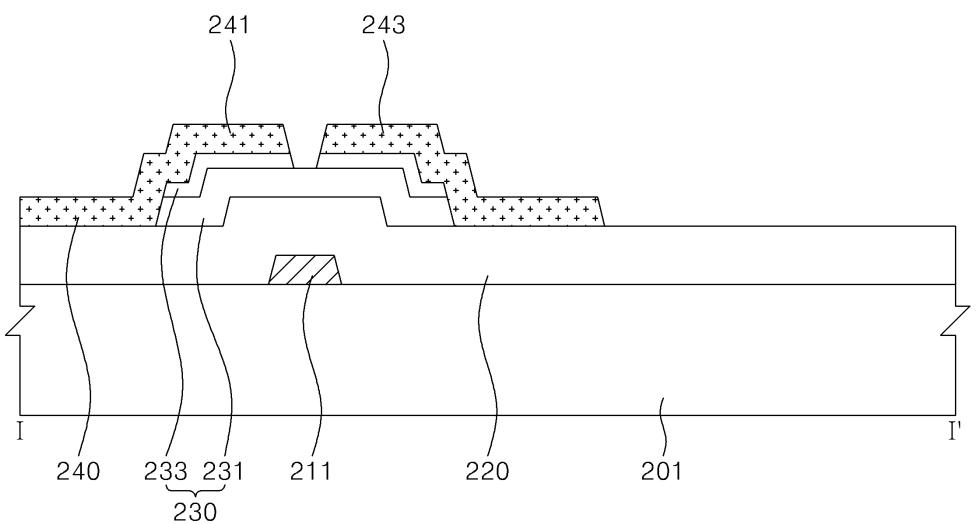
도면13b



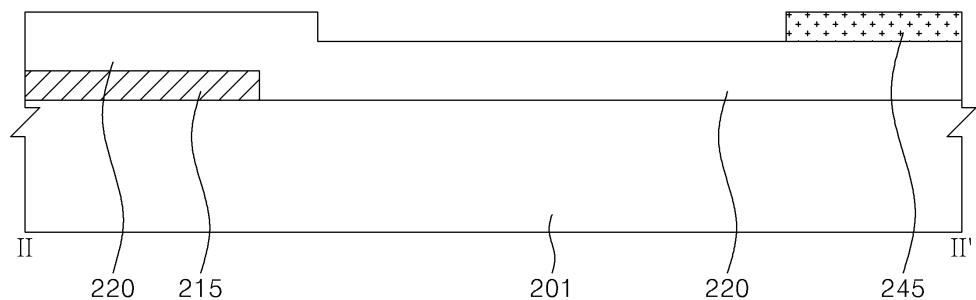
도면14



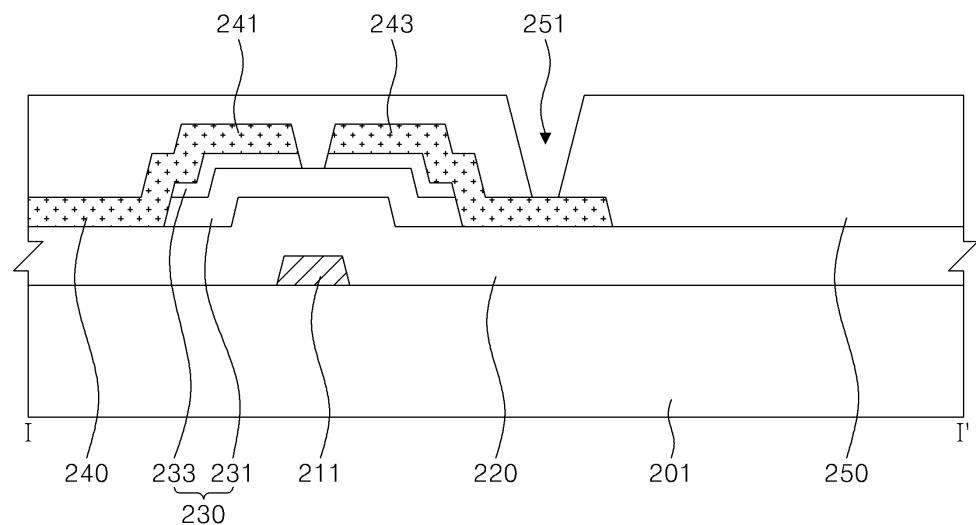
도면15a



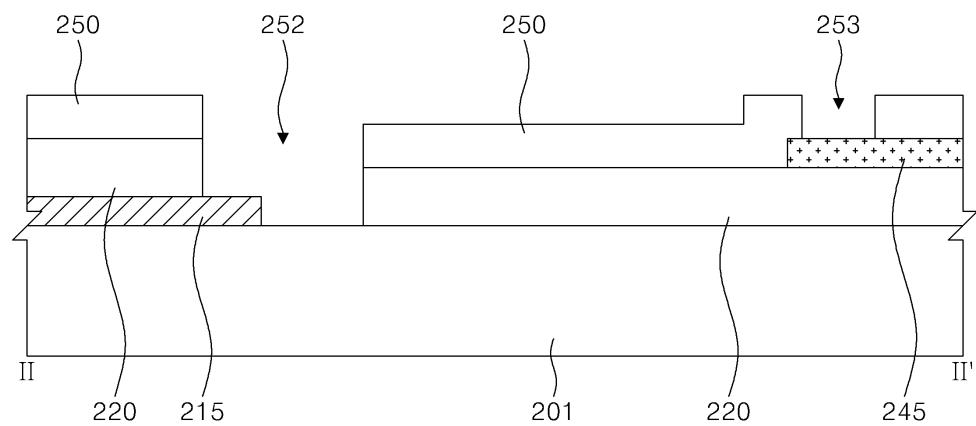
도면15b



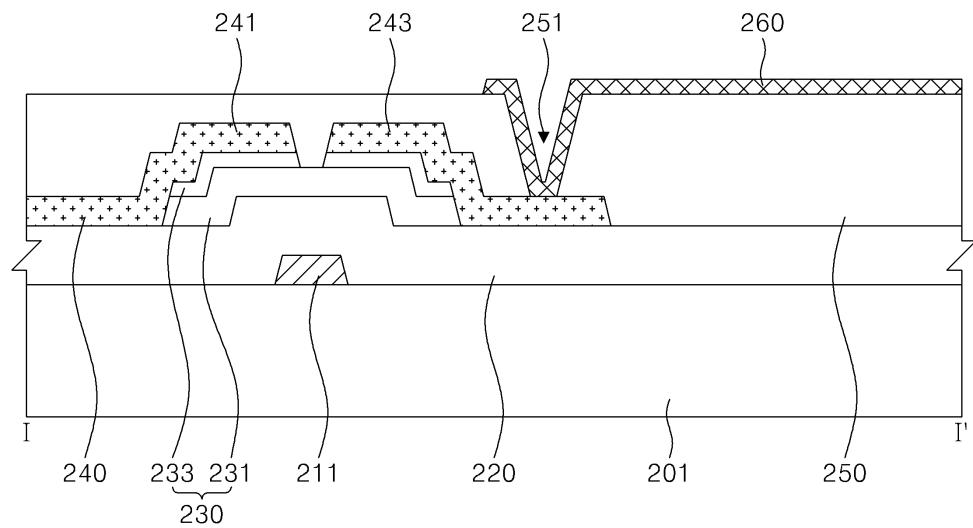
도면16a



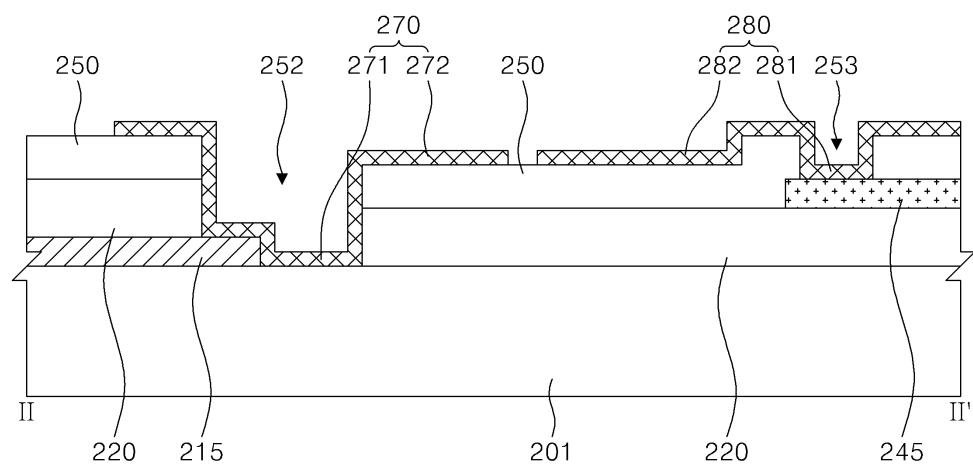
도면16b



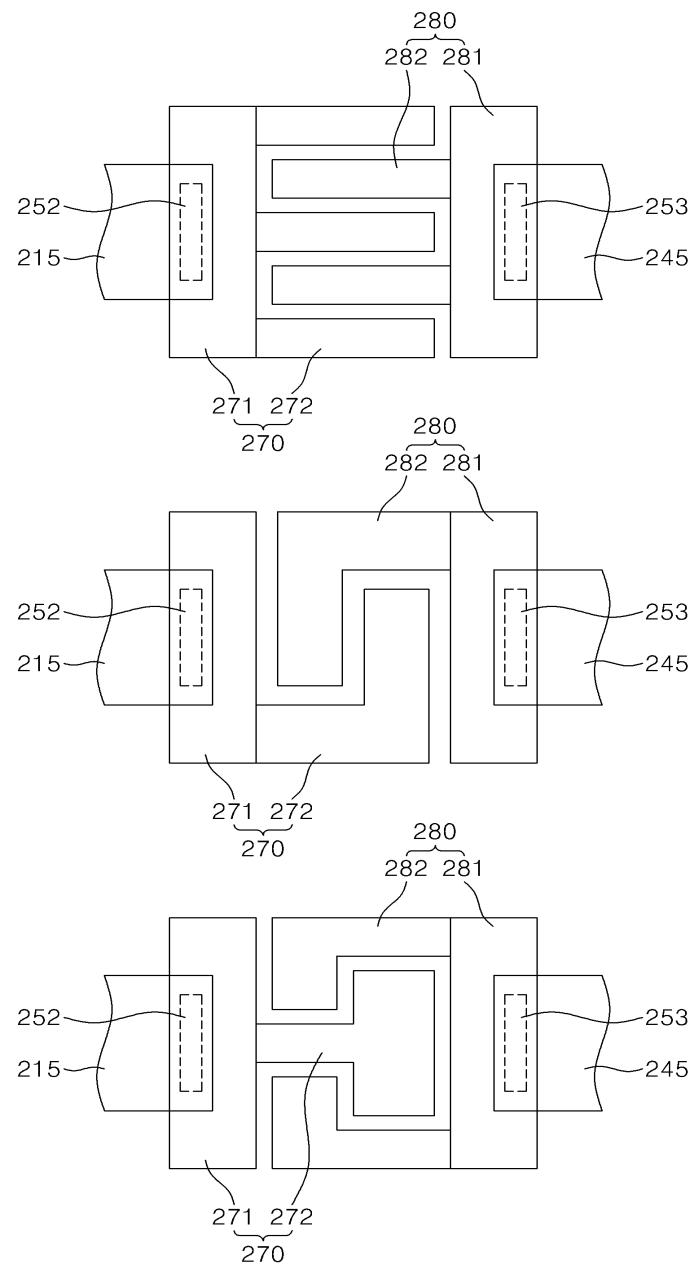
도면17a



도면17b



도면18



专利名称(译)	液晶显示面板及其制造方法		
公开(公告)号	KR1020080073866A	公开(公告)日	2008-08-12
申请号	KR1020070012621	申请日	2007-02-07
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	CHANG JONG WOONG		
发明人	CHANG, JONG WOONG		
IPC分类号	G02F1/1333		
CPC分类号	G06F3/0412		
代理人(译)	KWON , HYUK SOO SE JUN OH 宋，云何		
其他公开文献	KR101385190B1		
外部链接	Espacenet		

摘要(译)

本发明涉及一种液晶面板及其制造方法，该液晶面板能够通过对准误差防止坐标检测故障，提高输入灵敏度，有效检测用户选择的输入位置及其制造方法。为了实现上述技术任务，详细描述。并且本发明提供的LCD面板包括垂直于用于触摸的间隔物的第二方向，在第一基板上形成公共电极，形成在间隔物上，用于触摸形成在面对第一基板的第二基板上的第一触摸导线第一方向，第一触摸导线第一和第二接触电极通过用于形成的第二触摸导线的隔离物与公共电极接触并触摸它形成具有相同的高度，其连接到第一和第二触摸导电线。

