



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0117307
(43) 공개일자 2007년12월12일

(51) Int. Cl.

G02F 1/1343 (2006.01)

(21) 출원번호 10-2006-0051405

(22) 출원일자 2006년06월08일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

김재현

경기 수원시 영통구 영통동 972-2 벽적골 주공아파트 845동 501호

이승규

경기 수원시 영통구 망포동 485-4번지 2층 202호

여용석

충북 제천시 청전동 두진백로아파트 201동 1502호

(74) 대리인

조희원

전체 청구항 수 : 총 5 항

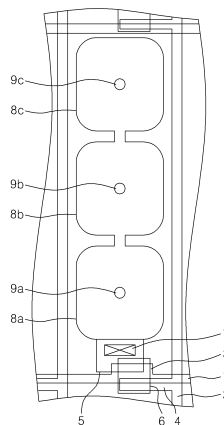
(54) 액정표시패널

(57) 요약

본 발명은 다중 도메인을 형성하여 개구율 및 응답속도가 향상된 수직배향 모드의 액정표시패널에 관한 것이다.

본 발명은 하나의 화소 전극부 내에 제 1 및 제 2 화소 전극이 형성된 제 1 기판 및 상기 제 1 및 제 2 화소 전극 각각의 중앙과 중첩되어 형성된 제 1 및 제 2 절개 패턴을 가지는 공통 전극을 포함하며 상기 제 1 기판과 액정을 사이에 두고 마주보는 제 2 기판을 구비하며, 상기 제 1 및 제 2 절개 패턴의 가로에 대한 세로의 비율은 상기 제 1 및 제 2 화소 전극의 가로에 대한 세로의 비율과 대비하여 $\pm 30\%$ 범위를 갖는 액정표시패널을 제공한다.

대표도 - 도1



특허청구의 범위

청구항 1

하나의 화소 전극부 내에 제 1 및 제 2 화소 전극이 형성된 제 1 기판; 및

상기 제 1 및 제 2 화소 전극 각각의 중앙과 중첩되어 형성된 제 1 및 제 2 절개 패턴을 가지는 공통 전극을 포함하며 상기 제 1 기판과 액정을 사이에 두고 마주보는 제 2 기판을 구비하며,

상기 제 1 및 제 2 절개 패턴의 가로에 대한 세로의 비율은 상기 제 1 및 제 2 화소 전극의 가로에 대한 세로의 비율과 대비하여 $\pm 30\%$ 범위를 갖는 것을 특징으로 하는 액정표시패널.

청구항 2

제 1항에 있어서,

상기 액정은 수직배향 되는 것을 특징으로 하는 액정표시패널.

청구항 3

제 1항에 있어서,

상기 화소 전극부는 상기 제 1 및 제 2 화소 전극을 연결하는 제 1 연결 전극을 포함하는 것을 특징으로 하는 액정표시패널.

청구항 4

제 3항에 있어서,

상기 제 1 연결 전극에서 돌출되어 드레인 전극과 접속된 제 2 연결 전극을 더 포함하는 것을 특징으로 하는 액정표시패널.

청구항 5

제 1 항에 있어서,

상기 제 1 및 제 2 절개 패턴은 타원형 및 다각형 중 적어도 어느 하나의 형태로 형성되는 것을 특징으로 하는 액정표시패널.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <21> 본 발명은 액정표시패널에 관한 것으로, 다중 도메인을 형성하여 개구율 및 응답속도가 향상된 수직배향 모드의 액정표시패널에 관한 것이다.
- <22> 일반적으로 액정표시패널은 각 화소를 스위칭하는 박막 트랜지스터(Thin Film Transistor : TFT)가 형성된 박막 트랜지스터 기판과, 공통전극이 형성되어 이에 대향하는 칼라필터 기판과, 두 기판 사이에 밀봉된 액정으로 구성된다. 액정표시패널은 액정에 전계를 인가하여 광의 투과율을 제어함으로써 화상을 표시한다.
- <23> 액정표시패널은 액정에 의하여 차폐되지 않은 방향으로만 광이 투과하여 영상을 구현하기 때문에, 상대적으로 다른 표시장치에 비해 시야각이 좁은 단점이 있다. 이에 따라 광시야각을 실현하기 위하여 수직 배향(Vertically Aligned : 이하 "VA"라 함)모드의 액정표시패널이 개발되었다.
- <24> VA모드의 액정표시패널은 대향하는 면에 수직배향 처리된 2개의 기판과, 두 기판 사이에 밀봉된 네거티브 타입의 유전율 이방성(Negative Type Dielectric Constant Anisotropy)을 갖는 액정으로 구성된다. 동작시, 두 기판 사이에 전압이 인가되지 않을 때에는 기판 표면에 대하여 대략 수직 방향으로 정렬되어 블랙(Black)을 표시

하고, 소정의 전압이 인가될 때에는 기관 표면에 대하여 대략 수평 방향으로 정렬되어 화이트(White)를 표시하며, 화이트 표시를 위한 전압보다 작은 전압이 인가되었을 때에는 기관 표면에 대하여 비스듬하게 경사지도록 배향되어 그레이(gray)를 표시한다.

- <25> 이때, VA모드의 액정표시패널은 하나의 도메인으로 구성되어 액정의 거동이 한 방향으로만 이루어 지기 때문에 화이트 및 그레이 상태에서의 시야각에 따른 휘도 및 색 변화를 효과적으로 보상하기 어렵다. 이러한, 한계를 극복하기 위해 다중-도메인을 정의하는 PVA(Patterned Vertical Alignment)모드가 제안되었다.
- <26> 여기서, PVA모드는 하나의 화소 영역을 여러개의 도메인으로 분할하고, 분할된 도메인에 따라 액정을 배향시켜 시야각을 향상시킨다. PVA모드는 박막 트랜지스터 기관의 화소 전극에 절개 패턴을 형성하고 칼라 필터 기관의 공통 전극에 또 다른 절개 패턴을 형성한 후 박막 트랜지스터 기관과 칼라 필터 기관에 각각 형성된 절개 패턴을 엇갈려 배치함으로써 절개 패턴의 가장자리에서 발생하는 프린지 필드(Fringe Field)를 액정에 인가한다.
- <27> 도 1 은 종래의 액정표시패널을 개략적으로 도시한 평면도이다.
- <28> 도 1을 참조하면, 액정표시패널은 화소 전극(8a,8b,8c) 형성된 박막 트랜지스터 기관과, 액정을 사이에 두고 박막 트랜지스터 기관의 화소 전극(8a,8b,8c)에 대응되는 절개 패턴(9a,9b,9c)이 형성된 공통 전극을 구비한 칼라 필터 기관을 포함한다.
- <29> 박막 트랜지스터 기관은 게이트 라인(1) 및 게이트 전극(3), 데이터 라인(2) 및 소스 전극(4), 드레인 전극(5), 드레인 전극(5)에 컨택홀(7)로 접속된 화소 전극(8a,8b,8c)을 포함한다.
- <30> 여기서, 액정표시패널은 패터닝된 화소 전극(8a,8b,8c)과, 화소 전극(8a,8b,8c)에 대응하는 공통 전극의 절개 패턴(9a,9b,9c)으로 정의되는 도메인을 포함한다. 그리고, 액정표시패널은 도메인에서 프린지 필드를 형성하는 PVA모드로 형성된다.
- <31> 이때, PVA모드는 3부분의 화소 전극(8a,8b,8c)과 3개의 절개패턴(9a,9b,9c)으로 3부분의 도메인을 형성하여 시야각을 향상시킨다.
- <32> 그러나, 3부분의 도메인으로 분할된 PVA모드는 도메인과 도메인 사이의 비표시 영역이 증가하여 개구율이 좋지 못하다.

발명이 이루고자 하는 기술적 과제

- <33> 본 발명이 이루고자 하는 기술적 과제는, 다중 도메인을 형성하여 개구율 및 응답속도가 향상된 PVA모드의 액정 표시패널을 제공하는데 있다.

발명의 구성 및 작용

- <34> 상기 목적을 달성하기 위하여, 본 발명은 하나의 화소 전극부 내에 제 1 및 제 2 화소 전극이 형성된 제 1 기관 및 상기 제 1 및 제 2 화소 전극 각각의 중앙과 중첩되어 형성된 제 1 및 제 2 절개 패턴을 가지는 공통 전극을 포함하며 상기 제 1 기관과 액정을 사이에 두고 마주보는 제 2 기관을 구비하며, 상기 제 1 및 제 2 절개 패턴의 가로에 대한 세로의 비율은 상기 제 1 및 제 2 화소 전극의 가로에 대한 세로의 비율과 대비하여 $\pm 30\%$ 범위를 갖는 액정표시패널을 제공한다.
- <35> 더 자세히는, 상기 액정은 수직배향된다.
- <36> 그리고, 상기 화소 전극부는 상기 제 1 및 제 2 화소 전극을 연결하는 제 1 연결 전극을 포함한다.
- <37> 또한, 상기 화소 전극부는 상기 제 1 연결 전극에서 돌출되어 드레인 전극과 접속된 제 2 연결 전극을 더 포함한다.
- <38> 그리고, 상기 제 1 및 제 2 절개 패턴은 타원형 및 다각형 중 적어도 어느 하나의 형태로 형성된다.
- <39> 상기 기술적 과제 외에 본 고안의 다른 기술적 과제 및 특징들은 첨부도면을 참조한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.
- <40> 이하, 도면을 참조하여 본 발명의 바람직한 실시 예에 대하여 상세하게 설명한다.
- <41> 도 2는 본 발명의 실시 예에 따른 액정표시패널을 도시한 평면도이고, 도 3은 도 2에 도시된 액정표시패널을 I-I'선을 따라 절단한 단면을 도시한 단면도이다.

- <42> 도 2 및 도 3을 참조하면, 본 발명에 따른 액정표시패널은 하나의 화소 전극부(200) 내에 제 1 및 제 2 화소 전극(201,202)이 형성된 제 1 기관(10) 및 제 1 및 제 2 화소 전극(201,202) 각각의 중앙과 중첩되어 형성된 제 1 및 제 2 절개 패턴(331,332)을 가지는 공통 전극(321)을 포함하며 제 1 기관(10)과 액정(20)을 사이에 두고 마주보는 제 2 기관(30)을 구비하며, 제 1 및 제 2 절개 패턴(331,332)의 가로에 대한 세로의 비율은 제 1 및 제 2 화소 전극(201,202)의 가로에 대한 세로의 비율과 대비하여 $\pm 30\%$ 범위를 갖는다.
- <43> 구체적으로, 액정(20)은 제 1 기관(10)의 화소 전극부(200)로부터의 데이터 전압과, 제 2 기관(30)의 공통 전극(321)으로부터의 공통 전압의 차이에 의해 회전하여 백라이트 어셈블리로부터 공급되는 광의 투과율을 조절한다. 여기서, 액정(20)은 음의 유전율을 갖는 수직배향 된 액정(20)을 사용한다.
- <44> 제 1 기관(10)은 서로 교차되게 형성된 게이트 라인(100) 및 데이터 라인(110)과, 게이트 라인(100) 및 데이터 라인(110)의 교차로 정의되는 화소 영역(미도시)과, 각각의 화소 영역에 형성된 박막 트랜지스터(50)와, 게이트 라인(100)에 대해 나란하게 형성된 유지 전극 라인(105) 및 유지 전극 라인(105)에 접속된 유지 전극(107)과, 유지 전극(107)과 중첩되어 유지 전압을 생성하며 박막 트랜지스터(50)와 연결된 드레인 전극(121)과, 박막 트랜지스터(50) 및 드레인 전극(121)을 덮도록 형성됨과 아울러 절연을 위한 보호막(183)과, 드레인 전극(121)에 접속되며 화소 영역을 2부분으로 분할하는 화소 전극부(200)를 포함한다.
- <45> 게이트 라인(100)은 크롬(Cr), 알루미늄(Al), 몰리브덴(Mo), 은(Ag) 등의 단일 또는 이들의 합금을 사용한다. 이러한, 게이트 라인(100)은 단일층 또는 다중층으로 형성된다.
- <46> 데이터 라인(110)은 크롬(Cr), 알루미늄(Al), 몰리브덴(Mo), 은(Ag), 티타늄(Ti) 등의 단일 또는 이들의 합금을 사용한다. 이러한, 데이터 라인(110)은 단일층 또는 다중층으로 형성된다.
- <47> 박막 트랜지스터(50)는 게이트 전극(101), 게이트 절연막(181), 활성층(173), 오믹 접촉층(171), 소스 전극(111) 및 드레인 전극(121)으로 형성된다.
- <48> 게이트 전극(101)은 게이트 라인(100) 상에 형성되고, 게이트 전극(101)의 일부가 게이트 라인(100)에서 돌출되게 형성된다. 게이트 전극(101)은 게이트 라인(100)으로부터 게이트 온/오프 전압을 사용하여 박막 트랜지스터(50)를 턴온/턴오프시킨다.
- <49> 게이트 절연막(181)은 게이트 라인(100) 및 게이트 전극(101)의 상부에 SiNx 또는 SiOx 등의 물질로 증착하여 형성되어 게이트 라인(100) 및 게이트 전극(101)을 절연시킨다.
- <50> 활성층(173)은 비정질 실리콘으로 형성되어 박막 트랜지스터(50)의 채널을 형성한다. 오믹 접촉층(171)은 소스 전극(111) 및 드레인 전극(121)과 활성층(173)의 오믹접촉을 위해 형성된다.
- <51> 소스 전극(111)은 데이터 라인(110)과 동일 재질로 데이터 라인(110)의 일측에서 돌출되어 형성된다. 소스 전극(111)은 박막 트랜지스터(50)가 턴온될 때 데이터 라인(110)으로부터의 데이터 전압을 박막 트랜지스터(50)의 채널을 경유하여 드레인 전극(121)에 공급한다.
- <52> 드레인 전극(121)은 데이터 라인(110)과 동일 재질로 일측이 소스 전극(111)과 마주보게 형성된다. 또한, 드레인 전극(121)의 타측은 게이트 절연막(181)을 사이에 두고 후술할 유지 전극(107)의 상부에 중첩되게 형성된다. 드레인 전극(121)은 소스 전극(111)으로부터 전달되는 데이터 전압을 화소 전극부(200)에 공급한다.
- <53> 보호막(183)은 절연을 위해 SiNx 또는 SiOx 등과 같은 무기물질로 형성되거나, 아크릴, 폴리이미드 또는 BCB(Benzocyclobutene) 등과 같은 유기물질로 형성된다. 보호막(183)은 박막 트랜지스터(50)와 게이트 절연막(181)을 덮도록 형성되고, 박막 트랜지스터(50)와 화소 전극부(200)를 절연시킨다.
- <54> 화소 전극부(200)는 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)와 같은 투명한 금속으로 보호막(183)의 상부에 형성되어 컨택홀(151)을 통해 드레인 전극(121)과 접속한다. 그리고, 화소 전극부(200) 드레인 전극(121)으로부터 공급되는 데이터 전압을 통해 후술될 공통 전극(321)과 전계를 형성하여 액정(20)을 구동한다.
- <55> 여기서, 화소 전극부(200)는 개구율이 향상되고 응답속도가 빠른 2개의 도메인으로 분할하기 위해 제 1 및 제 2 화소 전극(201,202)으로 분할된다. 분할된 제 1 및 제 2 화소 전극(201,202)은 긴 직사각형의 화소 영역의 중앙을 가로방향으로 분할하여 타원 형태의 동일한 크기로 형성된다. 그리고, 화소 전극부(200)에는 제 1 및 제 2 화소 전극(201,202)을 연결하는 제 1 연결 전극(203)이 형성된다. 또한, 화소 전극부(200)는 제 1 연결 전극(203)에서 돌출된 제 2 연결 전극(204)을 더 포함한다.
- <56> 제 2 연결 전극(204)은 제 1 연결 전극(203)의 양쪽에 각각 돌출되어 형성되며, 박막 트랜지스터(50)의 데이터

전압을 공급하기 위하여 드레인 전극(121)과 접속된다. 여기서, 제 2 연결 전극(204)은 컨택홀(151)을 통해 드레인 전극(121)에 접속된다. 제 2 연결 전극(204)은 드레인 전극(121)으로부터 데이터 전압과 유지 전압을 공급받아 제 1 연결 전극(203)을 통해 제 1 및 제 2 화소 전극(201,202) 각각에 데이터 전압과 유지 전압을 전달한다.

<57> 유지 전극 라인(105)은 게이트 라인(100)과 동일 재질로 형성되며, 게이트 라인(100)에 나란하게 형성된다. 유지 전극(107)은 유지 전극 라인(105)에 접속되며 드레인 전극(121)과의 전압차에 의해 유지 전압을 생성한다. 여기서, 유지 전극(107)은 제 1 화소 전극(201)과 제 2 화소 전극(202)의 사이에 형성된다. 유지 전극(107)에서 생성된 유지 전압은 화소 전극부(200)가 다음 데이터 전압을 공급받기 전까지 액정(20)에 인가되는 전계를 유지하도록 한다. 이렇게 유지 전극(107)이 화소 영역의 중앙에 형성되어 개구율이 향상된다.

<58> 제 2 기관(30)은 빔샘 방지를 위해 형성된 블랙 매트릭스(311)와, 색구현을 위해 형성된 칼라 필터(301)와, 블랙 매트릭스(311)와 칼라 필터(301)의 크로스 오버 영역에서 발생하는 단차를 제거하기 위한 오버코트(341) 및 액정에 공통 전압을 인가하기 위한 공통 전극(321)을 포함한다.

<59> 블랙 매트릭스(311)는 액정(20)을 제어할 수 없는 영역을 통해 광이 출광되는 것을 막기 위해 제 1 기관(10)의 박막 트랜지스터(50), 게이트 라인(100), 데이터 라인(110) 및 유지 전극 라인(105)과 중첩되어 형성된다. 이를 위해, 블랙 매트릭스(311)는 불투명한 유기물질 또는 불투명한 금속으로 형성된다.

<60> 칼라 필터(301)는 블랙 매트릭스(311)의 하부에 형성되고, 색을 구현하기 위해 적색, 녹색 및 청색 칼라 필터를 구비한다. 적색, 녹색 및 청색 칼라 필터(301)는 각각 자신이 포함하고 있는 적색, 녹색 및 청색안료를 통해 특정 파장의 광을 흡수 또는 투과시킴으로써 적색, 녹색 및 청색을 띄게 된다. 이때, 적색, 녹색 및 청색 칼라 필터(301)를 각각 투과한 적색, 녹색 및 청색광의 가법혼색을 통해 다양한 색상이 구현된다.

<61> 오버코트(341)는 투명한 유기물질로 형성되며 칼라 필터(301)와 블랙 매트릭스를 보호하며, 공통 전극(321)의 양호한 스텝 커버리지(Step Coverage) 및 절연을 위해 형성된다.

<62> 공통 전극(321)은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)와 같은 투명한 금속으로 형성된다. 그리고, 공통 전극(321)은 공통 전압 발생부로부터 공급된 공통 전압과 화소 전극부(200)의 데이터 전압과의 전압차로 형성된 전계를 액정(20)에 인가한다.

<63> 여기서, 공통 전극(321)은 도메인을 다중으로 분할하기 위해 제 1 기관(10)의 제 1 및 제 2 화소 전극(201,202)에 대응되게 제 1 및 제 2 절개 패턴(331,332)을 형성한다. 제 1 및 제 2 절개 패턴(331,332)은 제 1 및 제 2 화소 전극(201,202)의 중앙에 중첩되게 형성한다. 이때, 제 1 절개 패턴(331)과 제 1 화소 전극(201)에 의해 제 1 도메인이 정의되고, 제 2 절개 패턴(332)과 제 2 화소 전극(202)에 의해 제 2 도메인이 정의된다. 제 1 및 제 2 절개 패턴(331,332)은 이들의 가장자리와 제 1 및 제 2 화소 전극(201,202)의 가장자리에 프린지 필드가 강하게 형성된다. 따라서, 프린지 필드가 형성된 제 1 및 제 2 절개 패턴(331,332)의 가장자리와 제 1 및 제 2 화소 전극(201,202)의 가장자리에서부터 내측으로 순차적으로 액정(20)이 구동된다.

<64> 여기서, 액정(20)의 응답속도를 향상하기 위하여 제 1 및 제 2 절개 패턴(331,332)의 가장자리와 제 1 및 제 2 화소 전극(201,202)의 가장자리 사이에서 동일한 전계가 형성되도록 해야한다. 이를 위해, 제 1 및 제 2 절개 패턴(331,332)의 형태는 가로에 대한 세로의 비율이 제 1 및 제 2 화소 전극(201,202)의 가로에 대한 세로의 비율에 대비하여 $\pm 30\%$ 범위로 형성된다. 예를 들어, 제 1 및 제 2 화소 전극(201,202)은 가로에 대한 세로의 비율이 150%의 형태로 형성된다면 제 1 및 제 2 절개 패턴(331,332)은 가로에 대한 세로의 비율이 120% 내지 180%인 형태로 형성된다. 여기서, 제 1 및 제 2 절개 패턴(331,332)은 가로에 대한 세로의 비율에서 $\pm 30\%$ 범위의 공정 마진을 갖는다. 한편, 제 1 및 제 2 절개 패턴(331,332)은 가로에 대한 세로의 비율이 제 1 및 제 2 화소 전극(201,202)의 가로에 대한 세로의 비율에 대비하여 120% 이하로 형성된다면, 제 1 및 제 2 절개 패턴(331,332)은 세로 방향에 비해 가로 방향으로 제 1 및 제 2 화소 전극(201,202)에 가까운 형태로 형성된다. 그리고, 제 1 및 제 2 절개 패턴(331,332)은 가로에 대한 세로의 비율이 제 1 및 제 2 화소 전극(201,202)의 가로에 대한 세로의 비율에 대비하여 180% 이상으로 형성된다면, 제 1 및 제 2 절개 패턴(331,332)은 가로 방향에 비해 세로 방향으로 제 1 및 제 2 화소 전극(201,202)에 가까운 형태로 형성된다. 따라서, 제 1 및 제 2 화소 전극(201,202)과 제 1 및 제 2 절개 패턴(331,332) 각각에 형성되는 전계는 가로 및 세로 방향에 따라 다르게 형성되어 응답속도의 향상 효과를 기대하기 어렵다.

<65> 이러한, 제 1 및 제 2 절개 패턴(331,332)은 제 1 및 제 2 화소 전극(201,202) 각각의 모양과 유사하도록 형성된다. 예를 들어, 제 1 및 제 2 화소 전극(201,202)이 타원형의 형태로 형성되면 제 1 및 제 2 절개 패턴

(331,332)도 타원형의 형태로 형성된다. 그리고, 제 1 및 제 2 화소 전극(201,202)이 다각형의 형태로 형성되면 제 1 및 제 2 절개 패턴(331,332)도 다각형의 형태로 형성된다.

<66> 도 4a 내지 도 4e는 본 발명의 실시 예에 따른 제 1 기관의 제조방법을 설명하기 위한 단면도이다.

<67> 도 4a를 참조하면, 유리나 세라믹 등의 절연 물질로 이루어진 제 1 기관(10) 위에 크롬(Cr), 알루미늄(Al), 몰리브덴(Mo), 은(Ag)과 같은 단일 금속 또는 합금을 스퍼터링 또는 화학기상증착(CVD) 방법을 사용하여 증착하고, 게이트 전극(101), 유지 전극(107) 및 게이트 라인(100)을 포함하는 게이트 패턴을 형성한다.

<68> 구체적으로, 제 1 기관(30) 상에 증착된 금속을 패터닝하여 게이트 라인(100)을 형성한다. 그리고, 박막 트랜지스터(50)를 정의하기 위해 게이트 라인(100)에서 돌출된 게이트 전극(101)을 형성한다. 또한, 게이트 라인(100)과 나란하게 유지 전극 라인(105)을 형성하고, 유지 전극 라인(105)과 접속되는 유지 전극(107)을 형성한다. 여기서, 유지 전극(107)은 화소 영역의 중앙에 가로방향으로 길게 형성된다.

<69> 다음으로, 도 4b에 도시된 바와 같이 게이트 패턴이 형성된 제 1 기관(30) 전면에서 SiNx 등을 플라즈마 화학 기상 증착법으로 적층하여 게이트 절연막(181), 활성층(173), 오믹 접촉층(171)을 형성하고, 크롬(Cr), 알루미늄(Al), 몰리브덴(Mo), 은(Ag), 티타늄(Ti)과 같은 단일 또는 이들의 합금 등의 금속을 증착하여 소스 전극(111), 드레인 전극(121) 및 데이터 라인(110)을 포함하는 데이터 패턴층을 형성한다.

<70> 구체적으로, 게이트 패턴층 상부에 게이트 절연막(181)을 형성한다. 그리고, 게이트 절연막(181) 위에 비정질 실리콘막을 형성하고, 박막 트랜지스터(50)를 형성하기 위해 활성층(173) 및 오믹 접촉층(50)을 형성한다. 게이트 절연막(181), 활성층(173) 및 오믹 접촉층(50)이 형성된 상부에 크롬(Cr), 알루미늄(Al), 몰리브덴(Mo), 은(Ag), 티타늄(Ti)등의 금속을 증착한 후, 마스크를 이용하여 패터닝하여 박막 트랜지스터(50), 소스 전극(111), 드레인 전극(121) 및 데이터 라인(110)을 형성한다. 여기서, 소스 전극(111)은 데이터 라인(110)으로부터 돌출되게 패터닝한다. 그리고, 드레인 전극(121)은 그 일측이 게이트 전극(101)과 중첩되어 형성되며, 타측은 유지 전극(107)과 중첩되게 형성된다. 유지 전극(107)과 게이트 라인(100)과의 중첩을 위해 드레인 전극(121)은 제 1 화소 전극(201)의 중앙으로 데이터 신호가 전송되는 신호 라인이 더 형성된다.

<71> 다음으로, 도 4c를 참조하면, 박막 트랜지스터(50) 및 데이터 라인(110)의 상부에 스피ن 코팅 방법으로 박막 트랜지스터(50) 및 데이터 라인(110)을 보호하고 절연시키는 보호막(183)을 형성한다. 그리고, 보호막(183)의 일부 영역을 제거하여 드레인 전극(121)의 일부 영역을 노출시키는 컨택홀(151)을 형성한다.

<72> 다음으로, 도 4d 및 4e에 도시된 바와 같이 보호막(183)의 상부에 화소 전극부(200)를 형성한다. 여기서, 화소 전극부(200)는 화소 영역을 분할하여 제 1 및 제 2 화소 전극(201,202)을 형성한다. 그리고, 화소 전극부(200)는 제 1 및 제 2 화소 전극(201,202)을 연결하는 제 1 연결 전극(203)을 형성한다. 또한, 화소 전극부(200)는 제 1 연결 전극에서 돌출되어 컨택홀(151)을 통해 드레인 전극(121)과 접속하는 제 2 연결 전극(204)을 형성한다.

<73> 여기서, 화소 전극부(200)는 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 같은 투명한 도전성 물질로 형성될 수 있다. 화소 전극부(200)는 전면 도포 후 화소 영역 내에서 2부분으로 분할되는 형태로 패터닝할 수도 있고, 제 1 및 제 2 화소 전극(201,202)만 형성되도록 부분 도포될 수도 있다.

<74> 도 5a 및 도 5b는 본 발명의 실시 예에 따른 제 2 기관의 제조방법을 설명하기 위한 단면도이다.

<75> 제 2 기관(30)은 제조공정상 도 3에 도시된 제 2 기관(30) 상의 상부에서부터 하부로 형성된다.

<76> 도 5a에 도시된 바와 같이, 제 2 기관(30) 위에 불투명한 유기물질 또는 불투명한 금속을 도포한 후 포토리소그래피 또는 패터닝하여 블랙 매트릭스(311)를 형성한다. 그리고, 블랙 매트릭스(311)를 형성한 후 색상을 구현하기 위해 칼라 필터(301)를 형성한다. 칼라 필터(301)는 포토리소그래피 방법으로 칼라 필터(301)의 Red, Green, Blue 순서로 형성한다.

<77> 다음으로, 도 5b에 도시된 바와 같이, 칼라 필터(301)의 보호와 공통 전극(321) 형성시 양호한 스텝 커버리지를 위해 칼라 필터(301) 표면에 오버코트(341)를 형성한다. 오버코트(341)는 아크릴 수지 등을 스피ن 코팅의 방법으로 형성한다. 그리고, 오버코트(341)의 상부에 공통 전극(321)을 형성한다.

<78> 구체적으로, 공통 전극(321)은 ITO 또는 IZO와 같은 투명한 도전성 물질로 형성된다. 그리고, 공통 전극(321)은 도메인을 다중으로 분할하기 위해 제 1 기관(10)의 제 1 및 제 2 화소 전극(201,202)에 대응되게 제 1 및 제 2 절개 패턴(331,332)을 형성한다. 제 1 및 제 2 절개 패턴(331,332)은 제 1 및 제 2 화소 전극(201,202)의 중

안에 중첩되게 형성한다. 이때, 제 1 절개 패턴(331)과 제 1 화소 전극(201)에 의해 제 1 도메인이 형성되고, 제 2 절개 패턴(332)과 제 2 화소 전극(202)에 의해 제 2 도메인이 형성된다.

<79> 그리고, 공통 전극(321)은 액정(20)의 응답속도를 향상하기 위해 제 1 및 제 2 절개 패턴(331,332)의 가로에 대한 세로의 비율이 제 1 및 제 2 화소 전극(201,202)의 가로에 대한 세로의 비율에 대비하여 $\pm 30\%$ 범위를 갖도록 형성한다.

<80> 이러한, 제 1 및 제 2 절개 패턴(331,332)은 제 1 및 제 2 화소 전극(201,202) 각각의 모양과 유사하도록 형성한다. 예를 들어, 제 1 및 제 2 화소 전극(201,202)이 타원형의 형태로 형성하면 제 1 및 제 2 절개 패턴(331,332)도 타원형의 형태로 형성한다. 그리고, 제 1 및 제 2 화소 전극(201,202)이 다각형의 형태로 형성하면 제 1 및 제 2 절개 패턴(331,332)도 다각형의 형태로 형성한다.

발명의 효과

<81> 상술한 바와 같이, 본 발명에 따른 액정표시패널은 도메인을 2부분으로 분할함으로써 시야각을 향상시키고, 도메인과 도메인 사이의 비표시 영역을 축소하여 개구율을 향상시킨다. 그리고, 분할된 화소 전극의 중앙과 증착되게 공통 전극의 절개 패턴을 형성하고, 절개 패턴의 가장자리에서부터 화소 전극의 가장자리 각 부분까지 일정한 거리를 유지시켜 전계를 형성함으로써 응답속도를 향상시킨다.

<82> 이상에서 설명한 본 발명의 상세한 설명에서는 본 발명의 바람직한 실시 예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술 분야에 통상의 지식을 갖는 자라면, 후술된 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

<83> 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

<1> 도 1 은 종래의 액정표시패널을 개략적으로 도시한 평면도이다.

도 2는 본 발명의 실시 예에 따른 액정표시패널을 도시한 평면도이다.

<3> 도 3은 도 2에 도시된 액정표시패널을 I-I'선을 따라 절단한 단면을 도시한 단면도이다.

<4> 도 4a 내지 도 4e는 본 발명의 실시 예에 따른 제 1 기관의 제조방법을 설명하기 위한 단면도이다.

<5> 도 5a 및 도 5b는 본 발명의 실시 예에 따른 제 2 기관의 제조방법을 설명하기 위한 단면도이다.

<6> <도면의 주요부분에 대한 부호설명>

<7> 10: 제 1 기판 20: 액정

<8> 30: 제 2 기판 50: 박막 트랜지스터

<9> 100: 게이트 라인 101: 게이트 전극

<10> 105: 유지 전국 라인 107: 유지 전국

<11> 110: 데이터 라인 111: 소스 전극

<12> 121: 드레인 전극 151: 컨택홀

<13> 171: 오믹 접촉층 173: 활성층

<14> 181: 게이트 절연막 183: 보호막

<15> 200: 화소 전극부 201: 제 1 화소 전극

<16> 202: 제 2 화소 전극 203: 제 1 연결 전극

<17> 204: 제 2 연결 전극 301: 칼라 필터

<18> 311: 블랙 매트릭스 321: 공통 전극

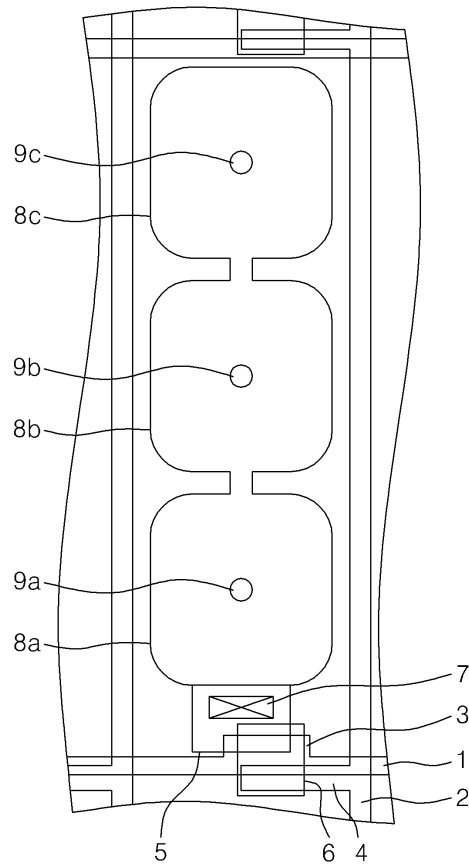
<19> 331: 제 1 절개 패턴

332: 제 2 절개 패턴

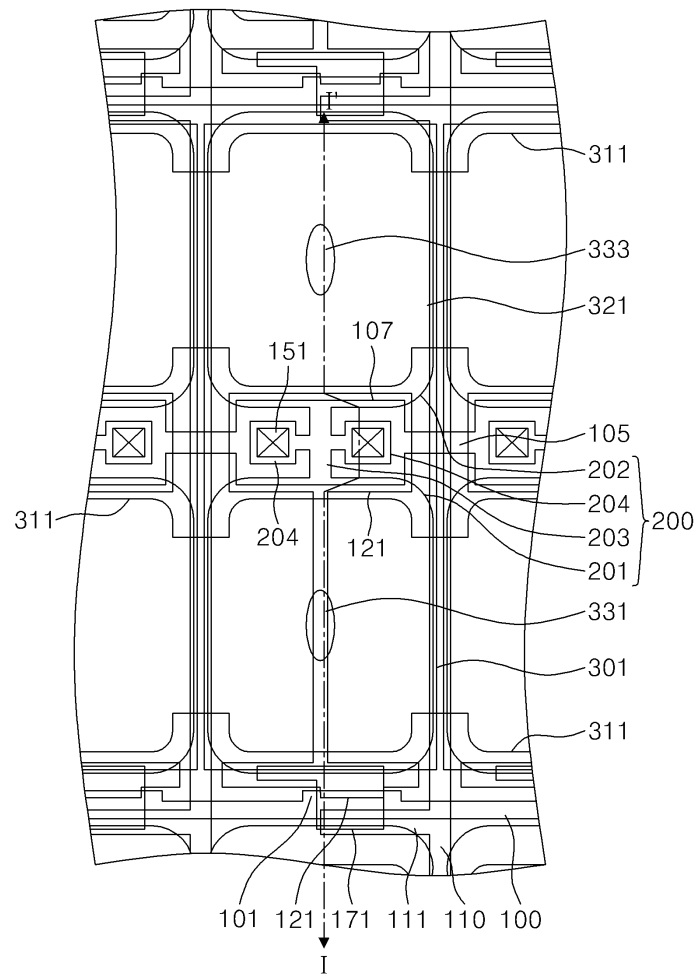
<20> 341: 오버코트

도면

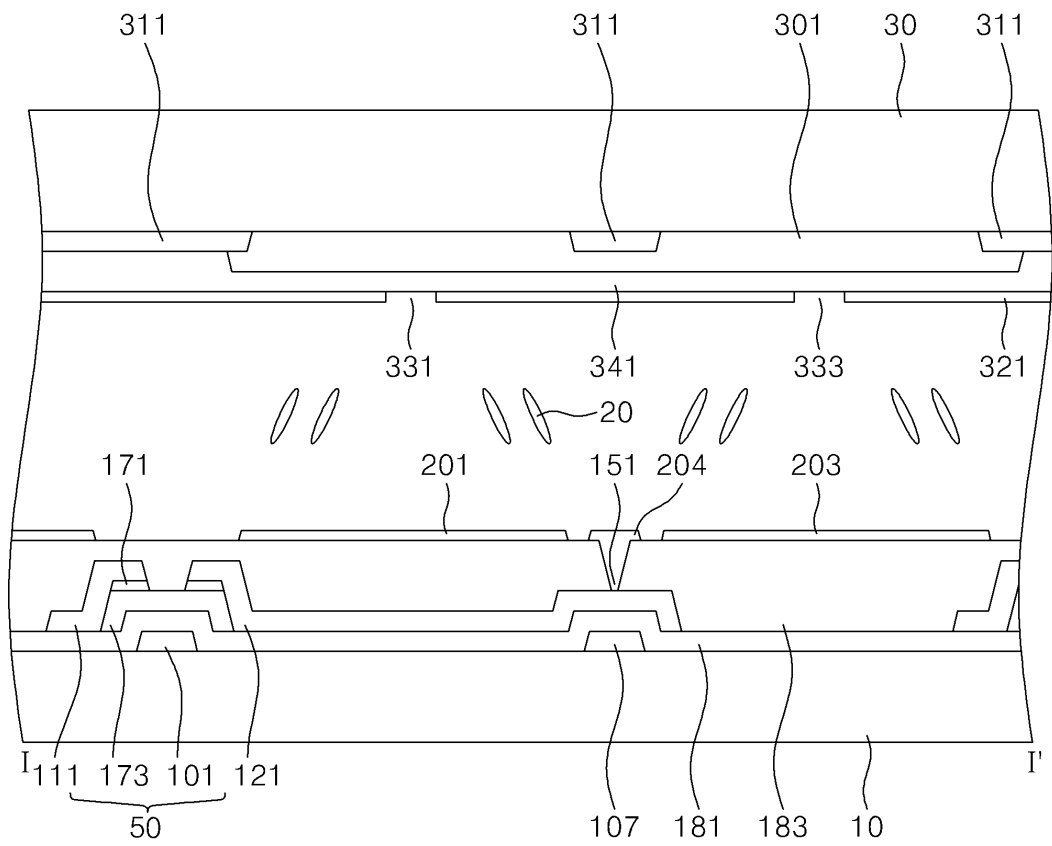
도면1



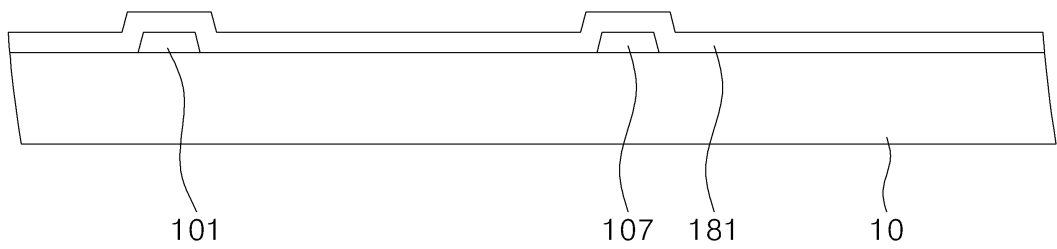
도면2



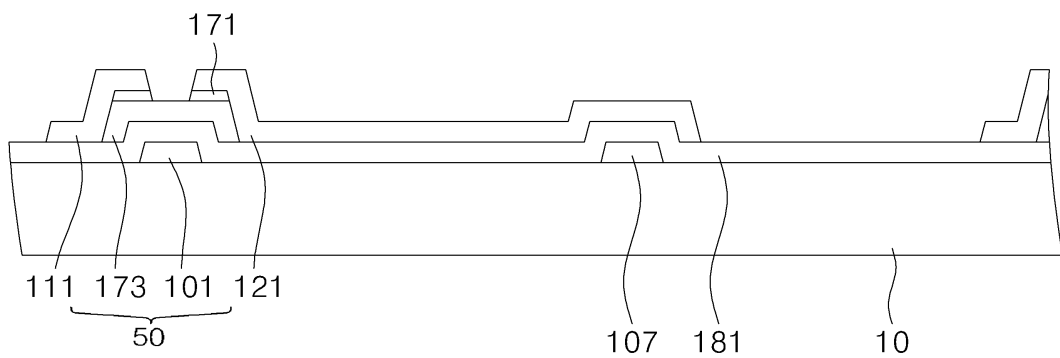
도면3



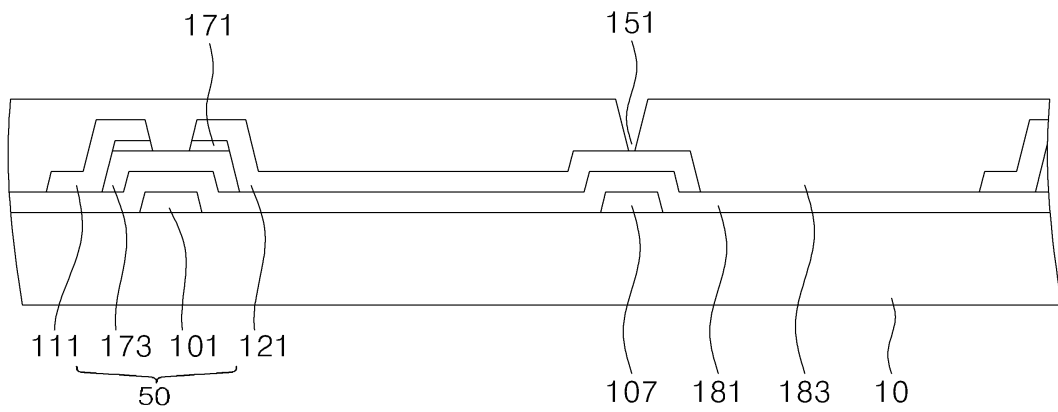
도면4a



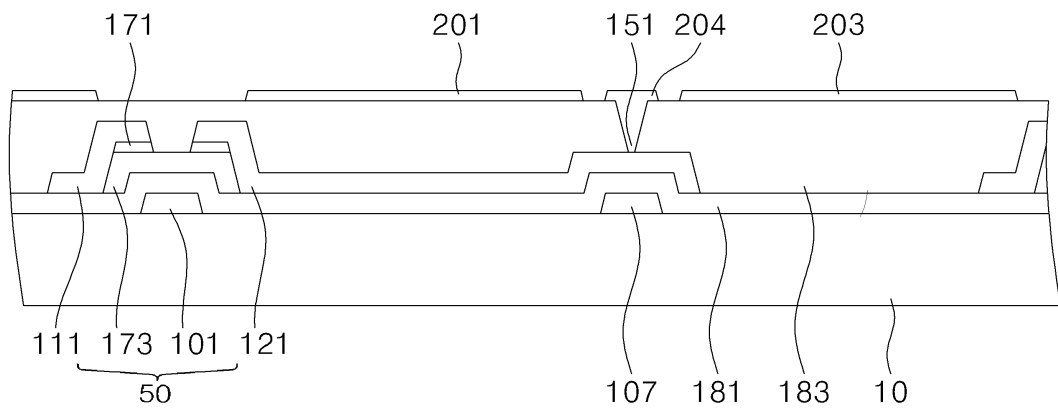
도면4b



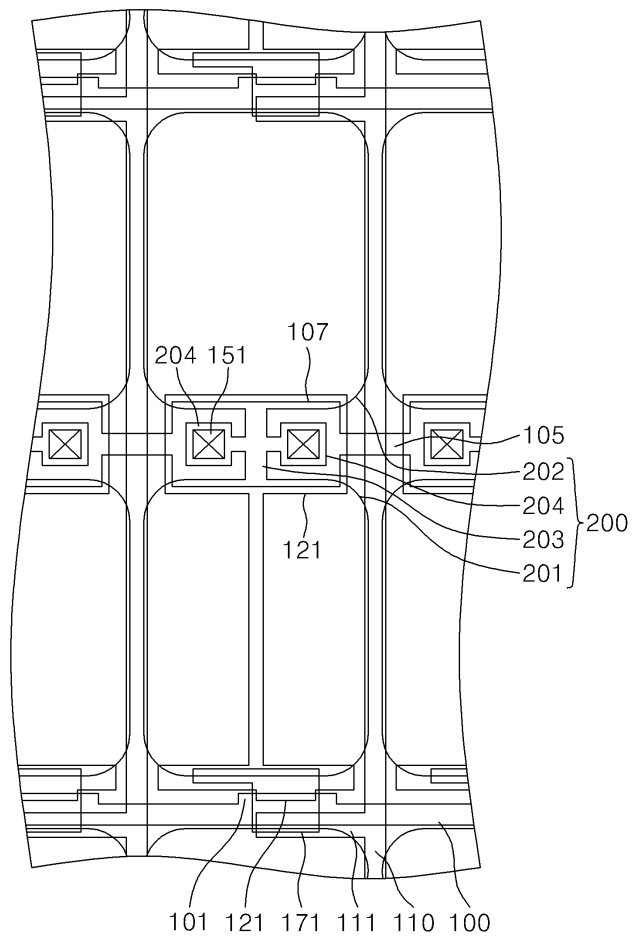
도면4c



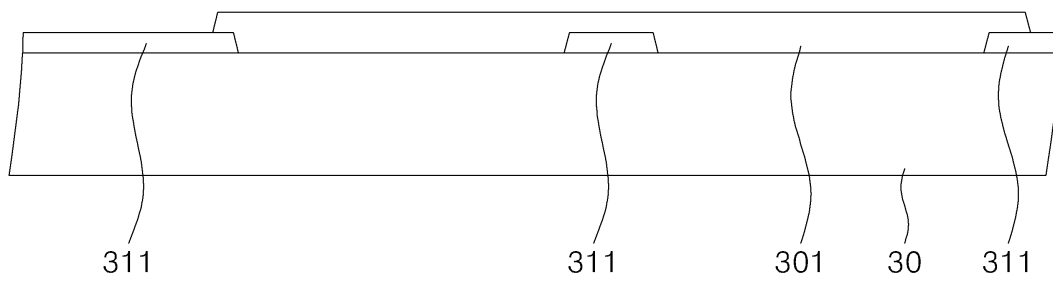
도면4d



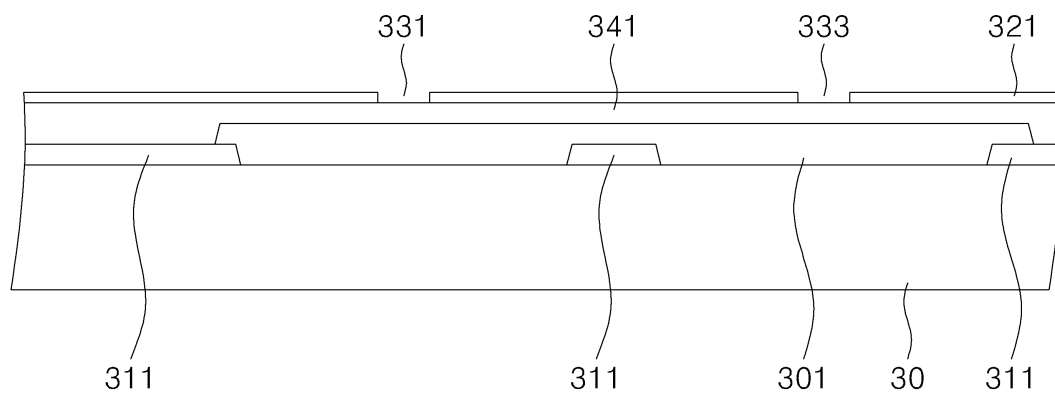
도면4e



도면5a



도면5b



专利名称(译)	液晶显示面板		
公开(公告)号	KR1020070117307A	公开(公告)日	2007-12-12
申请号	KR1020060051405	申请日	2006-06-08
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	KIM JAE HYUN 김재현 LEE SEUNG KYU 이승규 YEO YONG SUK 여용석		
发明人	김재현 이승규 여용석		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/136209 G02F1/134336 G02F2001/133742 G09G2320/0252		
代理人(译)	SE JUN OH KWON , HYUK SOO 宋 , 云何		
外部链接	Espacenet		

摘要(译)

本发明涉及垂直配向模式的液晶显示面板，其具有改进的孔径比，形成多畴并具有响应速度。本发明的目的是提供具有 $\pm 30\%$ 范围的LCD面板，其长度约为第一和第二切口图案的宽度，其长度约为第一和第二像素电极的宽度，第二基板放置在第二和第二基板上。在包括和面的区间中的第一基板和液晶包括具有第一基板和第一和第二切口图案的公共电极，第一基板和第二像素电极分别形成第一和第二像素电极，第一和第二切口图案分别与第一和第二像素电极重叠并形成在一个像素电极部分内。LCD面板，域，切口图案，孔径比，响应速度。

