

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G02F 1/133

(11) 공개번호 10-2005-0114850
(43) 공개일자 2005년12월07일

(21) 출원번호 10-2004-0039920
(22) 출원일자 2004년06월02일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 장용호
경기도 과천시 별양동 주공아파트 647-308
김빈
서울특별시 양천구 신정7동 목동아파트 1107-1307
윤수영
경기도 군포시 오금동 율곡아파트 349-1604

(74) 대리인 특허법인네이트

심사청구 : 없음

(54) 쉬프트 레지스터와 이를 이용한 액정표시장치

요약

본 발명은 쉬프트레지스터에 관한 것으로서, 보다 상세하게는 비정질 실리콘 박막트랜지스터의 안정된 구동에 따른 정 출력 신호를 제공하는 쉬프트레지스터에 관한 것으로서, 회로 상에 구성된 풀-다운 트랜지스터의 오랜 구동에 따른 열화 현상으로 유발되는 회로내 신호의 불완전 방전에 의한 쉬프트레지스터의 비정상 구동문제를 해결하여 출력의 신뢰성을 더욱 향상시켜주는 장점이 있다.

대표도

도 8

명세서

도면의 간단한 설명

도 1은 통상의 능동 매트릭스 액정표시장치의 구성을 도시한 도면

도 2는 도 1에 따른 액정표시장치의 구동을 위해 인가되는 게이트구동신호를 도시한 도면

도 3은 종래의 2상 쉬프트레지스터의 스테이지 회로구조를 도시한 제1회로도

도 4는 도 3의 회로도에 따른 신호타이밍도

도 5는 종래의 2상 쉬프트레지스터의 스테이지 회로구조를 도시한 제2회로도

도 6은 도 5에 도시된 종래 제2회로에 따른 QB-노드의 클램핑 전압 변화를 도시한 그래프

도 7은 도 5에 도시된 종래 제2회로에 따른 QB-노드 풀-다운 트랜지스터의 문턱전압(V_{th}) 변화에 따른 Q-노드의 전압변화를 도시한 그래프

도 8은 본 발명에 따른 2상 쉬프트레지스터의 일 스테이지 회로구조를 도시한 도면

도 9는 본 발명에 따른 2상 쉬프트레지스터에 의한 Q-노드 출력과 게이트구동신호를 도시한 그래프

<도면의 주요부분에 대한 간단한 설명>

10 : 제1풀업스위칭부 20 : 구동신호출력스위칭

30 : 제2풀업스위칭 40 : 제1풀다운스위칭부

50 : 제2풀다운스위칭 60 : 제3풀업스위칭

70 : 제3풀다운스위칭

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 게이트구동회로에 관한 것으로서, 보다 상세하게는 비정질 박막트랜지스터 구동의 열화 현상을 제거하여 안정된 출력을 제공하는 쉬프트레지스터와 이를 이용한 액정표시장치에 관한 것이다.

액정 표시 장치는 액정의 특정한 분자배열에 전압을 인가하여 다른 분자배열로 변환시키고, 이러한 분자 배열에 의해 발광하는 액정 셀의 복굴절성, 선광성, 2색성 및 광산란 특성 등의 광학적 성질의 변화를 시각 변화로 변환하는 것으로, 액정 셀에 의한 빛의 변조를 이용한 디스플레이 장치로서, 통상의 액정표시장치는 액정 패널 상의 액정 셀들의 광투과율을 조절함으로써 비디오신호에 해당하는 화상을 표시하게 된다. 액정 패널 상의 액정 셀들을 구동하기 위하여, 액정표시장치는 액정 패널 구동장치를 구비한다.

도 1을 참조하면, 통상의 능동 매트릭스(Active matrix) 액정표시장치는 액정 셀들이 두장의 투명기판 사이에 매트릭스 형태로 배열되어진 액정패널(3)과, 액정 패널(3)상의 데이터라인들(DL1 내지 DLn)에 데이터를 공급하기 위한 데이터 구동 IC(1)(Data Driving Integrated Circuit)와, 게이트라인들(GL1 내지 GLm)을 순차적으로 구동하기 위한 게이트 구동 IC(2)(Gate Driving Integrated Circuit)를 구비한다. 액정 패널(3)에는 다수의 액정 셀들과 이들 액정 셀들 각각에 공급될 데이터신호를 절환하는 박막트랜지스터들(Thin Film Transistor, 이하 "TFT"라 함)이 설치되게 된다.

다수의 액정 셀들은 데이터라인들과 게이트라인들이 교차하는 교차점에 각각 설치되고 이와 더불어 박막 트랜지스터들도 상기한 교차점들에 각각 위치하게 된다.

데이터 구동 IC(1)는 쉬프트레지스터와 래치를 포함하며, 데이터 쉬프트 클럭에 응답하여 데이터 비트를 쉬프트 시키며 데이터 출력 인에이블 신호에 응답하여 1라인분의 데이터를 데이터라인들에 동시에 공급한다.

게이트 구동 IC(2)는 각 게이트라인들을 구동하기 위해 쉬프트레지스터를 포함한 다수의 스테이지로 구성되어 게이트 스타트 펄스에 응답하여 게이트라인들을 순차 구동한다.

게이트 스타트 펄스가 게이트 구동 IC들에 공급되면 게이트 구동IC들은 도 2와 같이, 액정패널 상의 m개의 게이트 라인들에 순차적으로 게이트 구동 펄스를 공급함으로써 m개의 게이트라인들이 순차적으로 구동되게 한다. 그러면 액정 패널 상의 TFT들은 1 게이트라인분씩 순차적으로 구동되어 1 게이트라인분씩의 액정 셀들에 데이터신호들이 순차적으로 공급되게 한다.

상기한 구성에서 게이트구동IC는 다수의 쉬프트레지스터에 의해 게이트구동신호가 순차적으로 출력되는데, 비정질 실리콘(a-Si) 트랜지스터를 이용하는 쉬프트레지스터의 경우 각각의 트랜지스터에 장시간 높은 전압이 인가될 때 열화로 인한 특성변화가 발생하는 문제점이 발생하는바 이하 종래의 쉬프트레지스터를 예시하여 그 문제점을 설명한다.

도 3은 종래에 게이트구동IC에서 사용되는 2상 쉬프트레지스터의 N번째 스테이지 회로를 예시한 제1회로도이고, 도 4는 그 구동을 위한 신호타이밍도이다. 물론 구성의 트랜지스터 소자는 비정질 실리콘(a-Si) 박막트랜지스터를 이용하여 구성되었다.

신호는 서로 반전된 위상의 제1 및 제2클럭(CLK1)(CLK2)과, 전단(즉, N-1번째) 스테이지의 출력인 개시신호 (Vst)와, 다음단(즉, N+ 1번째) 스테이지의 출력 {(N+ 1)_out}과, 제1 및 제2전원전압(VDD)(VSS)이 입력된다. 여기서 상기 제2클럭(CLK2)은 상기 개시신호 (Vst)와 동기되어 입력되는 신호이다.

구동을 보면, 이전단인 (N-1)단 스테이지의 출력이 상기 개시신호 (Vst)로 입력되면 풀-업 회로인 (T1a),(T1b) 트랜지스터가 온(on)되어 표시된 Q-노드(Q)를 충전시킨다.

동시에 상기 개시신호 (Vst)에 의해 (T4a) 트랜지스터가 온(on)되고 입력된 제2전원전압 (VSS)에 의해 (T2) 및 (T6) 트랜지스터는 오프(off)되어 상기 Q-노드(Q)의 방전을 막게 된다.

다음으로 상기 제1클럭(CLK1)이 인가되면 Q-노드(Q)는 부트스트랩(bootstrap)되어 인가된 제1클럭(CLK1)이 전압손실 없이 상기 T5 트랜지스터를 통해 N번째 스테이지의 출력{(N)_out}으로 출력됨과 동시에 다음단(즉, N+ 1번째 스테이지)의 개시신호{(N+ 1)_Vst}로 입력된다.

이후 상기 제2클럭(CLK2)이 인가되면 다음단 스테이지(즉, N+ 1번째)의 출력신호 {(N+ 1)_out}이 T3 트랜지스터에 인가되어 T3 트랜지스터를 온(on)시키고, 연결된 QB-노드(QB)를 충전시킨 후 T2 및 T6 트랜지스터를 온(on)시켜 상기 Q-노드(Q)를 방전시키게 된다.

도 5는 종래의 게이트구동IC에서 사용되는 또다른 2상 쉬프트레지스터의 N번째 스테이지 회로를 도시한 제2회로도면으로서, 전술한 제1회로도 및 동작원리는 동일한데 출력전압이 출력된 이후에 상기 Q-노드(Q)의 방전을 위해 QB-노드(QB)를 충전하는 방법에서 인버터회로(T3a, T3b, T3c)를 사용하는 것에 차이가 있다. 물론 신호 타이밍은 전술한 도 4의 신호 파형과 동일하며 부호 역시 동일 기능을 수행하는 소자는 동일하게 표기한다.

상기한 바와 같이 설명한 종래의 게이트구동을 위한 2상 쉬프트레지스터는 통상 Q-노드의 충전, 스테이지 출력전압(즉, 게이트구동신호)의 출력, QB-노드 충전과 이에 의한 Q-노드의 방전 순으로 구동되어 순차적으로 그 스테이지의 출력전압을 출력한다.

그런데 여기서 상기 QB-노드의 풀-다운 트랜지스터(T2, T6)는 한 주기 동안 출력이 발생할 때를 제외하고는 풀-업 트랜지스터(T5)를 오프(off)상태로 유지시키기 위해 항상 온(on)상태를 유지하여야 하는데 이러한 구동은 풀-다운 트랜지스터에 높은 바이어스 스트레스(Bias stress)를 인가하게 되어 특성변화의 원인이 되고 있다.

다시 말하면, 상기와 같이 구동할 경우 Q-노드(Q)에는 부트스트래핑에 의해 높은 포지티브(positive) 전압이 인가되어 풀-다운 트랜지스터인 T2, T6 트랜지스터의 열화로 문턱전압(Vth)이 높은 바이어스 스트레스로 인해 점차 특성 변화되어 최종적으로 T5 트랜지스터의 완전한 오프 동작을 수행하지 못하게 하여 회로의 출력특성을 변화시키게 되는 것이다.

도 6은 쉬프트레지스터 회로를 구동하여 시간에 따른 정상구동에 필요한 QB-노드의 클램핑 전압(clamping voltage)의 변화를 측정한 그래프이고, 도 7은 역시 도 5의 QB-노드(QB) 풀-다운 트랜지스터(T2, T6)의 문턱전압(Vth) 변화에 따른 Q-노드(Q)에 인가된 전압변화의 패턴을 도시한 그래프이다.

여기서 상기 QB-노드의 클램핑 전압은, 출력 발생 후 Q-노드를 오프(off) 상태로 유지시키기 위해 QB-노드(QB)에 인가되는 최소전압을 말하며, "Vg15, Vg18, Vg21"은 각각 4상 쉬프트레지스터에서의 클램핑 전압 변동 그래프이고, "2-phase 21"은 도 5에 도시된 2상 쉬프트레지스터에서의 클램핑 전압 변동 그래프이다.

도 6에 도시된 바와 같이 최초 인가된 각 클램핑 전압(Vg15, Vg18, Vg21)은 구동시간이 증가할수록 점차 증가되는 특성 패턴을 나타내는데, 이러한 패턴에 따라 구동시간이 증가할수록 QB-노드(QB)의 풀-다운 트랜지스터(T2, T6)에 바이어

스 스트레스를 가중시키고 이는 점진적으로 문턱전압(V_{th})의 상승을 유발하여 결과적으로 도 7에 도시된 "A" 영역과 같이 Q-노드(Q)에 있어서 0V 로의 완전한 방전이 일어나지 못하게 하는 결과를 나타내어 결국 불안정한 게이트구동신호 출력과 이로 인한 디스플레이 장치의 구동에 문제점을 유발하게 된다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위해 안출된 것으로서, 비정질 실리콘 박막트랜지스터 소자의 열화를 방지할 수 있는 쉬프트레지스터 스테이지 회로를 제안하는데 목적이 있다.

아울러 본 발명은 비정질 실리콘 소자의 열화현상을 제거하여 안정된 회로출력을 제공하는 쉬프트레지스터와 이를 이용한 액정표시장치를 제안하는데 또다른 목적이 있다.

발명의 구성 및 작용

상기와 같은 문제점을 해결하기 위해, 본 발명은 이전 스테이지의 게이트구동신호인 개시신호와 제1클럭신호에 응답하여 신호를 출력하는 제1풀업스위칭부와; 상기 제1풀업스위칭부와 제1노드를 형성하고, 상기 제1풀업스위칭부의 출력에 응답하여 입력된 제2클럭신호를 이용해 게이트구동신호를 출력하는 구동신호출력스위치와; 상기 제1클럭신호에 응답하여 입력된 제1전원전압의 신호를 출력하는 제2풀업스위치와; 상기 제2풀업스위치와 제2노드를 형성하고 상기 제2풀업스위치의 출력에 응답하여 상기 제1노드와 구동신호출력스위치를 방전하는 제1풀다운스위칭부와; 상기 개시신호에 응답하여 상기 제2노드를 방전하는 제2풀다운스위치와; 다음 스테이지의 게이트구동신호에 응답하여 상기 제1노드를 방전하는 제3풀업스위치와; 상기 제1풀업스위칭부의 출력에 응답하여 상기 제2노드를 방전하는 제3풀다운스위치를 구비한 스테이지 회로를 포함하는 쉬프트레지스터를 제안한다.

여기서 상기 제1전원전압은 포지티브 전원전압인 것을 특징으로 한다.

상기 제1클럭신호와 제2클럭신호는 주파수가 동일하며 위상이 반대인 것을 특징으로 한다.

상기 각 스위치는 비정질 실리콘 NMOS 박막트랜지스터로 구성되는 것을 특징으로 한다.

상기 제2풀다운스위치는 상기 제2풀업스위치에 비해 형성된 채널의 면적이 큰 박막트랜지스터인 것을 특징으로 한다.

상기 개시신호와 제1클럭신호는 서로 동기된 신호인 것을 특징으로 한다

상기 쉬프트레지스터는 다수개의 스테이지로 구성되는 것을 특징으로 한다

또한 본 발명은 상기와 같은 회로구성의 스테이지를 다수 구비한 쉬프트레지스터를 이용하여, 다수의 데이터라인과 다수의 게이트라인이 매트릭스 형상으로 교차되어 형성하는 다수의 화소영역에 각각 박막트랜지스터와 액정이 구성되는 액정 패널과; 상기 각 게이트라인으로 게이트구동신호를 출력하는 하나 이상의 스테이지로 구성된 쉬프트레지스터를 구비한 게이트드라이버와; 상기 각 게이트라인으로 인가되는 게이트구동신호에 따라 상기 다수의 데이터라인을 통해 액정패널로 비디오 데이터를 출력하는 데이터드라이버를 포함하는 액정표시장치를 제안한다.

이하 첨부된 도면을 참조하여 본 발명에 따른 쉬프트레지스터에 대해 설명한다.

도 8은 본 발명에 따른 2상 쉬프트레지스터를 구성하는 N번째 일 스테이지 회로구성을 도시한 도면이다.

각 신호소스를 통해 입력되는 신호에는 제1 및 제2 전원전압(VDD)(VSS)과 서로 위상이 반대인 제1 및 제2클럭(CLK1)(CLK2)이 있다. 또한 개시신호(Vst)로서 입력되는 신호는 이전단 (N-1)번째 스테이지의 출력신호이다. 여기서, 상기 제1클럭신호(CLK1)는 개시신호(Vst)와 동기되어 입력된다.

제1풀업스위칭부(10)는 입력되는 제1클럭신호(CLK1) 또는 개시신호(Vst)에 에 응답하여 제1노드(Q)를 충전시켜 구동신호출력스위치(20)를 구동시키는 역할을 수행한다.

이는 개시신호(Vst)에 응답하여 동작하는 제1NMOS 풀업스위칭소자(N1)와 제1클럭신호(CLK1)에 응답하여 구동되는 제2NMOS 풀업스위칭소자(N2)로 구성되며, 제1노드(Q)를 충전하여 온(on) 상태로 전환함으로써 구동신호출력스위치(20)를 구동시켜 입력된 제2클럭신호(CLK2)를 이용한 N번째 스테이지 게이트구동신호{(N)_out}가 출력된다.

제2풀업스위치(30)는 상기 제1풀업스위칭부(10)의 온/오프 상태와 무관하며 제1클럭신호(CLK1)와 제1전원전압(VDD)에 응답, 구동된다.

제1풀다운스위칭부(40)는 상기 제2풀업스위치(30)와 제2노드(QB)를 형성하고, 상기 제2풀업스위치(30)의 출력에 응답하여 연결된 제1노드(Q)를 방전시킨다.

제2풀다운스위치(50)는 상기 개시신호(Vst)에 구동되고 제2풀업스위치(30)의 신호에 의해 연결된 제2노드(QB)를 방전한다.

제3풀업스위치(60)는 다음단 스테이지의 출력, 즉 {(N+1)_out}을 입력받아 구동되며, 연결된 제1노드(Q)의 방전을 수행한다.

제3풀다운스위치(70)는 상기 제1풀업스위칭부(10)의 제1노드(Q) 충전에 의해 동작하며, 제2풀업스위치(30)의 신호에 의해 상기 제2노드(QB)를 방전시킨다.

여기서 상기 각 구성부의 트랜지스터는 모두 비정질 실리콘(a-Si)을 이용한 NMOS 박막트랜지스터이다.

동작을 보면, 먼저 N번째 스테이지에 서로 동기된 신호인 개시신호(Vst)와 제1클럭신호(CLK1)가 입력되면, 상기 제1풀업스위칭부(10)의 N1, N2 트랜지스터가 턴-온되어 제1노드(Q)를 충전시킨다. 이와 동시에 상기 개시신호(Vst)가 인가되는 제2풀다운스위치(50)의 N7 트랜지스터를 통해 제2노드(QB)에 잔류된 신호전압이 방전된다.

동시에 상기 제2클럭신호(CLK2)가 인가된 제2풀업스위치(30)의 N5 트랜지스터가 온(on) 상태가 되어 제2노드(QB)에 제1전원전압(VDD)이 충전된다.

그런데 여기서 상기와 같이 제2노드(QB)의 방전과 충전을 동시에 수행하게 되는 N7, N5 트랜지스터에 대해 각각 채널의 크기가 다른 박막 트랜지스터로 구성하는데, 상기 제2노드(QB)의 방전을 수행하는 제2풀다운스위치(50)의 N7 트랜지스터의 채널을 상기 N5 트랜지스터에 비해 매우 크게 구성하여 상기 제2풀업스위치(30)의 N5 트랜지스터에 의해 충전되는 신호가 모두 N7 트랜지스터를 통해 방전되도록 한다.

이후 제2클럭신호(CLK2)가 인가되어 구동신호출력스위치(20)를 통해 N번째 스테이지의 출력신호{(N)_out}가 발생하게 되며 상기 제1노드(Q)에 충전된 신호는 계속 유지되는 상태이다.

상기 스테이지의 {(N)_out} 신호출력 이후 상기 제1클럭신호(CLK1)가 다시 인가될 때 다음단 스테이지의 출력, 즉 {(N+1)_out}이 상기 제3풀업스위치(60)의 N8 트랜지스터에 인가되어 제3풀업스위치(60)는 구동되고 이에 상기 제1노드(Q)에 충전된 신호는 방전된다.

물론 상기 다음단 스테이지의 출력{(N+1)_out}이 인가되는 시점에는 상기 제1클럭신호(CLK1)도 다시 인가되므로 이미 전술한 바와 같이 상기 제2풀업스위치(30)의 N5 트랜지스터의 온(on) 구동에 의해 제2노드(QB)가 충전되고 충전된 제2노드(QB)에 의해 상기 제1노드(Q)는 구동신호출력스위치(20)와 오프(off) 상태를 유지하게 된다.

살펴본 바와 같이, 본 발명에서는 제1노드(Q)의 완전방전을 수행해야 하는 풀다운 트랜지스터인 N4와 N6 트랜지스터는 구동시간이 증가할수록 열화로 인해 문턱전압이 점점 증가되는 특성변화를 일으키고 이에 따른 제1노드의 불완전 방전을 수행하던 문제점을 상기 제3풀업스위치(60)인 N8 트랜지스터를 추가하여 다음단 게이트구동신호의 입력을 통해 구동시켜 해결하고 있다.

그 결과는 도 9의 출력 그래프에서 보듯이, 제1노드(Q)에서의 출력(Q_out)은 거의 방전되고 있으며, 이에 따른 결과로서 스테이지의 게이트구동신호의 출력{(N)_out} 특성 역시 왜곡이 없이 안정되게 출력되는 것을 알 수 있다.

발명의 효과

상기와 같이 설명한 본 발명에 따른 쉬프트레지스터는 게이트신호의 출력을 위해 각 스테이지에 구성된 비정질 실리콘 풀다운 트랜지스터의 불완전 방전 구동에 의한 높은 바이어스 스트레스에 의한 열화의 결과로 불안정한 게이트구동신호를 출력하던 문제점을 다음단의 출력을 이용하여 완전방전을 수행하도록 함으로써 쉬프트레지스터의 안정된 게이트 구동신호 출력을 보장하는 장점이 있다.

(57) 청구의 범위

청구항 1.

이전 스테이지의 게이트구동신호인 개시신호와 제1클럭신호에 응답하여 신호를 출력하는 제1풀업스위칭부와;

상기 제1풀업스위칭부와 제1노드를 형성하고, 상기 제1풀업스위칭부의 출력에 응답하여 입력된 제2클럭신호를 이용해 게이트구동신호를 출력하는 구동신호출력스위치와;

상기 제1클럭신호에 응답하여 입력된 제1전원전압의 신호를 출력하는 제2풀업스위치와;

상기 제2풀업스위치와 제2노드를 형성하고 상기 제2풀업스위치의 출력에 응답하여 상기 제1노드와 구동신호출력스위치를 방전하는 제1풀다운스위칭부와;

상기 개시신호에 응답하여 상기 제2노드를 방전하는 제2풀다운스위치와;

다음 스테이지의 게이트구동신호에 응답하여 상기 제1노드를 방전하는 제3풀업스위치와;

상기 제1풀업스위칭부의 출력에 응답하여 상기 제2노드를 방전하는 제3풀다운스위치

를 구비한 스테이지 회로를 포함하는 쉬프트레지스터

청구항 2.

청구항 제 1 항에 있어서,

상기 제1전원전압은 포지티브 전원전압인 것을 특징으로 하는 쉬프트레지스터

청구항 3.

청구항 제 1 항에 있어서,

상기 제1클럭신호와 제2클럭신호는 주파수가 동일하며 위상이 반대인 것을 특징으로 하는 쉬프트레지스터

청구항 4.

청구항 제 1 항에 있어서,

상기 각 스위치는 비정질 실리콘 NMOS 박막트랜지스터로 구성되는 것을 특징으로 하는 쉬프트레지스터

청구항 5.

청구항 제 1 항에 있어서,

상기 제2풀다운스위치는 상기 제2풀업스위치에 비해 형성된 채널의 면적이 큰 박막트랜지스터인 것을 특징으로 하는 쉬프트레지스터

청구항 6.

청구항 제 1 항에 있어서,

상기 개시신호와 제1클럭신호는 서로 동기된 신호인 것을 특징으로 하는 쉬프트레지스터

청구항 7.

청구항 제 1 항에 있어서,

상기 쉬프트레지스터는 다수개의 스테이지로 구성되는 것을 특징으로 하는 쉬프트레지스터

청구항 8.

다수의 데이터라인과 다수의 게이트라인이 매트릭스 형상으로 교차되어 형성하는 다수의 화소영역에 각각 박막트랜지스터와 액정이 구성되는 액정패널과;

상기 각 게이트라인으로 게이트구동신호를 출력하는 하나 이상의 스테이지로 구성된 쉬프트레지스터를 구비한 게이트드라이버와;

상기 각 게이트라인으로 인가되는 게이트구동신호에 따라 상기 다수의 데이터라인을 통해 액정패널로 비디오 데이터를 출력하는 데이터드라이버

를 포함하는 액정표시장치

청구항 9.

청구항 제 8 항에 있어서,

상기 쉬프트레지스터의 스테이지는,

이전 스테이지의 게이트구동신호인 개시신호와 제1클럭신호에 응답하여 신호를 출력하는 제1풀업스위칭부와;

상기 제1풀업스위칭부와 제1노드를 형성하고, 상기 제1풀업스위칭부의 출력에 응답하여 입력된 제2클럭신호를 이용해 게이트구동신호를 출력하는 구동신호출력스위치와;

상기 제1클럭신호에 응답하여 입력된 제1전원전압의 신호를 출력하는 제2풀업스위치와;

상기 제2풀업스위치와 제2노드를 형성하고 상기 제2풀업스위치의 출력에 응답하여 상기 제1노드와 구동신호출력스위치를 방전하는 제1풀다운스위칭부와;

상기 개시신호에 응답하여 상기 제2노드를 방전하는 제2풀다운스위치와;

다음 스테이지의 게이트구동신호에 응답하여 상기 제1노드를 방전하는 제3풀업스위치와;
상기 제1풀업스위칭부의 출력에 응답하여 상기 제2노드를 방전하는 제3풀다운스위치
를 포함하여 구성되는 것을 특징으로 하는 액정표시장치

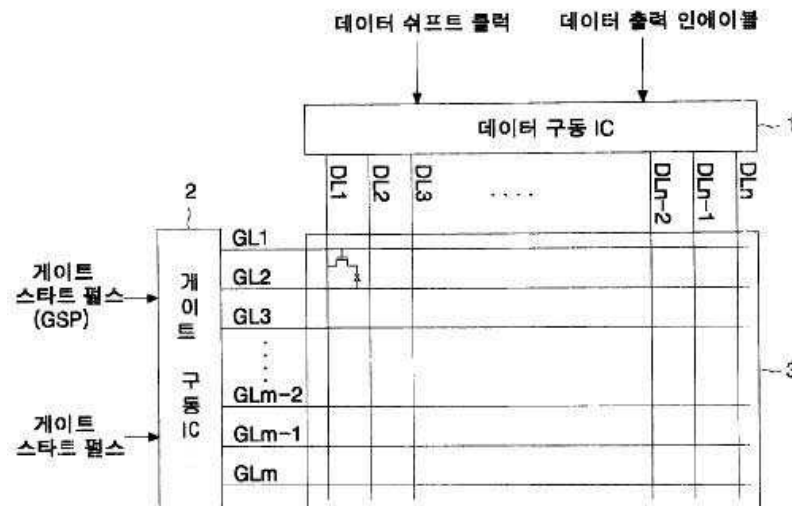
청구항 10.

청구항 제 9 항에 있어서,

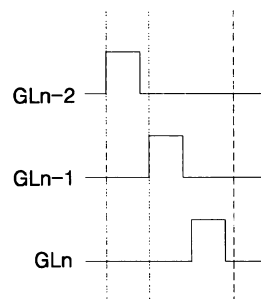
상기 제2풀다운스witch는 상기 제2풀업스위치에 비해 형성된 채널의 면적이 큰 박막트랜지스터인 것을 특징으로 하는 액정표시장치

도면

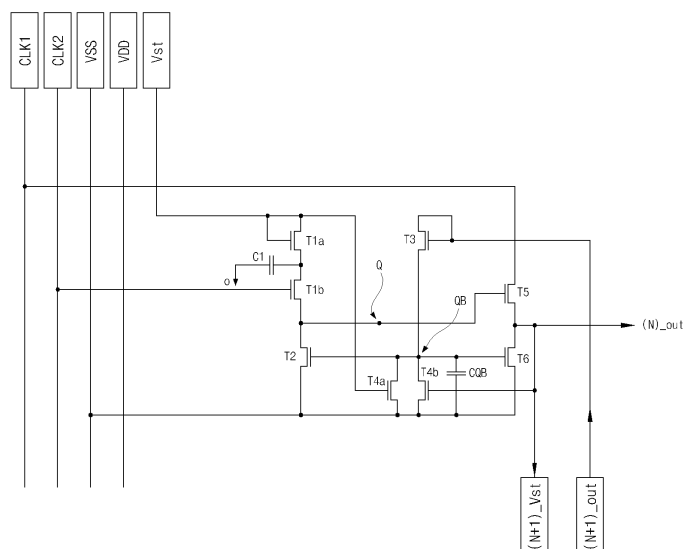
도면1



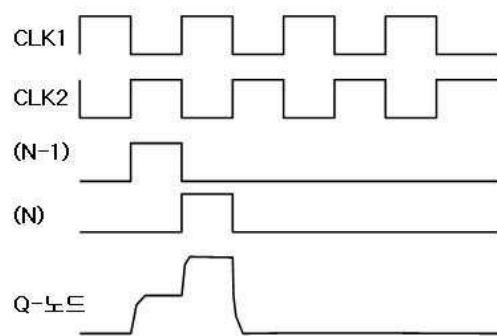
도면2



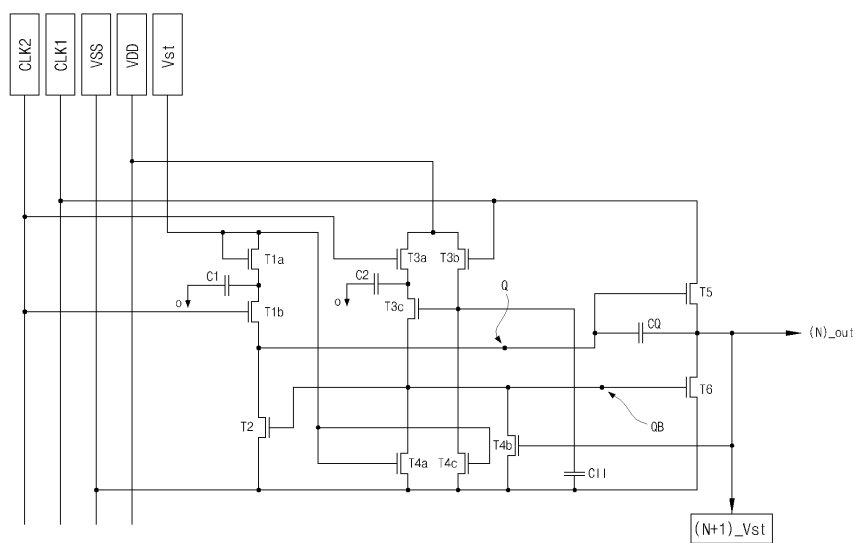
도면3



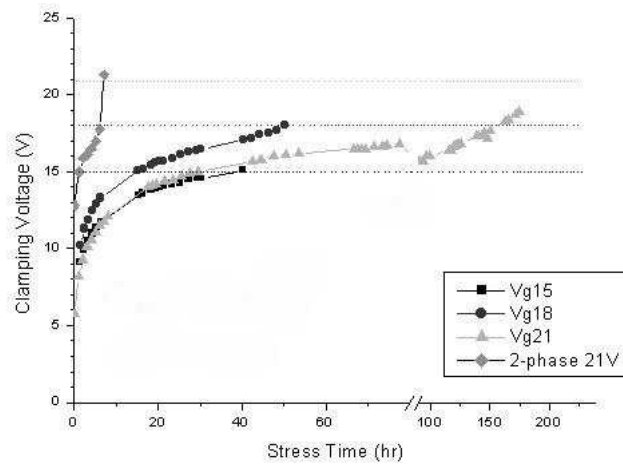
도면4



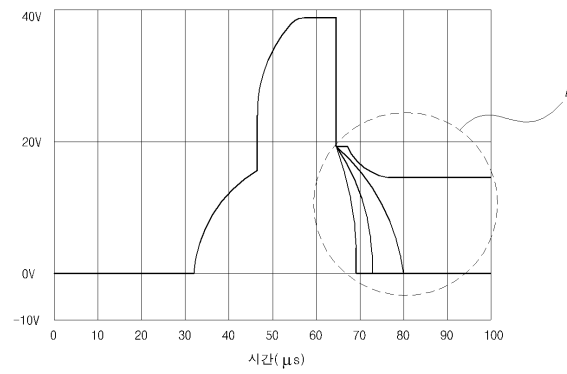
도면5



도면6

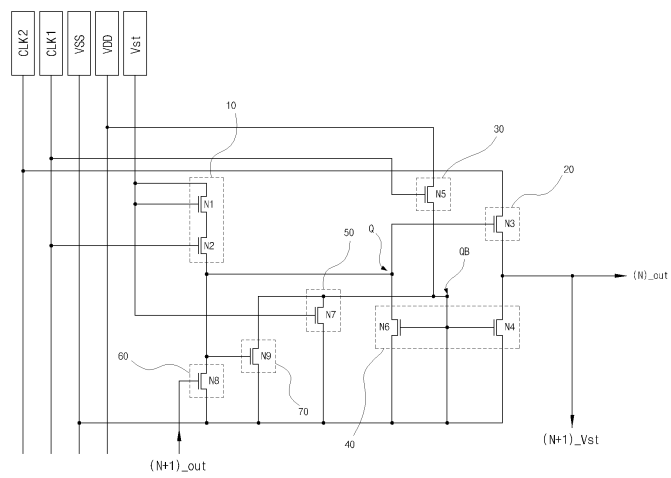


도면7

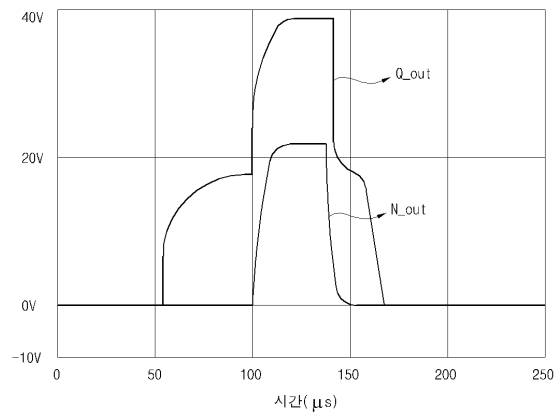


도면8

[도 8]



도면9



专利名称(译)	移位寄存器和使用它的液晶显示器		
公开(公告)号	KR1020050114850A	公开(公告)日	2005-12-07
申请号	KR1020040039920	申请日	2004-06-02
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JANG YONGHO 장용호 KIM BINN 김빈 YOON SOOYOUNG 윤수영		
发明人	장용호 김빈 윤수영		
IPC分类号	G02F1/133		
外部链接	Espacenet		

摘要(译)

本发明涉及一种移位寄存器，更具体地说，涉及一种根据非晶硅薄膜晶体管的稳定驱动提供恒定输出信号的移位寄存器，更具体地说，有一个优点是通过解决由于电路中感应信号的不完全放电引起的移位寄存器的异常驱动问题，进一步提高了输出的可靠性。 8

[도 8]

