

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>  
G09G 3/36

(11) 공개번호 10-2005-0068839  
(43) 공개일자 2005년07월05일

(21) 출원번호 10-2003-0100654  
(22) 출원일자 2003년12월30일

(71) 출원인 엘지.필립스 엘시디 주식회사  
서울 영등포구 여의도동 20번지

(72) 발명자 김기종  
서울특별시강남구일원동746번지까치마을아파트107동311호  
유준석  
서울특별시서초구서초3동1494-6번지로얄카운티빌라302호

(74) 대리인 김영호

심사청구 : 없음

(54) 아날로그 버퍼 및 그를 이용한 액정 표시 장치 및 그 구동방법

요약

본 발명은 소비 전력을 절감할 수 있는 아날로그 버퍼와 그를 이용한 액정 표시 장치 및 그 구동 방법을 제공하는 것이다.

이를 위하여, 본 발명에 따른 아날로그 버퍼는 상기 입력 라인에 직렬 접속된 인버터를 포함하는 비교기와; 상기 입력 라인과 출력 라인 사이에 접속된 피드백 스위치와; 상기 비교기와 상기 출력 라인 사이에 접속되어 리셋 기간에서 제1 및 제2 구동 전압 중 어느 하나의 구동 전압을 상기 출력 라인으로 프리충전하고, 피드백 기간에서 프리충전된 전압이 상기 피드백 스위치를 통해 입력 라인으로 피드백되어 상기 입력 전압으로 수렴되면 상기 제1 및 제2 구동 전압을 차단하는 출력 인버터를 구비한다.

대표도

도 4

명세서

도면의 간단한 설명

도 1은 종래의 액정 표시 장치를 개략적으로 도시한 도면.

도 2는 종래의 아날로그 버퍼 회로도.

도 3은 도 2에 도시된 버퍼의 구동 파형도.

도 4는 본 발명의 실시 예에 따른 아날로그 버퍼 회로도.

도 5는 도 4에 도시된 비교기의 등가 회로도.

도 6은 도 5에 도시된 인버터의 상세 회로도.

도 7은 도 4에 도시된 제3 인버터의 상세 회로도.

도 8은 도 4에 도시된 버퍼의 구동 파형도.

도 9는 본 발명의 다른 실시 예에 따른 공통 전압 발생부의 아날로그 버퍼 회로도.

도 10은 도 9에 도시된 버퍼의 구동 파형도.

도 11는 본 발명의 또 다른 실시 예에 따른 데이터 드라이버에 포함되는 아날로그 버퍼의 회로도.

< 도면의 주요 부분에 대한 부호의 설명 >

2r : 액정 패널 4r: 게이트 드라이버

6r : 데이터 드라이버 8r: 타이밍 컨트롤러

10r: 감마 전압 발생부

1, 8, 9, 10, 11, SW1, SW2, SW3, SW4, SW5, SW6, SW7, SW8 : 스위치

2, 4, 6, C1, C2 : 캐패시터

3, 5, 7, 24, 26, 40, 41, 45, 46, 47, 51, 52, 53, 54, 56 : 인버터

20, 22 : 비교기 42, 43, 44 : NAND 게이트

60 : DAC-버퍼 62 : 입력부

64 : 출력 버퍼 66 : 디멀티플렉서

PT, PT1, PT2 : P형 박막 트랜지스터 NT, NT1, NT2 : N형 박막 트랜지스터

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 아날로그 버퍼에 관한 것으로, 특히 소비 전력을 줄일 수 있는 아날로그 버퍼 및 그를 이용한 액정 표시 장치 및 그 구동 방법에 관한 것이다.

액정 표시 장치는 전계를 이용하여 유전 이방성을 갖는 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정 표시 장치는 화소 매트릭스를 갖는 액정 패널과, 액정 패널을 구동하기 위한 구동 회로를 구비한다.

구체적으로, 액정 표시 장치는 도 1에 도시된 바와 같이 화소 매트릭스를 갖는 액정 패널(2r)과, 액정 패널(2r)의 게이트 라인들(GL1 내지 GLn)을 구동하기 위한 게이트 드라이버(4r)와, 액정 패널(2r)의 데이터 라인들(DL1 내지 DLm)을 구동하기 위한 데이터 드라이버(6r)와, 게이트 드라이버(4r)와 데이터 드라이버(6r)의 구동 타이밍을 제어하기 위한 타이밍 컨트롤러(8r)를 구비한다.

액정 패널(2r)은 게이트 라인들(GL)과 데이터 라인들(DL)의 교차로 정의되는 영역마다 형성된 화소들(12r)로 구성된 화소 매트릭스를 구비한다. 화소들(12r) 각각은 화소 신호에 따라 광투과율을 조절하는 액정셀(Clc)과, 액정셀(Clc)을 구동하기 위한 박막 트랜지스터(TFT)들을 구비한다.

박막 트랜지스터(TFT)는 게이트 라인(GL)으로부터의 게이트 구동 신호, 즉 게이트 하이 전압(VGH)이 공급되는 경우 턴-온되어 데이터 라인(DL)으로부터의 비디오 신호를 액정셀(Clc)에 공급한다. 그리고, 박막 트랜지스터(TFT)는 게이트 라인(GL)으로부터 게이트 로우 전압(VGL)이 공급되는 경우 턴-오프되어 액정셀(Clc)에 충전된 비디오 신호가 유지되게 한다.

액정셀(Clc)은 등가적으로 캐패시터로 표현되며, 액정을 사이에 두고 대면하는 공통 전극과 박막 트랜지스터(TFT)에 접속된 화소 전극으로 구성된다. 그리고, 액정셀(Clc)은 충전된 비디오 신호가 다음 비디오 신호가 충전될 때까지 안정적으로 유지되게 하기 위하여 스토리지 캐패시터(미도시)를 더 구비한다. 이러한 액정셀(Clc)은 박막 트랜지스터(TFT)를 통해 충전된 비디오 신호에 따라 유전율 이방성을 가지는 액정의 배열 상태가 가변하여 광 투과율을 조절함으로써 계조를 구현하게 된다.

이러한 액정 패널(2r)은 액정 열화 방지 및 표시 품질 향상을 위하여 데이터 신호를 이용하여 액정셀(Clc)의 극성을 일정 단위로 인버전시키는 인버전 방법으로 구동된다. 인버전 방법으로는 프레임 단위로 액정셀의 극성이 인버전되는 프레임 인버전(Frame Inversion), 수평 라인 단위로 액정셀의 극성이 인버전되는 라인 인버전(Line Inversion), 수직 라인 단위로 액정셀의 극성이 인버전되는 칼럼 인버전(Column Inversion), 그리고 액정셀 단위로 액정셀의 극성이 인버전되는 도트 인버전(Dot Inversion) 등이 이용된다. 이들 중 수평 라인 단위로 액정셀의 극성을 인버전시키는 라인 인버전 방법은 칼럼 인버전 및 도트 인버전 방법에 비하여 소비 전력면에서 유리하다. 이는 칼럼 및 도트 인버전 방법은 데이터 신호만을 이용하

여 극성 반전시켜야 하므로 데이터 신호의 구동 전압 범위가 상대적으로 큰 반면에, 라인 인버전 방법은 데이터 신호와 함께 액정셀(Clc)에 기준 전압으로 공급되는 공통 전압(Vcom)을 교류 구동함으로써 데이터 신호의 구동 전압 범위를 낮출 수 있기 때문이다.

게이트 드라이버(4r)는 타이밍 컨트롤러(8r)로부터의 게이트 스타트 펄스(Gate Start Pulse; GSP)를 게이트 쉬프트 클럭(Gate Shift Clock; GSC)에 따라 쉬프트시켜 게이트 라인들(GL1 내지 GLm)에 순차적으로 게이트 하이 전압(VGH)의 스캔 펄스를 공급한다. 그리고, 게이트 드라이버(4r)는 게이트 라인들(GL)에 게이트 하이 전압(VGH)의 스캔 펄스가 공급되지 않는 나머지 기간에서는 게이트 로우 전압(VGL)을 공급한다.

데이터 드라이버(6r)는 타이밍 컨트롤러(8r)로부터의 소스 스타트 펄스(Source Start Pulse; SSP)를 소스 쉬프트 클럭(Source Shift Clock; SSC)에 따라 쉬프트시켜 샘플링 신호를 발생한다. 그리고, 데이터 드라이버(6r)는 상기 소스 쉬프트 클럭(SSC)에 따라 입력되는 비디오 데이터(RGB)를 상기 샘플링 신호에 따라 래치한 후 소스 출력 이네이블(Source Output Enable; SOE) 신호에 응답하여 라인 단위로 공급한다. 데이터 드라이버(6r)는 감마 전압 발생부로부터 공급되는 서로 다른 감마 전압들을 이용하여 라인 단위로 공급되는 디지털 비디오 데이터(RGB)를 아날로그 비디오 신호로 변환하여 데이터 라인들(DL1 내지 DLm)에 공급한다. 여기서, 데이터 드라이버(6r)는 상기 비디오 데이터를 비디오 신호로 변환할 때 타이밍 컨트롤러(8r)로부터의 극성 제어 신호(POL)에 응답하여 그 비디오 신호의 극성을 결정한다.

타이밍 컨트롤러(8r)는 게이트 드라이버(4r)를 제어하는 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭(GSC) 등을 발생하고, 데이터 드라이버(6r)를 제어하는 소스 스타트 펄스(SSP), 소스 쉬프트 클럭(SSC), 소스 출력 이네이블 신호(SOE), 극성 제어 신호(POL) 등을 발생한다. 이 경우, 타이밍 컨트롤러(8r)는 외부로부터 입력되는 유효 데이터 구간을 알리는 데이터 이네이블(Data Enable; DE) 신호, 수평 동기 신호(Hsync), 수직 동기 신호(Vsync), 화소 데이터(RGB)의 전송 타이밍을 결정하는 도트 클럭(Dot Clock; DCLK)을 이용하여 상기 GSP, GSC, GOE, SSP, SSC, SOE, POL 등과 같은 제어 신호들을 생성하게 된다.

이러한 액정 표시 장치에 있어서, 데이터 드라이버(6r)는 데이터 라인의 RC 로드량에 따라 데이터 라인으로 공급되는 비디오 신호가 왜곡되는 것을 방지하기 위한 아날로그 버퍼를 구비한다. 게이트 드라이버(4r) 역시 게이트 라인의 RC 로드량에 따라 게이트 라인으로 공급되는 게이트 구동 신호가 왜곡되는 것을 방지하기 위한 아날로그 버퍼를 구비한다. 아날로그 버퍼로는 통상 증폭기(OP-AMP)가 주로 사용되고 있으나, 최근에는 인버터 등을 이용하여 회로 구성을 단순화시키는 방안이 제안되고 있다.

예를 들면, 도시바(Toshiba)에서 "AMLCD '02"의 PP21~24에 개시한 아날로그 버퍼는 도 2에 도시된 바와 같이 3개의 인버터를 이용한다. 도 2에 도시된 아날로그 버퍼는 입력 라인과 출력 라인 사이에 직렬로 접속된 제1 내지 제3 인버터(3, 5, 7)와, 제1 내지 제3 인버터(3, 5, 7) 각각의 입력단에 직렬로 각각 접속된 제1 내지 제3 캐패시터(2, 4, 6)와, 입력 라인과 제1 캐패시터(2) 사이에 접속된 입력 전압(Vin) 공급용 제1 스위치(1)와, 제1 내지 제3 인버터(3, 5, 7) 각각의 초기화를 위해 입력단과 출력단 사이에 각각 접속된 제2 내지 제4 스위치(8, 9, 10)와, 입력 라인과 출력 라인 사이에 접속된 피드백용 제5 스위치(11)를 구비한다.

먼저, 리셋 기간(RESET)에서 도 3과 같이 공급되는 제1 제어 신호(CS1)에 응답하여 제1 내지 제4 스위치(1, 8, 9, 10)가 턴-온된다. 이에 따라, 제1 내지 제3 인버터(3, 5, 7) 각각은 입력단에서 쇼트(Short)됨으로써 전원 전압의 중간 전압인 인버터 로직(Inverter Logic) 문턱 전압(이하, VTH)으로 초기화된다. 이에 따라, 제1 내지 제3 인버터(3, 5, 7) 각각에 입력단에 접속된 제1 내지 제3 캐패시터(2, 4, 6) 각각에는 입력 전압(Vin)과 VTH와의 차전압이 충전된다.

이어서, 피드백 기간(FEEDBACK)에서 도 3과 같이 공급된 제2 제어 신호(CS2)에 의해 피드백용 제5 스위치(11)가 턴-온됨으로써 입력 전압(Vin)에 해당하는 출력 전압(Vout)이 출력 라인에서 모니터링된다. 다시 말하여, 제5 스위치(11)가 턴-온되어 피드백된 출력 전압(Vout)이 입력 전압(Vin) 보다 높으면 입력 전압(Vin)이 VTH 보다 높으므로 제1 내지 제3 인버터(3, 5, 7)는 출력 전압(Vout)을 하강시킨다. 반대로, 피드백된 출력 전압(Vout)이 입력 전압(Vin) 보다 낮으면 입력 전압(Vin)이 VTH 보다 낮으므로 제1 내지 제3 인버터(3, 5, 7)는 출력 전압(Vin)을 상승시킨다. 이와 같이, 제1 내지 제3 인버터(3, 5, 7)는 피드백 기간(FEEDBACK)의 초반부에서 출력 전압(Vout)은 상승, 하강을 반복하는 발진(Oscillation) 과정을 거치면서 입력 전압(Vin)으로 수렴하게 된다.

이러한 아날로그 버퍼는 인버터만을 사용함으로써 증폭기(OPAMP)를 사용하는 기존의 아날로그 버퍼 보다 간단한 구성으로 아날로그 버퍼를 구현할 수 있게 된다. 그러나, 도 2에 도시된 아날로그 버퍼에서 출력단의 제3 인버터(7)는 큰 정전용량(C)을 갖는 데이터 라인(DL)을 구동하여야 하므로 크기가 크고, 출력 전압(Vout)이 입력 전압(Vin)으로 수렴한 이후에도 항상 VTH를 유지하기 때문에 소비 전력이 크다는 단점을 갖는다.

**발명이 이루고자 하는 기술적 과제**

따라서, 본 발명의 목적은 소비 전력을 절감할 수 있는 아날로그 버퍼와 그를 이용한 액정 표시 장치 및 그 구동 방법을 제공하는 것이다.

**발명의 구성 및 작용**

상기 목적을 달성하기 위하여, 본 발명에 따른 아날로그 버퍼는 상기 입력 라인에 직렬로 접속된 인버터를 포함하는 비교기와; 상기 입력 라인과 출력 라인 사이에 접속된 피드백 스위치와; 상기 비교기와 상기 출력 라인 사이에 접속되어 리셋 기간에서 제1 및 제2 구동 전압 중 어느 하나의 구동 전압을 상기 출력 라인으로 프리충전하고, 피드백 기간에서 프리충전된 전압이 상기 피드백 스위치를 통해 입력 라인으로 피드백되어 상기 입력 전압으로 수렴되면 상기 제1 및 제2 구동 전압을 차단하는 출력 인버터를 구비한다.

상기 비교기는 상기 입력 라인과 상기 출력 인버터 사이에 직렬 접속된 복수개의 인버터와; 상기 인버터의 입력단에 직렬 접속된 캐패시터와; 상기 리셋 기간에서 상기 인버터를 입출력단 접속으로 초기화시키는 초기화 스위치를 구비한다.

상기 아날로그 버퍼는 상기 리셋 기간에서 상기 입력 라인에 상기 입력 전압을 공급하는 입력 스위치를 추가로 구비한다.

상기 출력 인버터는 상기 비교기와 상기 출력 라인 사이에 접속되어 인버터를 구성하는 제1 및 제2 트랜지스터와; 상기 제1 구동 전압의 공급 라인과 상기 제1 트랜지스터 사이에 접속되어 제어 신호에 의해 제어되는 제3 트랜지스터와; 상기 제2 구동 전압의 공급 라인과 상기 제2 트랜지스터 사이에 접속되어 상기 제어 신호에 의해 제어되는 제4 트랜지스터를 구비한다.

상기 제1 및 제3 트랜지스터는 PMOS 트랜지스터이고, 상기 제2 및 제4 트랜지스터는 NMOS 트랜지스터이다.

상기 출력 인버터는 상기 리셋 기간에서 상기 입력 라인에 제1 극성의 입력 전압이 공급되면 상기 제1 및 제3 트랜지스터를 턴-온시켜 상기 제1 구동 전압이 상기 출력 라인으로 프리차징되고, 상기 피드백 기간에서 상기 제2 및 제4 트랜지스터를 턴-온시켜 상기 출력 라인 상의 전압이 상기 제2 구동 전압으로 방전하면서 상기 입력 전압으로 수렴하게 한다.

상기 출력 인버터는 상기 리셋 기간에서 상기 입력 라인에 제2 극성의 입력 전압이 공급되면 상기 제2 및 제4 트랜지스터를 턴-온시켜 상기 제2 구동 전압이 상기 출력 라인으로 프리차징되고, 상기 피드백 기간에서 상기 제1 및 제3 트랜지스터를 턴-온시켜 상기 출력 라인 상의 전압이 상기 제1 구동 전압을 충전하면서 상기 입력 전압으로 수렴하게 한다.

상기 아날로그 버퍼는 상기 피드백 스위치와 상기 입력 라인 사이에 접속된 제2 캐패시터를 추가로 구비하고, 상기 캐패시터와 제2 캐패시터의 비로 상기 출력 전압을 조절한다.

상기 아날로그 버퍼는 n비트 데이터 각각에 응답하여 제3 및 제4 구동 전압 중 어느 하나를 출력하는 n개의 스위치와; 상기 n개의 스위치가 상기 입력 라인과 사이에 접속된 다수의 캐패시터를 구비하여 상기 제3 및 제4 구동 전압 사이의 전압을 상기 n비트 데이터에 따라 분할하여 상기 입력 라인으로 공급하는 n비트 디지털-아날로그 변환기를 추가로 구비한다.

본 발명에 따른 액정 표시 장치는 화소 매트릭스의 데이터 라인들을 구동하는 데이터 드라이버와; 상기 화소 매트릭스의 게이트 라인들을 구동하는 게이트 드라이버와; 상기 화소 매트릭스의 공통 전극에 기준 전압인 공통 전압을 공급하는 공통 전압 생성부를 구비하고; 상기 데이터 드라이버 및 게이트 드라이버와 공통 전압 생성부 중 적어도 하나가 상기 아날로그 버퍼를 포함한다.

상기 데이터 드라이버는 입력 극성 제어 신호에 응답하여 극성 인버전되는 데이터 신호를 상기 데이터 라인으로 공급하고, 상기 공통 전압 발생부는 교류 구동되는 공통 전압을 상기 공통 전극에 공급한다.

상기 공통 전압 발생부가 정극성의 공통 전압을 공급하고, 상기 데이터 드라이버가 부극성의 데이터 신호를 공급하는 경우 상기 데이터 드라이버의 아날로그 버퍼는 상기 리셋 기간에서 상기 제1 구동 전압이 상기 데이터 라인으로 프리충전되게 하고, 프리충전된 전압이 상기 피드백 기간에서 상기 제2 구동 전압 쪽으로 방전되게 하여 상기 부극성 데이터 신호로 수렴하게 한다.

상기 공통 전압 발생부의 아날로그 버퍼는 상기 리셋 기간에서 정극성 공통 전압이 입력되면 상기 제1 구동 전압이 상기 공통 전극으로 프리충전되게 하고, 프리충전된 전압이 상기 피드백 기간에서 상기 제2 구동 전압에 의해 상승하여 상기 정극성의 공통 전압으로 수렴하게 한다.

상기 공통 전압 발생부가 부극성의 공통 전압을 공급하고, 상기 데이터 드라이버가 정극성의 데이터 신호를 공급하는 경우 상기 데이터 드라이버의 아날로그 버퍼는 상기 리셋 기간에서 상기 제2 구동 전압이 상기 데이터 라인으로 프리충전되게 하고, 프리충전된 전압이 상기 피드백 기간에서 상기 제1 구동 전압에 의해 상승하여 상기 정극성 데이터 신호로 수렴하게 한다.

상기 공통 전압 발생부의 아날로그 버퍼는 상기 리셋 기간에서 부극성 공통 전압이 입력되면 상기 제2 구동 전압이 상기 공통 전극으로 프리충전되게 하고, 프리충전된 전압이 상기 피드백 기간에서 상기 제1 구동 전압에 의해 방전하여 상기 부극성의 공통 전압으로 수렴하게 한다.

상기 데이터 드라이버는 상기 아날로그 버퍼를 통해 공급되는 데이터 신호를 시분할하여 다수개의 데이터 라인에 순차적으로 공급하는 디멀티플렉서를 추가로 구비한다.

본 발명에 따른 액정 표시 장치의 구동 방법은 상기 아날로그 버퍼가 각각 포함된 데이터 드라이버 및 공통 전압 발생부를 이용한 액정 표시 장치의 구동 방법에 있어서, 상기 공통 전압 발생부에서 공통 전극으로 정극성의 공통 전압을 출력하는 기간과, 부극성의 공통 전압을 출력하는 기간을 포함하고, 상기 공통 전압이 정극성인 경우 상기 데이터 드라이버의 아날로그 버퍼는, 상기 리셋 기간에서 부극성의 데이터 신호가 입력되면 상기 제1 구동 전압이 상기 데이터 라인에 프리충전되게 하고, 프리충전된 전압이 상기 피드백 기간에서 상기 제2 구동 전압 쪽으로 방전하면서 상기 부극성 데이터 신호로 수렴하게 하고, 상기 공통 전압이 부극성인 경우 상기 데이터 드라이버의 아날로그 버퍼는, 상기 리셋 기간에서 정극성의 데이터 신호가 입력되면 상기 제2 구동 전압이 상기 데이터 라인으로 프리충전되게 하고, 프리충전된 전압이 상기 피드백 기간에서 상기 제1 구동 전압에 의해 상승하여 상기 정극성 데이터 신호로 수렴하게 한다.

상기 목적들 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면을 참조한 실시 예에 대한 상세한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 본 발명의 바람직한 실시 예들을 도 4 내지 도 10을 참조하여 상세하게 설명하기로 한다.

도 4는 본 발명의 실시 예에 따른 아날로그 버퍼, 즉 데이터 드라이버의 아날로그 버퍼를 도시한 것이다.

도 4에 도시된 데이터 드라이버의 아날로그 버퍼는 입력 라인과 데이터 라인(DL) 사이에 직렬로 접속된 제1 및 제2 비교기(20, 22)와 출력 인버터(24)와, 입력 라인과 제1 비교기(20) 사이에 접속된 입력 스위치(SW1)와, 입력 라인과 데이터 라인(DL) 사이에 접속된 피드백 스위치(SW2)를 구비한다.

도 4에 도시된 제1 및 제2 비교기(20, 22) 각각은 인버터로 구성된다. 구체적으로, 제1 및 제2 비교기(20, 22) 각각은 도 5에 도시된 바와 같이 인버터(26)와, 인버터(26)의 입력단에 접속된 캐패시터(C1)와, 인버터(26)의 입출력단 사이에 접속된 초기화 스위치(SW3)를 구비한다. 초기화 스위치(SW3)는 상기 입력 스위치(SW1)와 함께 제1 제어 신호(CS1)에 의해 구동된다. 인버터(26)는 도 6에 도시된 바와 같이 고전위 구동 전압(VDD)의 공급 라인과 출력단 사이에 접속되어 입력단에 의해 제어되는 PMOS 트랜지스터(PT)와, 저전위 구동 전압(VSS)의 공급 라인과 출력단 사이에 접속되어 입력단에 의해 제어되는 NMOS 트랜지스터(NT)를 구비한다.

출력 인버터(24)는 제3 제어 신호(CS)에 의해 스위칭되는 인버터로 구성된다. 구체적으로, 출력 인버터(24)는 도 7에 도시된 바와 같이 입력단(IN)과 출력단 사이에 접속된 인버터를 구성하는 제1 PMOS 트랜지스터(PT1) 및 제1 NMOS 트랜지스터(NT1)와, 제3 제어 신호(CS3)에 응답하여 고전위 구동 전압(VDD)을 제1 PMOS 트랜지스터(PT1)로 스위칭하는 제2 PMOS 트랜지스터(PT2)와, 상기 제3 제어 신호(CS3)에 응답하여 저전위 구동 전압(VSS)을 제1 NMOS 트랜지스터(NT1)로 스위칭하는 제2 NMOS 트랜지스터(NT2)를 구비한다.

피드백 스위치(SW2)는 제1 제어 신호(CS1)와 상반된 극성을 갖는 제2 제어 신호(CS2)에 의해 제어된다.

이러한 구성을 갖는 아날로그 버퍼의 구동 방법을 도 8에 도시된 구동 파형을 참조하여 설명하기로 한다.

도 8을 참조하면, 라인 인버전을 위하여 교류 구동되는 공통 전압(Vcom)이 한 수평 라인 단위로 인버전된다. 그리고, 데이터 신호의 극성을 결정하는 극성 제어 신호(POL)는 공통 전압(Vcom)과 상반된 극성으로 인버전된다. 이에 따라, 공통 전압(Vcom)이 정극성(+)이 되면 부극성(-)(Vcom기준)의 데이터 신호(Data)가 공급되고, 공통 전압(Vcom)이 부극성(-)이 되면 정극성(+)(Vcom기준)의 데이터 신호(Data)가 공급된다. 이 결과, 교류 구동되는 공통 전압(Vcom)에 의해 데이터 신호(Data)의 전압 범위를 감소시킬 수 있으므로 소비 전력을 절감할 수 있게 된다.

구체적으로, 리셋 기간(RESET)에서 부극성(-) 데이터 신호가 입력된 경우, 하이 상태의 제1 제어 신호(CS1)에 응답하여 입력 스위치(SW1) 및 초기화 스위치(SW3)가 턴-온된다. 이에 따라, 제1 및 제2 비교기(20, 22)를 구성하는 인버터(26)의 입출력단이 VTH로 초기화되어 캐패시터(C1)에는 입력 전압(Vin)과 VTH의 차전압이 충전된다. 이때, 로우 상태의 제3 제어 신호(CS3)에 의해 턴-온된 출력 인버터(24)의 제2 PMOS 트랜지스터(PT2)와, 입력단 전압에 의해 턴-온된 제1 PMOS 트랜지스터(PT1)를 통해 데이터 라인(DL)에는 고전위 구동 전압(VDD)이 프리충전된다.

그 다음, 피드백 기간(FEEDBACK)에서 로우 상태의 제1 제어 신호(CS1)에 의해 입력 스위치(SW1) 및 초기화 스위치(SW2)가 턴-오프되고, 하이 상태의 제2 제어 신호(CS2)에 의해 피드백 스위치(SW2)가 턴-온됨으로써 데이터 라인(DL)에 프리충전된 전압(VDD)은 입력된 부극성(-) 데이터 신호로 수렴하게 된다. 구체적으로, 데이터 라인(DL) 상에 프리충전된 전압(VDD)은, 하이 상태의 제3 제어 신호(CS3)에 의해 출력 인버터(24)의 제2 NMOS 트랜지스터(NT2)와, 입력단 전압에 의해 턴-온된 제1 NMOS 트랜지스터(NT1)를 통해 저전위 공급 전압(VSS) 쪽으로 방전하면서 하강하게 된다. 이어서, 데이터 라인(DL)의 전압(Vout)이 입력된 정극성 데이터 신호(Vin)와 같아지거나 낮아지게 되면 제1 및 제2 비교기(20, 22)에 의해 출력 인버터(24)의 입력단 전압이 하강하여 제1 NMOS 트랜지스터(NT1)이 턴-오프됨으로써 데이터 라인(DL)의 충전이 종료된다. 이 결과, 데이터 라인(DL)에 입력된 부극성(-)의 데이터 신호가 충전되면 출력 인버터(24) 내의 전류 패스가 차단되므로 소비 전력을 절감할 수 있게 된다.

반면에, 정극성(+) 데이터 신호가 입력되는 경우 출력 인버터(24)는 상기와 상반된 동작을 하게 된다.

구체적으로, 정극성(+) 데이터 신호가 입력되는 경우, 하이 상태의 제3 제어 신호(CS3)에 의해 턴-온된 출력 인버터(24)의 제2 NMOS 트랜지스터(NT2)와, 입력단 전압에 의해 턴-온된 제1 NMOS 트랜지스터(NT1)를 통해 데이터 라인(DL)에는 저전위 구동 전압(VSS)이 프리충전된다.

그 다음, 피드백 기간(FEEDBACK), 즉 데이터 충전 기간에서 하이 상태의 제2 제어 신호(CS2)에 의해 피드백 스위치(SW2)가 턴-온됨으로써 데이터 라인(DL)에 프리충전된 전압(VSS)은 입력된 정극성(+) 데이터 신호(Vin)로 수렴하게 된다. 구체적으로, 데이터 라인(DL) 상에 프리충전된 전압(VSS)은, 로우 상태의 제3 제어 신호(CS3)에 의해 출력 인버터(24)의 제2 PMOS 트랜지스터(PT2)와, 입력단 전압에 의해 턴-온된 제1 PMOS 트랜지스터(PT1)를 통해 공급된 고전위 공급 전압(VDD)에 의해 상승하게 된다. 이에 따라, 데이터 라인(DL)의 출력 전압(Vout)이 입력된 정극성 데이터 신호(Vin)와 같아지거나 높아지게 되면 제1 및 제2 비교기(20, 22)에 의해 출력 인버터(24)의 입력단 전압이 상승하여 제1 PMOS 트랜지스터(PT1)이 턴-오프됨으로써 데이터 라인(DL)의 충전이 종료된다. 이 결과, 데이터 라인(DL)에 입력된 정극성(+)의 데이터 신호가 충전되면 출력 인버터(24) 내의 전류 패스가 차단되므로 소비 전력을 절감할 수 있게 된다.

이와 같이, 본 발명에 따른 아날로그 버퍼의 출력 인버터(24)에서는 데이터 라인(DL)으로 출력되는 전압(Vout)이 입력 데이터 신호(Vin)와 동일하지 않아 전압을 충전 및 방전하는 경우에만 전류가 흐르게 되고, 데이터 라인(DL)으로의 충전이 완료되면 전류가 흐르지 않게 되므로 소비 전력을 절감할 수 있게 된다. 또한, 본 발명에 따른 아날로그 버퍼의 출력 인버터(24)에서는 출력 인버터(24)의 PMOS 트랜지스터(PT1, PT2)와, NMOS 트랜지스터(NT1, NT2)가 동시에 턴-온되

지 않으므로 출력 전압(Vout)이 입력 전압(Vin)으로 수렴하는 과정에서 상승, 하강을 반복하는 발진(Osillation) 현상 등을 방지할 수 있게 된다. 아울러, 본 발명에 따른 아날로그 버퍼에서는 출력 인버터(24)를 제외한 나머지 인버터(26)에 포함되는 트랜지스터의 크기를 최소화하여 소비전력을 감소시킬 수 있게 된다.

도 9는 본 발명의 다른 실시 예에 따른 공통 전압 생성부의 아날로그 버퍼를 도시한 것이고, 도 10은 도 9에 도시된 아날로그 버퍼의 구동 파형도이다.

도 9에 도시된 공통 전압 생성부의 아날로그 버퍼는 도 4에 도시된 데이터 드라이버의 아날로그 버퍼와 동일한 구성 요소들을 구비하므로, 상세한 설명은 생략하기로 한다. 다만, 입력 라인 및 출력 라인에는 라인 인버전 구동을 위하여 전술한 데이터 신호와 상반된 극성으로 인버전되는 공통 전압(Vcom)이 공급되고, 이를 위하여 출력 인버터(24)를 제어하는 제3 제어 신호(CS3)도 도 8에 도시된 제3 제어 신호(CS3)과 상반된 극성으로 인버전 된다.

먼저, 정극성(+) 공통 전압(Vcom\_in)이 입력되는 경우, 리셋 기간(RESET)에서 하이 상태의 제3 제어 신호(CS3)에 의해 턴-온된 출력 인버터(24)의 제2 NMOS 트랜지스터(NT2)와, 입력단 전압에 의해 턴-온된 제1 NMOS 트랜지스터(NT1)를 통해 공통 전극(CL)은 저전위 구동 전압(VSS)으로 초기화된다. 그 다음, 피드백 기간(FEEDBACK)에서 공통 전극(CL)의 출력 전압(Vcom\_out)은, 로우 상태의 제3 제어 신호(CS3)에 의해 출력 인버터(24)의 제2 PMOS 트랜지스터(PT2)와, 입력단 전압에 의해 턴-온된 제1 PMOS 트랜지스터(PT1)를 통해 공급된 고전위 공급 전압(VDD)에 의해 상승하면서 정극성(+)의 입력 공통 전압(Vcom\_in)으로 수렴하게 된다. 이어서, 공통 전극(CL)의 출력 전압(Vcom\_out)이 입력된 정극성 공통 전압(Vcom\_in)과 같아지거나 높아지게 되면 출력 인버터(24)의 입력단 전압이 상승하여 제1 PMOS 트랜지스터(PT1)이 턴-오프됨으로써 공통 전극(CL)의 충전이 종료되고, 출력 인버터(24) 내의 전류 패스는 차단된다.

반대로, 부극성(-) 공통 전압(Vcom\_in)이 입력되는 경우, 리셋 기간(RESET)에서 로우 상태의 제3 제어 신호(CS3)에 의해 턴-온된 출력 인버터(24)의 제2 PMOS 트랜지스터(PT2)와, 입력단 전압에 의해 턴-온된 제1 PMOS 트랜지스터(PT1)를 통해 공통 전극(CL)은 고전위 구동 전압(VDD)으로 초기화된다. 그 다음, 피드백 기간(FEEDBACK)에서 공통 전극(CL)의 출력 전압(Vcom\_out)은, 하이 상태의 제3 제어 신호(CS3)에 의해 출력 인버터(24)의 제2 NMOS 트랜지스터(NT2)와, 입력단 전압에 의해 턴-온된 제1 NMOS 트랜지스터(NT1)를 통해 공급된 저전위 공급 전압(VSS)에 의해 하강하면서 부극성(-)의 입력 공통 전압(Vcom\_in)으로 수렴하게 된다. 이어서, 공통 전극(CL)의 출력 전압(Vcom\_out)이 입력된 부극성 공통 전압(Vcom\_in)과 같아지거나 낮아지게 되면 출력 인버터(24)의 입력단 전압이 하강하여 제1 NMOS 트랜지스터(NT1)이 턴-오프됨으로써 공통 전극(CL)의 충전이 종료되고, 출력 인버터(24) 내의 전류 패스는 차단된다.

이와 같이, 본 발명에 따른 아날로그 버퍼의 출력 인버터(24)에서는 공통 전극(CL)으로 출력되는 전압(Vcom\_out)이 입력 공통 전압(Vcom\_in)과 동일하지 않아 전압을 충전 및 방전하는 경우에만 전류가 흐르게 되고, 공통 전극(CL)으로의 충전이 완료되면 전류가 흐르지 않게 되므로 소비 전력을 절감할 수 있게 된다. 더불어, 본 발명에 따른 아날로그 버퍼의 출력 인버터(24)에서는 출력 인버터(24)의 PMOS 트랜지스터(PT1, PT2)와, NMOS 트랜지스터(NT1, NT2)가 동시에 턴-온되지 않으므로 출력 공통 전압(Vcom\_out)이 입력 공통 전압(Vcom\_in)으로 수렴하는 과정에서 상승, 하강을 반복하는 발진(Osillation) 현상 등을 방지할 수 있게 된다.

도 12는 본 발명의 다른 실시 예에 따른 데이터 드라이버의 아날로그 버퍼를 도시한 상세 회로도이다.

도 12에 도시된 아날로그 버퍼(60)는 하위 비트 디지털-아날로그 변환기(이하, DAC)(62)와, 출력 버퍼(64)를 구비한다. 그리고, 아날로그 버퍼(60)의 출력 전압(Vout)을 시분할하여 복수개의 데이터 라인으로 공급하는 디멀티플렉서(66)를 추가로 구비한다.

도 11에 도시된 하위 비트 DAC(62)는 데이터 드라이버에 입력되는 데이터를 중 하위 3비트(D0, D1, D3)를 해당 아날로그 신호로 변환하는 기능을 수행한다. 상위 비트의 데이터들은 이전단에 위치한 상위 비트 DAC부에 의해 아날로그 신호로 변환된다. 이에 따라, 하위 비트 DAC(62)은 상위 비트 DAC부에 의해 선택된 다수의 감마 전압 레벨들 중 하위 비트들(LSB)에 의해 세분화되는 전압을 포함하는 상한치 전압(VH) 및 하한치 전압(VL)을 이용하여 하위 3비트를 아날로그 신호로 변환하게 된다.

이를 위하여, 하위 비트 DAC(62)은 하위 3비트 데이터(D1, D1, D2)에 따라 상한치 전압(VH)과 하한치 전압(VL)을 선택적으로 출력하는 스위치(SW1, SW2, SW3)와, 스위치(SW1, SW2, SW3)와 출력 버퍼(64)의 입력단 사이에 병렬 및 직렬로 접속된 다수의 캐패시터(Ci, 2Ci)를 구비한다. 이러한 스위치(SW1, SW2, SW3)와 다수의 캐패시터(Ci, 2Ci)는 입력된 하위 3비트 데이터(D0, D1, D)에 따라 상한치 전압(VH)과 하한치 전압(VL) 사이의 전압을 8개의 전압 레벨로 구분하여 입력 전압(Vin)으로 공급한다.

그리고, 하위 비트 DAC(62)는 하위 3비트 데이터(D0, D1, D3)의 입력 라인과 스위치(SW1, SW2, SW3) 각각의 사이에 접속된 NAND 게이트(42, 43, 44)를 더 구비한다. NAND 게이트(42, 43, 44)는 인버터(40, 41)를 경유하여 공급되는 제1 제어 신호(CS1)와 하위 3비트 데이터(D0, D1, D2)를 조합하여 스위치(SW1, SW2, SW3) 각각의 제어 신호로 공급한다. 즉, NAND 게이트(42, 43, 44)는 도 13과 같이 제1 제어 신호(CS1)가 하이 상태인 리셋 기간(RESET)에서 하위 3비트 데이터(D0, D1, D2)가 스위치(SW1, SW2, SW3) 각각을 제어하여 상한치 전압(VH) 또는 하한치 전압(VL)이 출력되도록 한다. 이 경우, NAND 게이트(42, 43, 44) 각각의 출력 신호는 스위치(SW1, SW2, SW3) 각각의 P형 트랜지스터를 제어하는 제어 신호로, 인버터(45, 46, 47) 각각을 한번 더 경유한 출력 신호는 스위치(SW1, SW2, SW3) 각각의 N형 트랜지스터를 제어하는 제어 신호로 이용된다.

출력 버퍼(64)는 입력단과 출력단 사이에 직렬 접속된 인버터(52, 54, 56)와, 입력단과 출력단 사이에 접속된 피드백 스위치(SW4)와, 피드백 스위치(SW4)와 입력단 사이에 직렬 접속된 캐패시터(C2)와, 인버터(52, 54) 각각의 초기화 스위치(SW5)와, 인버터(54)의 입력단에 직렬 접속된 캐패시터(C1)를 구비한다. 이러한 출력 버퍼(64)는 도 4에 도시된 버퍼와 동일하게 동작한다. 그리고, 출력 버퍼(64)는 캐패시터(C2)와 하한치 전압(VL)의 공급 라인 사이에 접속된 스위치(SW6)와, 스위치(SW6)가 피드백 스위치(SW4)와 상반계 동작하도록 제1 및 제2 제어 신호(CS1, CS2)를 공급하는 인버터(51,

53)를 추가로 구비한다. 스위치(SW6)은 리셋 기간(RESET)에서 턴-온되어 캐패시터(C2)의 한 노드를 하안치 전압(VL)으로 고정되게 한 후, 입력 전압(Vin)이 하위비트 DAC에 포함되는 다수의 캐패시터(Ci, 2Ci)와 캐패시터(C2)의 비로 결정되게 한다.

디멀티플렉서(66)는 출력 버퍼(54)의 출력 전압(Vout)을 선택적으로 R, G, B 데이터 라인으로 공급하기 위한 스위치(SW7, SW8, SW9)를 구비한다. 스위치(SW7)은 R 이네이블 신호(RE)에 응답하여 출력 버퍼(54)의 출력 전압(Vout)을 R 데이터 라인으로, 스위치(SW8)은 G 이네이블 신호(GE)에 응답하여 출력 버퍼(54)의 출력 전압(Vout)을 G 데이터 라인으로, 스위치(SW9)는 B 이네이블 신호(BE)에 응답하여 출력 버퍼(54)의 출력 전압(Vout)을 B 데이터 라인으로 공급한다.

이러한 구성을 갖는 아날로그 버퍼(60) 및 디멀티플렉서(66)의 구동 방법을 도 12에 도시된 구동 파형을 참조하여 설명하기로 한다.

도 12를 참조하면, 데이터 신호의 극성을 결정하는 극성 제어 신호(POL)는 수평 기간마다 극성이 인버전된다. 아날로그 버퍼(60)의 리셋 기간 및 피드백 기간을 결정하는 제1 및 제3 제어 신호(CS1, CS3)는 한 프레임 기간에 R, G, B 데이터 신호를 순차적으로 출력할 수 있도록, 3회의 리셋 기간 및 피드백 기간을 포함한다. 이때, 제3 제어 신호(CS3)는 한 프레임마다, 즉 극성 제어 신호(POL)의 에지마다 교번적으로 제1 제어 신호(CS1)와 상반된 극성과, 동일한 극성을 갖도록 인버전된다. 다만, 제3 제어 신호(CS3)는 극성 제어 신호(POL)가 극성이 인버전되는 시점으로부터 첫번째 리셋 기간까지는 데이터 신호의 프리차지를 위하여 이전 극성을 유지하게 한다.

구체적으로, 공통 전압(Vcom)이 정극성(+)인 경우, 리셋 기간에서 하이 상태의 제1 제어 신호(CS1)에 의해 출력 버퍼(64)의 입력단에는 하위 비트 DAC(62)으로부터 부극성(-)의 데이터 신호가 공급된다. 이때, 로우 상태의 제3 제어 신호(CS3)에 의해 아날로그 버퍼(60)의 출력 전압(Vout)은 고전위 구동 전압(VDD)으로 초기화된다. 이러한 출력 전압(Vout)은 디멀티플렉서(66)에 의해 R, G, B 중 어느 하나의 데이터 라인으로 충전된다. 이때, 데이터 라인과 공통 전극(CL)이 동일한 극성으로 이동하므로 소비 전력면에서 효율적이다. 이어서, 피드백 기간에서 하이 상태의 제3 제어 신호(CS3)에 의해 출력 인버터(56)의 NMOS 트랜지스터(NT1, NT2)가 턴-온되어 출력 전압(Vout)은, 입력 전압(Vin)으로 공급된 부극성(-)의 데이터 신호로 수렴하게 된다. 이때, 출력 인버터(56)의 PMOS 트랜지스터(PT1, PT2)는 턴-오프 상태이므로 전류 패스가 차단되어 소비전력이 매우 작아지게 된다. 이러한 출력 전압(Vout)은 디멀티플렉서(66)에 의해 R, G, B 중 어느 하나의 데이터 라인으로 충전된다. 아날로그 버퍼(60)와 디멀티플렉서(66)는 이러한 동작을 3회 반복하여 부극성(-)의 R, G, B 데이터 신호를 해당 라인에 순차적으로 충전하게 된다.

공통 전압(Vcom)이 부극성(-)인 경우, 리셋 기간에서 하이 상태의 제1 제어 신호(CS1)에 의해 출력 버퍼(64)의 입력단에는 하위 비트 DAC(62)으로부터 정극성(+)의 데이터 신호가 공급된다. 이때, 하이 상태의 제3 제어 신호(CS3)에 의해 아날로그 버퍼(60)의 출력 전압(Vout)은 저전위 구동 전압(VSS)으로 초기화된다. 이러한 출력 전압(Vout)은 디멀티플렉서(66)에 의해 R, G, B 중 어느 하나의 데이터 라인으로 충전된다. 이때, 데이터 라인과 공통 전극(CL)이 동일한 극성으로 이동하므로 소비 전력면에서 효율적이다. 이어서, 피드백 기간에서 하이 상태의 제3 제어 신호(CS3)에 의해 출력 인버터(56)의 PMOS 트랜지스터(NT1, NT2)가 턴-온되어 출력 전압(Vout)은, 입력 전압(Vin)으로 공급된 정극성(+)의 데이터 신호로 수렴하게 된다. 이때, 출력 인버터(56)의 NMOS 트랜지스터(NT1, NT2)는 턴-오프 상태이므로 전류 패스가 차단되어 소비전력이 매우 작아지게 된다. 이러한 출력 전압(Vout)은 디멀티플렉서(66)에 의해 R, G, B 중 어느 하나의 데이터 라인으로 충전된다. 아날로그 버퍼(60)와 디멀티플렉서(66)는 이러한 동작을 3회 반복하여 정극성(+)의 R, G, B 데이터 신호를 해당 라인에 순차적으로 충전하게 된다.

**발명의 효과**

상술한 바와 같이, 본 발명에 따른 아날로그 버퍼는 출력단의 출력 인버터가 출력 전압이 버퍼의 입력 전압과 동일하지 않아 전압을 충전 및 방전하는 경우에만 전류가 흐르게 되므로 소비 전력을 절감할 수 있게 된다. 또한, 본 발명에 따른 아날로그 버퍼의 출력 인버터에서는 PMOS 트랜지스터, NMOS 트랜지스터가 동시에 턴-온되지 않으므로 도통 전류(Through Current)가 발생하지 않아 소비 전력이 매우 작음과 아울러 상승, 하강을 반복하는 발진(Osillation) 현상 등과 같은 회로 불안정 현상을 방지할 수 있게 된다.

그리고, 본 발명에 따른 아날로그 버퍼를 이용한 액정 표시 장치 및 그 구동 방법은 공통 전압이 정극성인 경우 고전위 구동 전압(VDD)을, 부극성인 경우 저전위 구동 전압(VSS)를 데이터 라인에 프리충전함으로써 데이터 라인 및 공통 전극이 동일한 극성을 갖게 되므로 소비 전력면에서 효율적이다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

**(57) 청구의 범위**

**청구항 1.**

- 입력 라인으로부터의 입력 전압을 출력 라인에 완충하는 아날로그 버퍼에 있어서,
- 상기 입력 라인에 직렬 접속된 인버터를 포함하는 비교기와;
- 상기 입력 라인과 출력 라인 사이에 접속된 피드백 스위치와;

상기 비교기와 상기 출력 라인 사이에 접속되어 리셋 기간에서 제1 및 제2 구동 전압 중 어느 하나의 구동 전압을 상기 출력 라인으로 프리충전하고, 피드백 기간에서 프리충전된 전압이 상기 피드백 스위치를 통해 입력 라인으로 피드백되어 상기 입력 전압으로 수렴되면 상기 제1 및 제2 구동 전압을 차단하는 출력 인버터를 구비하는 것을 특징으로 하는 아날로그 버퍼.

## 청구항 2.

제 1 항에 있어서,

상기 비교기는

상기 입력 라인과 상기 출력 인버터 사이에 직렬 접속된 복수개의 인버터와;

상기 인버터의 입력단에 직렬 접속된 캐패시터와;

상기 리셋 기간에서 상기 인버터를 입출력단 접속으로 초기화시키는 초기화 스위치를 구비하는 것을 특징으로 하는 아날로그 버퍼.

## 청구항 3.

제 1 항에 있어서,

상기 리셋 기간에서 상기 입력 라인에 상기 입력 전압을 공급하는 입력 스위치를 추가로 구비하는 것을 특징으로 하는 아날로그 버퍼.

## 청구항 4.

제 1 항에 있어서,

상기 출력 인버터는

상기 비교기와 상기 출력 라인 사이에 접속되어 인버터를 구성하는 제1 및 제2 트랜지스터와;

상기 제1 구동 전압의 공급 라인과 상기 제1 트랜지스터 사이에 접속되어 제어 신호에 의해 제어되는 제3 트랜지스터와;

상기 제2 구동 전압의 공급 라인과 상기 제2 트랜지스터 사이에 접속되어 상기 제어 신호에 의해 제어되는 제4 트랜지스터를 구비하는 것을 특징으로 하는 아날로그 인버터.

## 청구항 5.

제 4 항에 있어서,

상기 제1 및 제3 트랜지스터는 PMOS 트랜지스터이고, 상기 제2 및 제4 트랜지스터는 NMOS 트랜지스터인 것을 특징으로 하는 아날로그 인버터.

## 청구항 6.

제 5 항에 있어서,

상기 출력 인버터는

상기 리셋 기간에서 상기 입력 라인에 제1 극성의 입력 전압이 공급되면 상기 제1 및 제3 트랜지스터를 턴-온시켜 상기 제1 구동 전압이 상기 출력 라인으로 프리차징되고,

상기 피드백 기간에서 상기 제2 및 제4 트랜지스터를 턴-온시켜 상기 출력 라인 상의 전압이 상기 제2 구동 전압으로 방전하면서 상기 입력 전압으로 수렴하게 하는 것을 특징으로 하는 아날로그 인버터.

### 청구항 7.

제 5 항에 있어서,

상기 출력 인버터는

상기 리셋 기간에서 상기 입력 라인에 제2 극성의 입력 전압이 공급되면 상기 제2 및 제4 트랜지스터를 턴-온시켜 상기 제2 구동 전압이 상기 출력 라인으로 프리차징되고,

상기 피드백 기간에서 상기 제1 및 제3 트랜지스터를 턴-온시켜 상기 출력 라인 상의 전압이 상기 제1 구동 전압을 충전 하면서 상기 입력 전압으로 수렴하게 하는 것을 특징으로 하는 아날로그 인버터.

### 청구항 8.

제 2 항에 있어서,

상기 피드백 스위치와 상기 입력 라인 사이에 접속된 제2 캐패시터를 추가로 구비하고,

상기 캐패시터와 제2 캐패시터의 비로 상기 출력 전압을 조절하는 것을 특징으로 하는 아날로그 인버터.

### 청구항 9.

제 2 항에 있어서,

n비트 데이터 각각에 응답하여 제3 및 제4 구동 전압 중 어느 하나를 출력하는 n개의 스위치와; 상기 n개의 스위치가 상기 입력 라인과 사이에 접속된 다수의 캐패시터를 구비하여 상기 제3 및 제4 구동 전압 사이의 전압을 상기 n비트 데이터에 따라 분할하여 상기 입력 라인으로 공급하는 n비트 디지털-아날로그 변환기를 추가로 구비하는 것을 특징으로 하는 아날로그 인버터.

### 청구항 10.

제 1 항 내지 제 9 항 중 어느 한 항에 있어서,

화소 매트릭스의 데이터 라인들을 구동하는 데이터 드라이버와;

상기 화소 매트릭스의 게이트 라인들을 구동하는 게이트 드라이버와;

상기 화소 매트릭스의 공통 전극에 기준 전압인 공통 전압을 공급하는 공통 전압 생성부를 구비하고;

상기 데이터 드라이버 및 게이트 드라이버와 공통 전압 생성부 중 적어도 하나가 상기 아날로그 버퍼를 포함하는 것을 특징으로 하는 액정 표시 장치.

### 청구항 11.

제 10 항에 있어서,

상기 데이터 드라이버는 입력 극성 제어 신호에 응답하여 극성 인버전되는 데이터 신호를 상기 데이터 라인으로 공급하고,

상기 공통 전압 발생부는 교류 구동되는 공통 전압을 상기 공통 전극에 공급하는 것을 특징으로 하는 액정 표시 장치.

### 청구항 12.

제 11 항에 있어서,

상기 공통 전압 발생부가 정극성의 공통 전압을 공급하고, 상기 데이터 드라이버가 부극성의 데이터 신호를 공급하는 경우

상기 데이터 드라이버의 아날로그 버퍼는 상기 리셋 기간에서 상기 제1 구동 전압이 상기 데이터 라인으로 프리충전되게 하고, 프리충전된 전압이 상기 피드백 기간에서 상기 제2 구동 전압 쪽으로 방전되게 하여 상기 부극성 데이터 신호로 수렴하게 하는 것을 특징으로 하는 액정 표시 장치.

### 청구항 13.

제 12 항에 있어서,

상기 공통 전압 발생부의 아날로그 버퍼는

상기 리셋 기간에서 정극성 공통 전압이 입력되면 상기 제1 구동 전압이 상기 공통 전극으로 프리충전되게 하고, 프리충전된 전압이 상기 피드백 기간에서 상기 제2 구동 전압에 의해 상승하여 상기 정극성의 공통 전압으로 수렴하게 하는 것을 특징으로 하는 액정 표시 장치.

### 청구항 14.

제 11 항에 있어서,

상기 공통 전압 발생부가 부극성의 공통 전압을 공급하고, 상기 데이터 드라이버가 정극성의 데이터 신호를 공급하는 경우

상기 데이터 드라이버의 아날로그 버퍼는 상기 리셋 기간에서 상기 제2 구동 전압이 상기 데이터 라인으로 프리충전되게 하고, 프리충전된 전압이 상기 피드백 기간에서 상기 제1 구동 전압에 의해 상승하여 상기 정극성 데이터 신호로 수렴하게 하는 것을 특징으로 하는 액정 표시 장치.

### 청구항 15.

제 14 항에 있어서,

상기 공통 전압 발생부의 아날로그 버퍼는

상기 리셋 기간에서 부극성 공통 전압이 입력되면 상기 제2 구동 전압이 상기 공통 전극으로 프리충전되게 하고, 프리충전된 전압이 상기 피드백 기간에서 상기 제1 구동 전압에 의해 방전하여 상기 부극성의 공통 전압으로 수렴하게 하는 것을 특징으로 하는 액정 표시 장치.

### 청구항 16.

제 12 항에 있어서,

상기 데이터 드라이버는

상기 아날로그 버퍼를 통해 공급되는 데이터 신호를 시분할하여 다수개의 데이터 라인에 순차적으로 공급하는 디멀티플렉서를 추가로 구비하는 것을 특징으로 하는 액정 표시 장치.

### 청구항 17.

제 1 항 내지 제 9 항 중 어느 한 항에 기재된 아날로그 버퍼가 각각 포함된 데이터 드라이버 및 공통 전압 발생부를 이용한 액정 표시 장치의 구동 방법에 있어서,

상기 공통 전압 발생부에서 공통 전극으로 정극성의 공통 전압을 출력하는 기간과, 부극성의 공통 전압을 출력하는 기간을 포함하고,

상기 공통 전압이 정극성인 경우 상기 데이터 드라이버의 아날로그 버퍼는,

상기 리셋 기간에서 부극성의 데이터 신호가 입력되면 상기 제1 구동 전압이 상기 데이터 라인에 프리충전되게 하고, 프리충전된 전압이 상기 피드백 기간에서 상기 제2 구동 전압 쪽으로 방전하면서 상기 부극성 데이터 신호로 수렴하게 하고,

상기 공통 전압이 부극성인 경우 상기 데이터 드라이버의 아날로그 버퍼는,

상기 리셋 기간에서 정극성의 데이터 신호가 입력되면 상기 제2 구동 전압이 상기 데이터 라인으로 프리충전되게 하고, 프리충전된 전압이 상기 피드백 기간에서 상기 제1 구동 전압에 의해 상승하여 상기 정극성 데이터 신호로 수렴하게 하는 것을 특징으로 하는 액정 표시 장치의 구동 방법.

**청구항 18.**

제 17 항에 있어서,

상기 공통 전압 발생부의 아날로그 버퍼는

상기 리셋 기간에서 정극성의 공통 전압이 입력되면 상기 제1 구동 전압이 상기 공통 전극으로 프리충전되게 하고, 프리충전된 전압이 상기 피드백 기간에서 상기 제2 구동 전압에 의해 상승하여 상기 정극성의 공통 전압으로 수렴하게 하는 것을 특징으로 하는 액정 표시 장치의 구동 방법.

**청구항 19.**

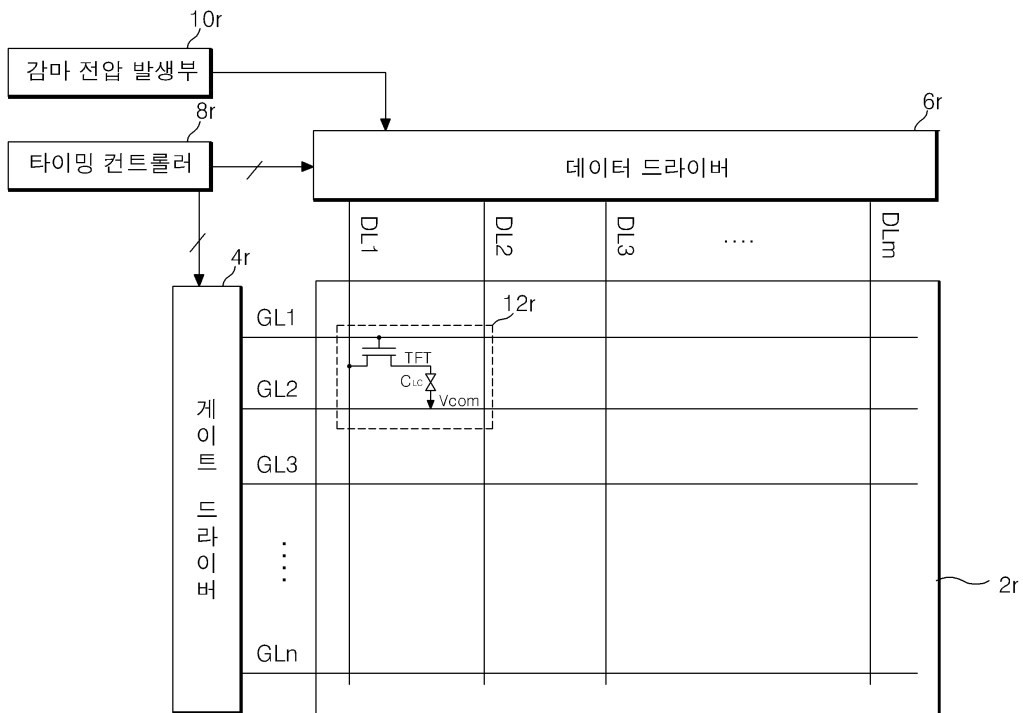
제 17 항에 있어서,

상기 공통 전압 발생부의 아날로그 버퍼는

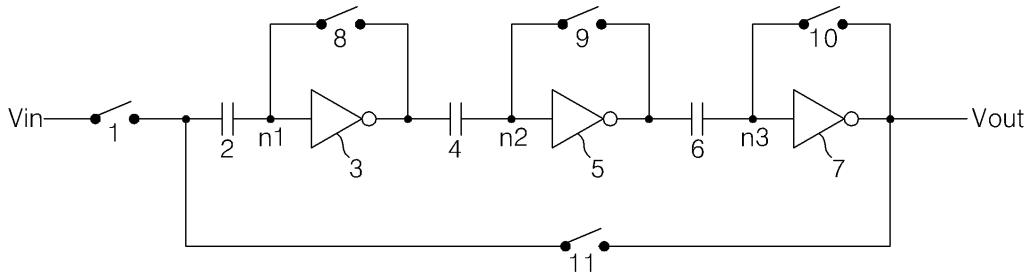
상기 리셋 기간에서 부극성의 공통 전압이 입력되면 상기 제2 구동 전압이 상기 공통 전극으로 프리충전되게 하고, 프리충전된 전압이 상기 피드백 기간에서 상기 제1 구동 전압에 의해 방전하여 상기 부극성의 공통 전압으로 수렴하게 하는 것을 특징으로 하는 액정 표시 장치의 구동 방법.

**도면**

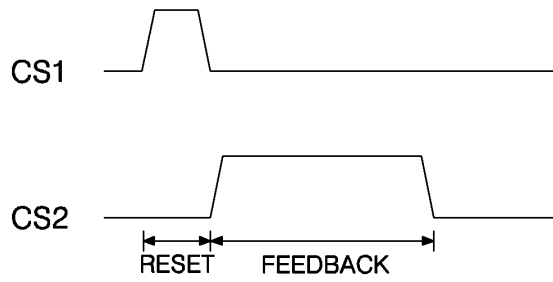
도면1



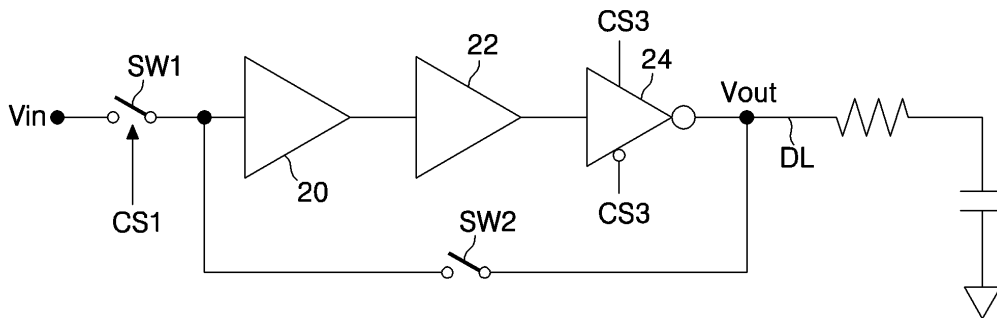
도면2



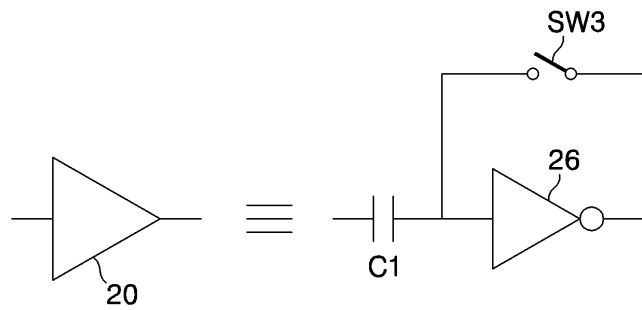
도면3



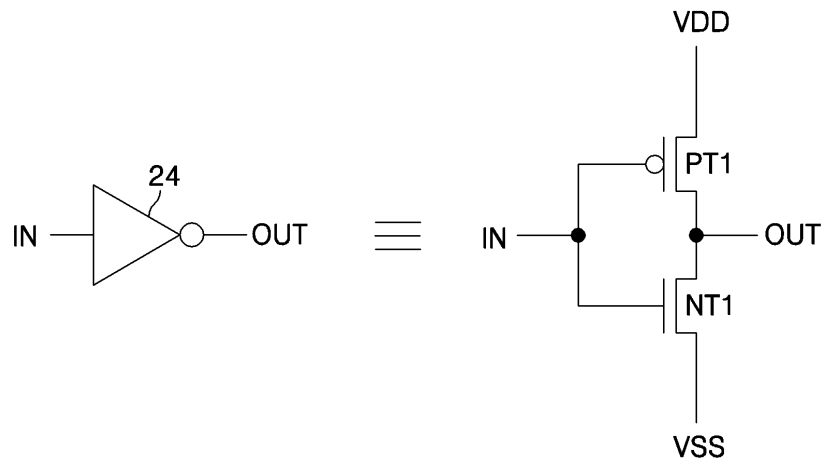
도면4



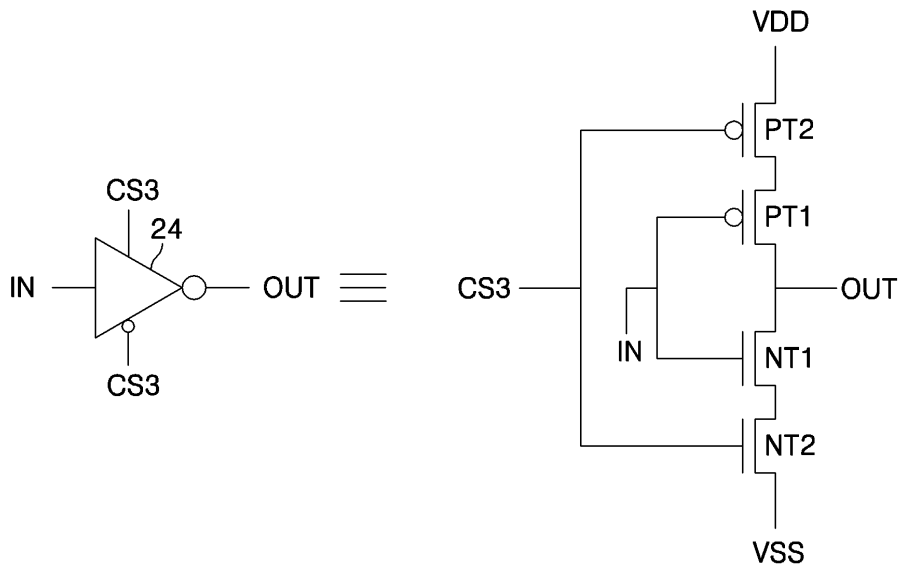
도면5



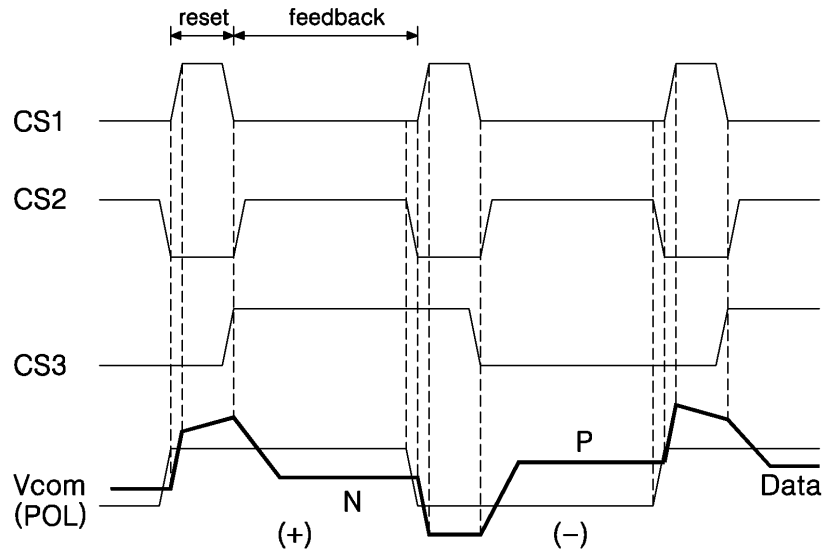
도면6



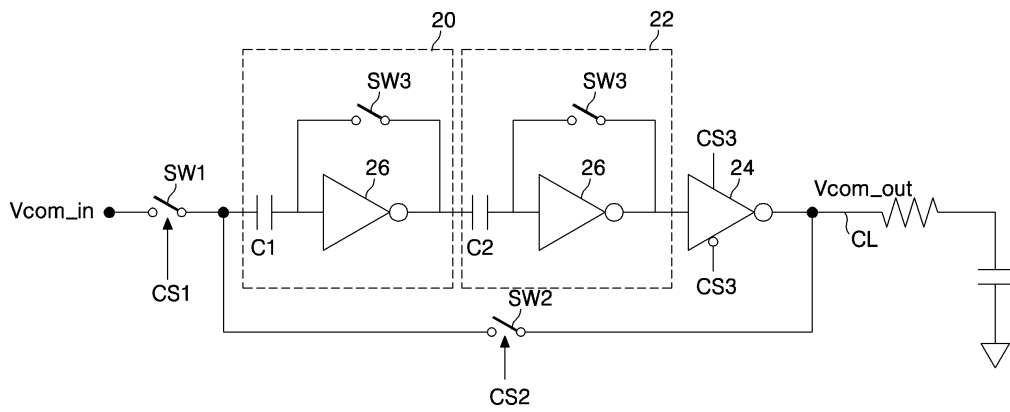
도면7



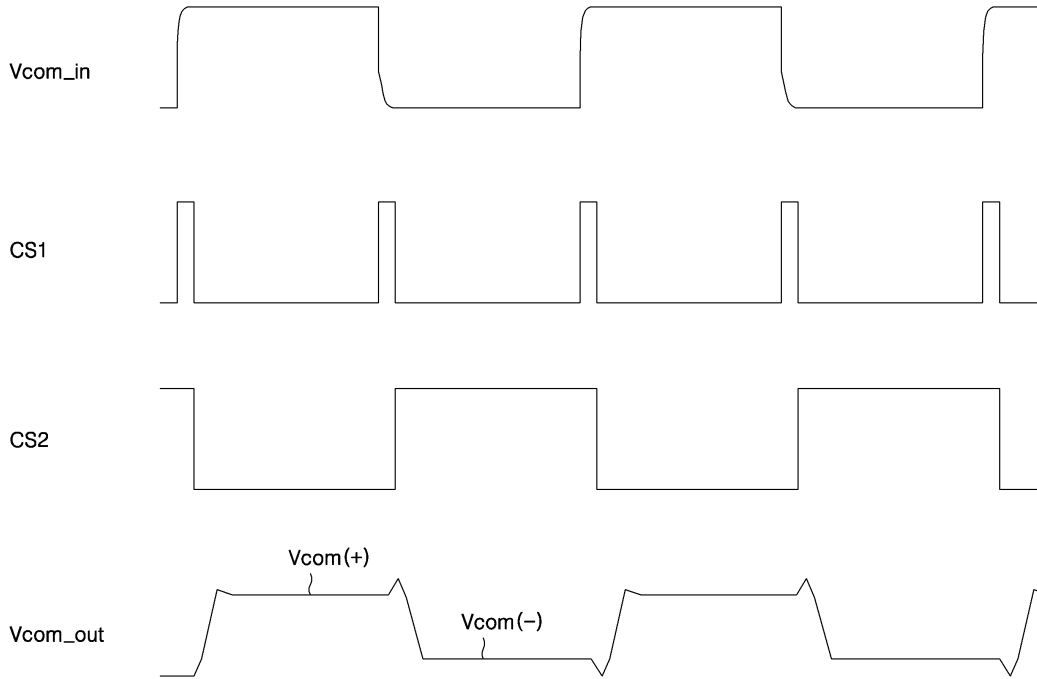
도면8



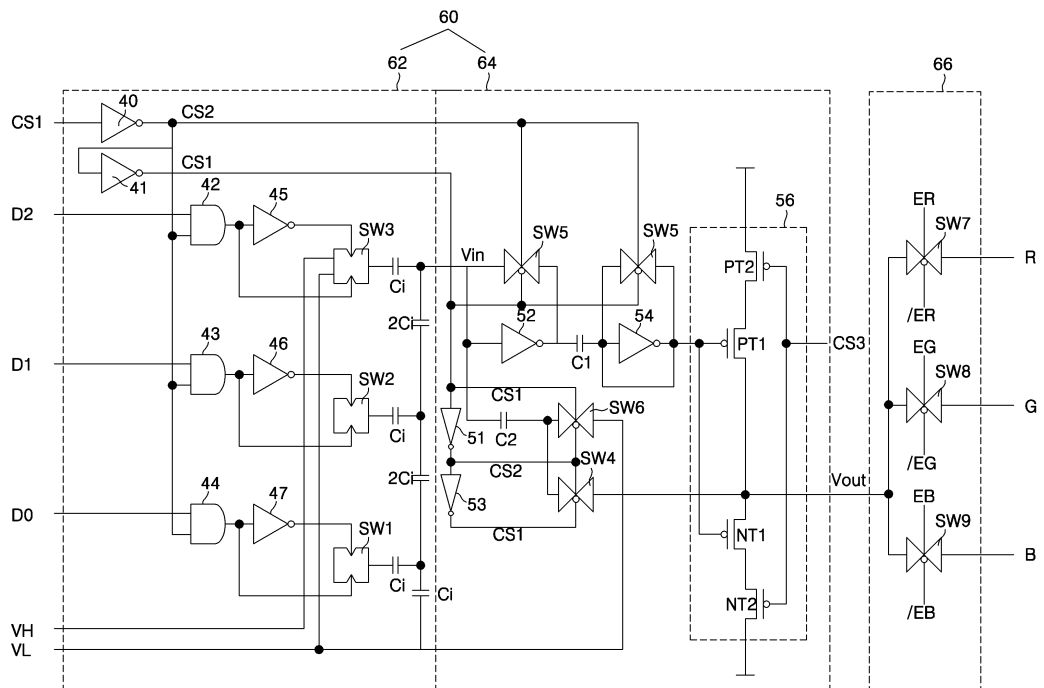
도면9



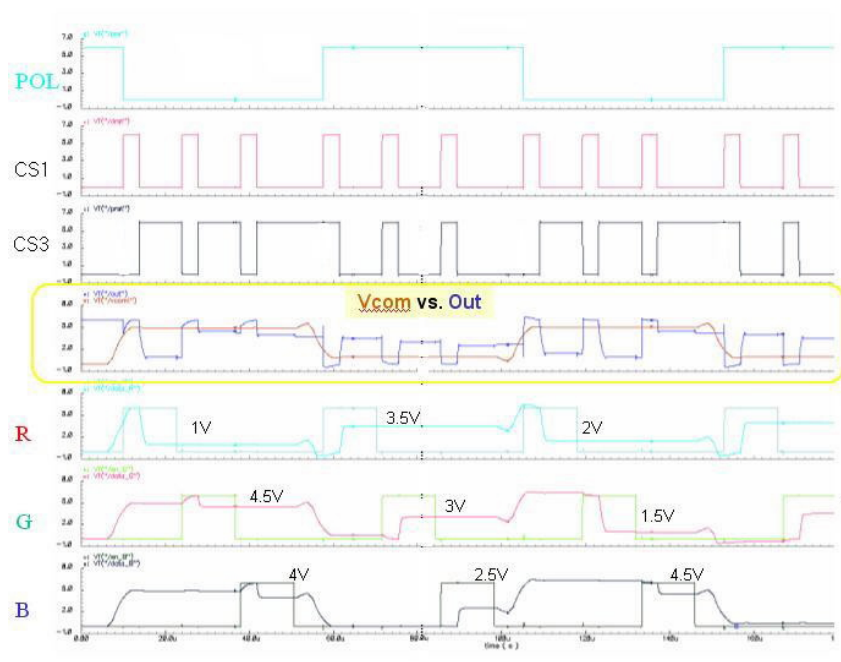
도면10



도면11



도면12



专利名称(译)	模拟缓冲器，使用其的液晶显示器及其驱动方法		
公开(公告)号	<a href="#">KR1020050068839A</a>	公开(公告)日	2005-07-05
申请号	KR1020030100654	申请日	2003-12-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM KEEJONG 김기종 YOO JUHNSUK 유준석		
发明人	김기종 유준석		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3688 G09G2320/0223		
其他公开文献	KR101022581B1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

目的：提供模拟缓冲器，使用该模拟缓冲器的LCD装置及其驱动方法，以通过仅在充电或放电电压时施加电流来降低功耗。

