

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>  
G02F 1/133

(11) 공개번호 10-2005-0058054  
(43) 공개일자 2005년06월16일

(21) 출원번호 10-2003-0090300  
(22) 출원일자 2003년12월11일

(71) 출원인 엘지.필립스 엘시디 주식회사  
서울 영등포구 여의도동 20번지

(72) 발명자 홍진철  
경상북도구미시오태동대동3차아파트102동1105호

(74) 대리인 김영호

심사청구 : 없음

(54) 액정표시장치의 구동장치 및 방법

요약

본 발명은 라인단위로 데이터를 비교하여 데이터 천이량을 최소화함으로써 전자파 간섭(EMI) 특성을 향상시킬 수 있도록 한 액정표시장치의 구동장치에 관한 것이다.

본 발명의 액정표시장치의 구동장치는 외부로부터 데이터를 공급받는 타이밍 콘트롤러와; 타이밍 콘트롤러에 설치되어 한라인 이전데이터들과 현재 라인데이터들을 비교하여 라인제어신호를 생성함과 아울러 현재 화소데이터와 이전 화소데이터를 비교하여 모드 제어신호를 생성하고, 라인제어신호에 대응하여 데이터의 공급유무를 결정함과 아울러 모드 제어신호에 대응하여 현재 화소데이터를 반전 또는 비반전하여 공급하는 인코딩 블록과; 데이터 집적회로 각각에 설치되어 라인제어신호에 대응하여 데이터를 공급유무를 결정함과 아울러 모드 제어신호에 대응하여 자신에게 입력된 데이터를 반전 또는 비반전하여 데이터 집적회로로 공급하기 위한 디코딩 블록을 구비한다.

대표도

도 5

명세서

도면의 간단한 설명

- 도 1은 종래의 액정표시장치의 구동장치를 나타내는 도면.
- 도 2는 종래의 다른 실시예에 의한 액정표시장치의 구동장치를 나타내는 도면.
- 도 3은 종래의 데이터 집적회로를 나타내는 블록도.
- 도 4는 본 발명의 실시예에 의한 액정표시장치의 구동장치를 나타내는 도면.
- 도 5는 도 4에 도시된 타이밍 콘트롤러를 상세히 나타내는 블록도.
- 도 6은 본 발명의 실시예에 의한 데이터 집적회로를 나타내는 블록도.

< 도면의 주요 부분에 대한 부호의 설명 >

2,32 : 액정패널 4,34 : 데이터 드라이버

6,36 : 게이트 드라이버 8,12,38, : 타이밍 콘트롤러

- 10 : 시스템 14 : 모드 제어부
- 18 : 데이터 복원부 20,70 : 쉬프트 레지스터부
- 22,72 : 래치부 24,74 : DAC부
- 26,76 : 출력버퍼부 40 : 엔코딩 블록
- 42 : 디코딩 블록 50 : 게이트 제어신호 생성부
- 52 : 데이터 제어신호 생성부 54,62 : 메모리 블록
- 56 : 비교부 58 : 데이터 생성부
- 60 : 지연부 78 : 데이터 복원부

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 액정표시장치의 구동장치 및 방법에 관한 것으로 특히, 라인단위로 데이터를 비교하여 데이터 천이량을 최소화함으로써 전자파 간섭(EMI) 특성을 향상시킬 수 있도록 한 액정표시장치의 구동장치 및 방법에 관한 것이다.

액정표시장치는 데이터신호에 따라 액정셀들의 광투과율을 조절하여 화상을 표시하게 된다. 이러한 액정표시장치는 셀마다 스위칭소자가 형성된 액티브 매트릭스(Active Matrix) 타입으로 구현되어 컴퓨터용 모니터, 사무기기, 셀룰라폰 등의 표시장치에 적용되고 있다. 액티브 매트릭스 타입의 액정표시장치에 사용되는 스위칭소자로는 주로 박막트랜지스터(Thin Film Transistor; 이하 "TFT"라 함)가 이용되고 있다.

도 1은 종래의 액정표시장치의 구동장치를 개략적으로 나타내는 도면이다.

도 1을 참조하면, 종래의 액정표시장치의 구동장치는 데이터라인들(DL)과 게이트라인들(GL)의 교차부에 매트릭스 타입으로 배치된 액정셀들(Clc)을 구비하는 액정패널(2)과, 데이터라인들(DL)에 데이터신호를 공급하기 위한 데이터 드라이버(4)와, 게이트라인들(GL)에 게이트신호를 공급하기 위한 게이트 드라이버(6)와, 시스템(10)으로부터 공급되는 동기신호들(H,V,DE)을 이용하여 데이터 드라이버(4) 및 게이트 드라이버(6)를 제어하기 위한 타이밍 콘트롤러(8)를 구비한다.

액정패널(2)은 데이터라인들(DL) 및 게이트라인들(GL)의 교차부에 매트릭스 형태로 배치된 다수의 액정셀(Clc)을 구비한다. 액정셀(Clc) 각각에 형성된 TFT는 게이트라인(GL)으로부터 공급되는 스캔신호에 응답하여 데이터라인들(DL)로부터 공급되는 데이터신호를 액정셀(Clc)로 공급한다. 이와 같은 액정셀(Clc) 각각에는 스토리지 캐패시터(Cst)가 형성되고, 스토리지 캐패시터(Cst)는 액정셀(Clc)의 전압을 일정하게 유지시킨다.

데이터 드라이버(4)는 타이밍 콘트롤러(8)로부터의 데이터 제어신호(DCS)에 응답하여 디지털 비디오 데이터(R,G,B)를 계조값에 대응하는 아날로그 감마전압(즉, 데이터신호)으로 변환하고, 이 아날로그 감마전압을 데이터라인들(DL)로 공급한다.

게이트 드라이버(6)는 타이밍 콘트롤러(8)로부터의 게이트 제어신호(GCS)에 응답하여 스캔펄스를 게이트라인들(GL)에 순차적으로 공급하여 데이터신호가 공급될 액정패널(2)의 수평라인을 선택한다.

시스템(10)은 수직/수평 동기신호(V,H), 클럭신호(DCLK) 및 데이터 인에이블 신호(DE)등을 타이밍 콘트롤러(8)로 공급한다. 그리고, 시스템(10)은 저전압 차등 신호(Low Voltage Differential Signal : LVDS) 인터페이스를 이용하여 병렬의 디지털 데이터를 직렬 데이터로 압축하여 타이밍 콘트롤러(8)로 공급한다.

타이밍 콘트롤러(8)는 시스템(10)으로부터 입력되는 수직/수평동기신호(V,H), 클럭신호(DCLK) 및 데이터 인에이블 신호(DE)등을 이용하여 게이트 드라이버(6) 및 데이터 드라이버(4)를 제어하기 위한 데이터 제어신호(DCS) 및 게이트 제어신호(GCS)를 생성한다. 아울러, 타이밍 콘트롤러(8)는 시스템(10)으로부터 공급된 데이터를 병렬 데이터로 복원하여 데이터 드라이버(4)로 공급한다.

이와 같은 타이밍 콘트롤러(8)는 한 화소분(예를 들어, 18bit : R,G,B 각 6bit)의 데이터를 18개의 데이터라인을 이용하여 데이터 드라이버(4)로 공급한다. 하지만, 이와 같이 한 화소분의 데이터가 타이밍 콘트롤러(8)로부터 데이터 드라이버(4)로 공급되게 되면 데이터의 천이에 의하여 전자파 간섭(Electromagnetic Interference : 이하 "EMI"라 함)이 심하게 나타나게 된다.

표 1.

	R[0:5]	G[0:5]	B[0:5]
Pn	0 0 0 0 0 0	0 0 0 0 0 0	0 0 0 0 0 0
Pn+1	1 1 1 1 1 1	1 1 1 1 1 1	1 1 1 1 1 1

예를 들어, 표 1과 같이 현재 화소 데이터(Pn)가 모두 "0"비트를 갖고, 다음 화소 데이터(Pn+1)가 모두 "1"의 비트를 갖는다면 모든 비트에서 천이가 발생되어 높은 EMI가 발생되게 된다. 특히, 이와 같은 현상은 액정패널(2)의 해상도 및 인치등이 증가할 수록 더욱 심하게 나타난다. 예를 들어, 한 화소분의 데이터로 24bit(R,G,B 각 8bit)가 사용된다면 타이밍 콘트롤러(8)에서 데이터 드라이버(4)로 전송되는 비트수도 증가되게 되어 더욱 높은 EMI가 발생된다.

따라서, 이와 같이 높은 EMI가 발생하는 것을 방지하기 위하여 도 2와 같은 구동장치가 제안되었다.

도 2는 종래의 다른 실시예에 의한 액정표시장치의 구동장치를 개략적으로 나타내는 도면이다. 도 2를 설명할 때 도 1과 동일한 기능을 하는 구성은 동일한 도면부호를 할당함과 아울러 상세한 설명은 생략하기로 한다.

도 2를 참조하면, 종래의 다른 실시예에 의한 액정표시장치의 구동장치는 데이터라인들(DL)과 게이트라인들(GL)의 교차부에 매트릭스 타입으로 배열된 액정셀들(Clc)을 구비하는 액정패널(2)과, 데이터라인들(DL)에 데이터신호를 공급하기 위한 데이터 드라이버(4)와, 게이트라인들(GL)에 게이트신호를 공급하기 위한 게이트 드라이버(6)와, 시스템(10)으로부터 공급되는 동기신호들(H,V,DE)을 이용하여 데이터 드라이버(4) 및 게이트 드라이버(6)를 제어하기 위한 타이밍 콘트롤러(12)를 구비한다.

타이밍 콘트롤러(12)는 시스템(10)으로부터 입력되는 수직/수평동기신호(V,H), 클럭신호(DCLK) 및 데이터 인에이블 신호(DE)등을 이용하여 게이트 드라이버(6) 및 데이터 드라이버(4)를 제어하기 위한 데이터 제어신호(DCS) 및 게이트 제어신호(GCS)를 생성한다. 여기서, 게이트 제어신호(GCS)에는 게이트 스타트 펄스(Gate Start Pulse : GSP), 게이트 쉬프트 클럭(Gate Shift Clock : GSC), 게이트 출력 신호(Gate Output Enable : GOE)등이 포함된다. 그리고, 데이터 제어신호(DCS)에는 소스 스타트 펄스(Source Start Pulse : SSP), 소스 쉬프트 클럭(Source Shift Clock : SSC), 소스 출력 신호(Source Output Enable : SOE) 및 극성제어신호(Polarity : POL)등이 포함된다.

아울러, 타이밍 콘트롤러(12)는 시스템(10)으로부터 공급된 데이터를 병렬 데이터로 복원하여 데이터 드라이버(4)로 공급한다. 그리고, 타이밍 콘트롤러(8)는 데이터의 천이수를 최소화시키기 위한 모드 제어부(14)를 구비한다.

모드 제어부(14)는 데이터 드라이버(4)로 공급되어야 할 다음 화소데이터와 데이터 드라이버(4)로 공급되고 있는 현재 화소데이터와의 데이터천이상태를 비교한다. 즉, 모드 제어부(14)는 다음 화소데이터(Pn+1)의 각각의 비트와 현재 화소데이터(Pn)의 각각의 비트를 비교하여 '0→1' 또는 '1→0'과 같은 비트천이량을 검출하고, 검출된 비트천이량에 대응하여 데이터를 반전 또는 비반전시켜 출력한다.

실제로, 모드 제어부(14)는 현재 화소데이터(Pn)와 다음 화소데이터(Pn+1)의 비트천이량을 계수하고, 그 계수된 천이량이 임계값(예를 들면 9 : 전체 전송량 18비트의 절반)을 초과하는지를 검사하게 된다. 그리고, 모드 제어부(14)는 데이터천이량이 임계값을 초과할 때 마다 모드제어신호(REV)의 논리값을 반전시키고 아울러 공급되어야 할 다음 화소데이터를 반전시켜 데이터 드라이버(4)로 공급하게 된다.

표 2.

	R[0:5]	G[0:5]	B[0:5]	데이터천이량	REV
Pn	0 0 0 0 0 0	0 0 0 0 0 0	0 0 0 0 0 0	0	로우
Pn+1	1 1 1 1 1 1	1 1 1 1 1 1	1 1 1 1 1 1	16	하이
Pn+2	0 0 0 0 0 0	0 0 0 0 0 0	0 0 0 0 0 0	16	로우
Pn+3	0 0 1 1 0 1	1 1 1 1 1 1	0 0 1 1 1 0	12	하이
Pn+4	0 0 1 1 0 1	0 0 0 0 0 0	0 0 1 1 1 0	6	하이

예를 들어, 표 2와 같이 Pn의 데이터가 모두 "0"비트를 갖고, 다음에 공급될 Pn+1의 데이터가 모두 "1"의 데이터를 갖는다면 16번의 비트천이가 발생된다. 이때, 비트천이가 임계값(즉, 9) 이상이 되기 때문에 모드 제어신호(REV)의 논리값이 반전됨과 아울러 Pn+1의 데이터로 "000000 000000 000000"의 데이터가 공급된다.(즉, 데이터의 모든 비트가 반전되어 공급된다) 이때, 데이터 드라이버(4)에서는 모드 제어신호(REV)에 대응하여 Pn+1의 데이터를 반전하여 "111111 111111 111111"의 데이터를 생성한다.(즉, 원래데이터로 복원된다)

이를 위하여, 데이터 드라이버(4)에 포함된 다수의 데이터 IC(Integrated Circuit) 각각은 도 3과 같이 데이터 복원부(18), 쉬프트 레지스터부(20), 래치부(22), 디지털-아날로그 변환부(이하 "DAC부"라 함)(24) 및 출력버퍼부(26)를 구비한다.

데이터 복원부(18)는 모드 제어신호(REV)에 대응하여 데이터를 반전 또는 비반전하여 래치부(22)로 공급한다. 즉, 데이터 복원부(18)는 모드 제어신호(REV)가 반전되었을 때 자신에게 공급된 데이터의 모든 비트를 반전하여 복원 데이터를 생성하고, 생성된 복원 데이터를 래치부(22)로 공급한다. 그리고, 데이터 복원부(18)는 모드 제어신호(REV)가 반전되지 않았을 때 자신에게 공급된 데이터를 중계하여 래치부(22)로 공급한다.

쉬프트 레지스터부(20)에는 다수의 쉬프트 레지스터들이 포함되어 타이밍 콘트롤러(12)로부터 공급되는 소스 스타트 펄스(SSP)를 소스 쉬프트 클럭(SSC)에 대응하여 순차적으로 쉬프트시켜 샘플링신호를 출력한다.

래치부(22)는 쉬프트 레지스터부(20)로부터의 샘플링신호에 응답하여 데이터 복원부(18)로부터 공급되는 데이터(data)를 일정단위씩 순차적으로 샘플링하여 래치하게 된다. 이를 위하여 래치부는  $i$ ( $i$ 는 자연수)개의 데이터(data)를 래치하기 위해  $i$ 개의 래치들로 구성되고, 그 래치들 각각은 데이터의 비트수(예를 들면 6비트 또는 8비트)에 대응하는 크기를 갖는다. 그리고, 래치부(36)는 타이밍 콘트롤러(12)로부터의 소스 출력 인에이블(SOE) 신호에 응답하여 래치된  $i$ 개의 데이터를 동시에 출력한다.

DAC부(24)는 래치부(22)로부터의 데이터(data)를 정극성 및/또는 부극성 데이터신호로 변환하여 출력한다. 이를 위하여, DAC부(24)는 도시되지 않은 감마전압 발생부로부터 다수의 감마전압을 공급받는다. 실제로, DAC부(24)는 극성 제어 신호(POL)에 응답하여 데이터(data)를 정극성 및/또는 부극성 데이터신호로 변환한다.

출력버퍼부(26)는 DAC부(24)로부터의 데이터신호들을 신호완충하여 데이터라인들(DL)로 공급한다.

이와 같은 종래의 다른 실시예에 의한 액정표시장치는 현재 화소데이터와 다음 화소데이터를 비교하여 데이터를 반전 또는 비반전하여 출력하기 때문에 높은 EMI가 발생하는 것을 방지할 수 있다. 하지만, 이와 같은 종래의 다른 실시예에 의한 액정표시장치는 단순히 현재 화소데이터와 다음 화소데이터만을 비교하기 때문에 데이터의 비트 천이수를 줄이는데 한계가 있다.

### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 라인단위로 데이터를 비교하여 데이터 천이량을 최소화함으로써 전자파 간섭(EMI) 특성을 향상시킬 수 있도록 한 액정표시장치의 구동장치 및 방법을 제공하는 것이다.

### 발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명의 액정표시장치의 구동장치는 외부로부터 데이터를 공급받는 타이밍 콘트롤러와; 타이밍 콘트롤러에 설치되어 한라인 이전데이터들과 현재 라인데이터들을 비교하여 라인제어신호를 생성함과 아울러 현재 화소데이터와 이전 화소데이터를 비교하여 모드 제어신호를 생성하고, 라인제어신호에 대응하여 데이터의 공급유무를 결정함과 아울러 모드 제어신호에 대응하여 현재 화소데이터를 반전 또는 비반전하여 공급하는 인코딩 블록과; 데이터 집적회로 각각에 설치되어 라인제어신호에 대응하여 데이터를 공급유무를 결정함과 아울러 모드 제어신호에 대응하여 자신에게 입력된 데이터를 반전 또는 비반전하여 데이터 집적회로로 공급하기 위한 디코딩 블록을 구비한다.

상기 인코딩 블록은 한라인 이전데이터들이 저장되는 제 1메모리블록과, 현재 라인데이터들이 저장되는 제 2메모리블록과, 제 1메모리블록과 제 2메모리블록으로부터 공급되는 한라인 이전데이터들과 현재 라인데이터들을 비교하여 라인제어신호를 생성하기 위한 비교부와, 현재 화소데이터와 이전 화소데이터를 비교하여 현재 화소데이터를 반전 또는 비반전함과 아울러 이에 대응되는 모드 제어신호를 생성하기 위한 데이터 생성부와, 일측단자로 타이밍 콘트롤러로부터 소스 쉬프트 클럭을 공급받고 다른측 단자로 라인제어신호를 공급받는 앤드 게이트를 구비한다.

외부로부터 공급되는 데이터를 한 수평라인의 시간만큼 지연시켜 제 1메모리블록으로 공급하기 위한 지연부를 추가로 구비한다.

상기 비교부는 한라인 이전데이터들과 현재 라인데이터들이 동일할 때 인에이블의 라인제어신호를 생성하고, 그 외의 경우에는 디스에이블의 라인제어신호를 생성한다.

상기 인에이블의 라인제어신호는 데이터라인들에 한 수평라인분의 데이터가 공급되는 시간만큼 인에이블 상태를 유지한다.

상기 인에이블의 라인제어신호가 공급될 때 데이터 생성부는 현재 화소데이터와 이전 화소데이터와 무관하게 데이터를 출력하지 않는다.

상기 인에이블의 라인제어신호가 공급될 때 앤드 게이트는 소스 쉬프트 클럭을 출력하지 않는다.

상기 디스에이블의 라인제어신호가 공급될 때 데이터 생성부는 현재 화소데이터와 이전 화소데이터를 비교하여 비트 천이수가 최소화되도록 현재 화소데이터를 반전 또는 비반전하여 출력한다.

상기 데이터 생성부는 현재 화소데이터가 반전되어 출력될 때 모드 제어신호의 극성을 반전시키고 그 외의 경우에는 모드 제어신호의 극성을 유지한다.

상기 디코딩블록은 인에이블의 라인제어신호가 입력될 때 데이터를 데이터 집적회로로 공급하지 않는다.

상기 데이터 집적회로는 인에이블의 라인제어신호가 입력될 때 한라인 이전데이터들을 이용하여 현재 라인으로 공급될 데이터신호를 생성한다.

상기 디코딩블록은 디스에이블의 라인제어신호가 입력될 때 모드제어신호에 대응하여 자신에게 입력된 데이터를 반전 또는 비반전하여 데이터 집적회로로 공급한다.

본 발명의 액정표시장치의 구동방법은 현재 수평라인분의 데이터와 이전 수평라인분의 데이터를 비교하는 단계와, 현재 수평라인분의 데이터와 이전 수평라인분의 데이터가 동일할 때 타이밍 컨트롤러에서 데이터 드라이버로 데이터 및 소스 쉬프트 클럭이 공급되지 않는 단계와, 데이터 및 소스 쉬프트 클럭이 공급되지 않을 때 이전 수평라인분의 데이터를 이용하여 현재 수평라인으로 공급된 데이터신호를 생성하는 단계를 포함한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하 도 4 내지 도 6을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 4는 본 발명의 실시예에 의한 액정표시장치의 구동장치를 나타내는 도면이다.

도 4를 참조하면, 본 발명의 실시예에 의한 액정표시장치의 구동장치는 데이터라인들(DL)과 게이트라인들(GL)의 교차부에 매트릭스 타입으로 배치된 액정셀들(Clc)을 구비하는 액정패널(32)과, 데이터라인들(DL)에 데이터신호를 공급하기 위한 데이터 드라이버(34)와, 게이트라인들(GL)에 게이트신호를 공급하기 위한 게이트 드라이버(36)와, 외부로부터 공급되는 동기신호들(H,V,DE,DCLK)을 이용하여 데이터 드라이버(34) 및 게이트 드라이버(36)를 제어하기 위한 타이밍 컨트롤러(38)를 구비한다.

액정패널(32)은 데이터라인들(DL) 및 게이트라인들(GL)의 교차부에 매트릭스 형태로 배치된 다수의 액정셀(Clc)을 구비한다. 액정셀(Clc) 각각에 형성된 TFT는 게이트라인(GL)으로부터 공급되는 스캔신호에 응답하여 데이터라인들(DL)로부터 공급되는 데이터신호를 액정셀(Clc)로 공급한다. 이와 같은 액정셀(Clc) 각각에는 스토리지 캐패시터(Cst)가 형성되고, 스토리지 캐패시터(Cst)는 액정셀(Clc)의 전압을 일정하게 유지시킨다.

데이터 드라이버(34)는 타이밍 컨트롤러(38)로부터의 데이터 제어신호(DCS)에 응답하여 디지털 비디오 데이터(data)를 계조값에 대응하는 아날로그 감마전압(즉, 데이터신호)으로 변환하고, 이 아날로그 감마전압을 데이터라인들(DL)로 공급한다. 이와 같은 데이터 드라이버(34)는 다수의 데이터 IC가 포함되며, 이 데이터 IC 각각은 디코딩블록(42)을 구비한다. 디코딩블록(42)은 타이밍 컨트롤러(38)로부터 공급되는 모드 제어신호(REV)에 대응하여 데이터를 반전 또는 비반전하여 데이터 IC로 공급한다. 아울러, 디코딩블록(42)은 타이밍 컨트롤러(38)로부터 공급되는 라인제어신호(LCS)에 대응하여 데이터의 공급여부를 결정한다. 이와 같은 디코딩블록(42)의 상세한 구성 및 동작과정은 후술하기로 한다.

게이트 드라이버(36)는 타이밍 컨트롤러(38)로부터의 게이트 제어신호(GCS)에 응답하여 스캔펄스를 게이트라인들(GL)에 순차적으로 공급하여 데이터신호가 공급될 액정패널(32)의 수평라인을 선택한다.

타이밍 컨트롤러(38)는 외부 시스템으로부터 입력되는 동기신호들(H,V,DE,DCLK)을 이용하여 데이터 드라이버(34) 및 게이트 드라이버(36)를 제어하기 위한 데이터 제어신호(DCS) 및 게이트 제어신호(GCS)를 생성한다. 아울러, 타이밍 컨트롤러(38)는 외부 시스템으로부터 공급된 데이터를 이전 화소데이터와 현재 화소데이터와 비교함과 아울러 현재 라인의 화소데이터와 이전 라인의 화소데이터를 비교하여 비트 천이량이 최소화될 수 있도록 데이터를 변경하기 위한 엔코딩 블록(40)을 구비한다.

도 5는 도 4에 도시된 타이밍 컨트롤러를 상세히 나타내는 블록도이다.

도 5를 참조하면, 타이밍 컨트롤러(38)는 게이트 제어신호 생성부(50), 데이터 제어신호(52) 및 엔코딩 블록(40)을 구비한다.

게이트 제어신호 생성부(50)는 외부로부터의 동기신호들(H,V,DE,DCLK)을 이용하여 게이트 제어신호(GCS)를 생성한다. 여기서, 게이트 제어신호(GCS)에는 게이트 스타트 펄스(Gate Start Pulse : GSP), 게이트 쉬프트 클럭(Gate Shift Clock : GSC), 게이트 출력 신호(Gate Output Enable : GOE)등이 포함된다.

데이터 제어신호 생성부(52)는 외부로부터의 동기신호들(H,V,DE,DCLK)을 이용하여 데이터 제어신호(DCS)를 생성한다. 여기서, 데이터 제어신호(DCS)에는 소스 스타트 펄스(Source Start Pulse : SSP), 소스 쉬프트 클럭(Source Shift Clock : SSC), 소스 출력 신호(Source Output Enable : SOE) 및 극성제어신호(Polarity : POL)등이 포함된다.

엔코딩 블록(40)은 이전 라인의 화소데이터와 현재 라인의 화소데이터가 동일할 때 라인제어신호(LCS)를 인에이블(enable)(로우신호) 시킴과 아울러 데이터 및 소스 쉬프트 클럭(SSC)을 공급하지 않는다. 아울러, 엔코딩 블록(40)은 이전 라인의 화소데이터와 현재 라인의 화소데이터가 동일하지 않을 때 라인제어신호(LCS)를 디스에이블(disable)(하이신호) 시킴과 아울러 이전 화소데이터와 현재 화소데이터를 비교하여 비트 천이량이 최소화될 수 있도록 현재 화소데이터를 반전 또는 비반전하여 데이터 드라이버(34)로 공급한다.

이를 위해, 엔코딩 블록(40)은 지연부(60), 제 1메모리블록(54), 제 2메모리블록(62), 비교부(56) 및 데이터 생성부(58)를 구비한다.

지연부(60)는 외부로부터 입력되는 데이터(data)를 한 수평라인의 시간만큼 지연시켜 제 1메모리블록(54)으로 공급한다.

제 1메모리블록(54)은 지연부(60)로부터 한라인분만큼 지연되어 공급되는 데이터(data)를 저장함과 아울러 자신에게 저장되었던 한 라인 이전분의 데이터(data(n-1))를 비교부(56)로 공급한다.

제 2메모리블록(62)은 외부로부터 입력되는 데이터(data)를 한 라인분만큼 저장함과 아울러 저장된 데이터(data(n))를 비교부(56)로 공급한다.

비교부(56)는 제 1메모리블록(54)으로부터 공급되는 이전라인분 데이터(data(n-1))의 데이터와 제 2메모리블록(62)으로부터 공급되는 현재라인분 데이터(data(n))의 동일여부를 비교한다. 여기서, 비교부(56)는 이전라인분 데이터(data(n-1))와 현재라인분 데이터(data(n))가 동일하다고 판단되면 라인제어신호(LCS)를 인에이블(로우신호)시켜 앤드게이트(59) 및 데이터 생성부(58)로 공급한다. 그리고, 이전라인분 데이터(data(n-1))와 현재라인분 데이터(data(n))가 상이하다고 판단되면 라인제어신호(LCS)를 디스에이블(하이신호)시켜 앤드게이트(59) 및 데이터 생성부(58)로 공급한다.

데이터 생성부(58)는 디스에이블의 라인제어신호(LCS)가 입력될 때 외부로부터 입력되는 현재 화소데이터와 이전 화소데이터의 비트 천이상태를 비교한다. 즉, 데이터 생성부(58)는 디스에이블의 라인제어신호(LCS)가 입력될 때 다음 화소데이터 각각의 비트와 현재 화소데이터 각각의 비트를 비교하여 '0→1' 또는 '1→0'과 같은 비트천이량을 검출하고, 검출된 비트천이량에 대응하여 데이터를 반전 또는 비반전시켜 출력한다.

실제로, 데이터 생성부(58)는 현재 화소데이터와 이전 화소데이터의 비트 천이량을 계수하고, 그 계수된 비트 천이량이 임계값(데이터의 비트수의 절반 : 18bit의 데이터라면 9)을 초과하는지를 검사한다. 그리고, 데이터 생성부(58)는 비트 천이량이 임계값을 초과할 때 마다 모드제어신호(REV)의 논리값을 반전시킴과 아울러 공급되어야 할 다음 화소데이터를 반전시켜 출력한다.

한편, 데이터 생성부(58)는 인에이블의 라인제어신호(LCS)가 입력되면 데이터(data)를 외부로 출력하지 않는다.

앤드 게이트(59)는 디스에이블의 라인제어신호(LCS)가 입력될 때 자신에게 입력되는 소스 스위프트 클럭(SSC)을 데이터 드라이버(34)로 공급한다. 그리고, 앤드 게이트(59)는 인에이블의 라인제어신호(LCS)가 입력될 때 자신에게 입력되는 소스 스위프트 클럭(SSC)을 데이터 드라이버(34)로 공급하지 않는다.

이와 같은 인코딩 블록(40)의 동작과정을 상세히 설명하면, 먼저 비교부(56)는 제 1메모리블록(54)으로부터 공급되는 이전라인분 데이터(data(n-1))의 데이터와 제 2메모리블록(62)으로부터 공급되는 현재라인분 데이터(data(n))의 동일여부를 판단한다. 여기서, 이전라인분 데이터(data(n-1))와 현재라인분 데이터(data(n))가 동일하다고 판단되면 비교부(56)는 라인제어신호(LCS)를 인에이블시켜 출력한다. (여기서 라인제어신호(LCS)는 한라인분의 데이터가 공급되는 시간만큼 인에이블 상태를 유지한다) 그리고, 이전라인분 데이터(data(n-1))와 현재라인분 데이터(data(n))가 동일하지 않다고 판단되면 비교부(56)는 라인제어신호(LCS)를 디스에이블시켜 출력한다.

데이터 생성부(58)는 인에이블의 라인제어신호(LCS)가 공급될 때 한라인분만큼 데이터를 데이터 드라이버(34)로 공급하지 않는다. 아울러, 앤드게이트(59)도 인에이블의 라인제어신호(LCS)가 공급될 때 한 라인분만큼의 소스 스위프트 클럭(SSC)을 데이터 드라이버(34)로 공급하지 않는다. 즉, 본 발명에서는 이전라인분 데이터(data(n-1))와 현재라인분 데이터(data(n))가 동일할 때 한 라인분의 데이터를 출력하지 않음과 아울러 소스 스위프트 클럭(SSC)을 데이터 드라이버(34)로 공급하지 않는다. 따라서, 본 발명에서는 한라인의 시간동안 비트 천이량이 발생되지 않고, 이에 따라 EMI를 최소화할 수 있다. 특히, 본 발명에서는 높은 주파수를 가지는 소스 스위프트 클럭(SSC)이 출력되지 않기 때문에 EMI를 효과적으로 저감할 수 있다.

한편, 데이터 생성부(58)는 디스에이블의 라인제어신호(LCS)가 공급될 때 이전 화소데이터와 현재 화소데이터의 비트 천이수가 임계값을 넘는지 체크하고, 비트 천이수가 임계값을 넘는 경우 현재 화소데이터를 반전하여 데이터 드라이버(34)로 공급함과 아울러 모드 제어신호(REV)를 반전시켜 출력한다. 그리고, 데이터 생성부(58)는 디스에이블의 라인제어신호(LCS)가 공급될 때 이전 화소데이터와 현재 화소데이터의 비트 천이수가 임계값을 넘는지 체크하고, 비트 천이수가 임계값을 넘지 않는 경우 현재 화소데이터를 데이터 드라이버(34)로 공급함과 아울러 모드 제어신호(REV)를 현재 상태로 유지하여 출력한다.

도 6은 데이터 드라이버에 포함된 데이터 IC 각각의 구성을 나타내는 블록도이다.

도 6을 참조하면, 본 발명의 데이터 IC 각각은 디코딩블록(42), 스위프트 레지스터(70), 래치부(72), DAC부(74) 및 출력버퍼부(76)를 구비한다.

디코딩블록(42)은 라인제어신호(LCS)에 대응하여 데이터(data)의 공급여부를 결정함과 아울러 모드 제어신호(REV)에 대응하여 데이터(data)의 반전여부를 결정한다. 이를 위해, 디코딩 블록(42)은 데이터 복원부(78)를 구비한다.

데이터 복원부(78)는 인에이블의 라인제어신호(LCS)가 입력될 때 모드 제어신호(REV) 및 데이터(data)의 공급 여부와 무관하게 데이터(data)를 공급하지 않는다. 즉, 인에이블의 라인제어신호(LCS)가 입력되는 시간(즉, 한라인분의 데이터가 공급되는 시간)동안에는 데이터 복원부(78)로부터 래치부(72)로 데이터가 공급되지 않는다.

그리고, 데이터 복원부(78)는 디스에이블의 라인제어신호(LCS)가 입력될 때 모드 제어신호(REV)에 대응하여 데이터(data)를 반전 또는 비반전하여 데이터(data)를 래치부(72)로 공급한다. 여기서, 데이터 복원부(78)는 모드 제어신호(REV)가 반전되었을 때 자신에게 공급되는 데이터를 반전하여 래치부(72)로 공급하고, 그 외의 경우에는 자신에게 공급된 데이터를 그대로 래치부(72)로 공급한다.

먼저, 인에이블의 라인제어신호(LCS)가 입력될 때 데이터 IC의 동작과정을 상세히 설명하기로 한다.

인에이블의 라인제어신호가(LCS)가 데이터 복원부(78)로 공급되는 시간동안 쉬프트 레지스터부(70)로 소스 쉬프트 클럭(SSC)가 공급되지 않는다. 따라서, 인에이블의 라인제어신호가(LCS)가 공급되는 시간동안 샘플링신호가 래치부(72)로 공급되지 않는다.

그리고, 인에이블의 라인제어신호(LCS)가 공급되는 시간동안 데이터 복원부(78)로부터 데이터가 래치부(72)로 공급되지 않는다. 따라서, 래치부(72)는 인에이블의 라인제어신호가(LCS)가 입력될 때 이전 데이터를 그대로 유지한다.

이후, 래치부(72)는 소스 출력 인에이블(SOE) 신호가 공급될 때 자신이 유지하고 있던 데이터를 DAC부(74)로 공급한다. DAC부(74)는 극성제어신호(POL)에 대응하여 래치부(72)로부터 공급되는 데이터를 정극성 및/또는 부극성 데이터신호로 변경하여 출력버퍼부(76)로 공급한다. 출력버퍼부(76)는 자신에게 공급된 데이터신호를 데이터라인들(DL)로 공급한다.

즉, 본 발명에서는 인에이블의 라인제어신호(LCS)가 입력될 때, 즉 이전 라인분의 데이터와 현재 라인분의 데이터가 동일할 때 래치부(72)에 저장되어 있는 이전 라인분의 데이터를 이용하여 현재 라인분의 데이터신호를 생성한다.

한편, 디스에이블의 라인제어신호(LCS)가 입력되면 쉬프트 레지스터부(70)는 소스 쉬프트 클럭(SSC)에 대응하여 소스 스타트 펄스(SSP)를 쉬프트시키면서 샘플링신호를 생성하고, 생성된 샘플링신호를 래치부(72)로 공급한다. 래치부(72)는 샘플링신호에 응답하여 데이터 복원부(78)로부터 공급되는 반전 또는 비반전된 데이터를 래치한다.

이후, 래치부(72)는 소스 출력 인에이블(SOE) 신호가 공급될 때 저장된 데이터를 DAC부(74)로 공급한다. DAC부(74)는 극성제어신호(POL)에 대응하여 래치부(72)로부터 공급되는 데이터를 정극성 및/또는 부극성 데이터신호로 변경하여 출력버퍼부(76)로 공급한다. 출력버퍼부(76)는 자신에게 공급된 데이터신호를 데이터라인들(DL)로 공급한다.

### 발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시장치의 구동장치 및 방법에 의하면 이전라인의 데이터와 현재라인의 데이터를 비교하고, 이전라인의 데이터와 현재라인의 데이터가 동일할 때 데이터 및 소스 쉬프트 클럭을 타이밍 콘트롤러로부터 데이터 드라이버로 공급하지 않기 때문에 EMI를 최소화할 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

### (57) 청구의 범위

#### 청구항 1.

데이터라인들을 구동시키기 위한 다수의 데이터 집적회로를 포함하는 액정표시장치의 구동장치에 있어서;

외부로부터 데이터를 공급받는 타이밍 콘트롤러와;

상기 타이밍 콘트롤러에 설치되어 한라인 이전데이터들과 현재 라인데이터들을 비교하여 라인제어신호를 생성함과 아울러 현재 화소데이터와 이전 화소데이터를 비교하여 모드 제어신호를 생성하고, 라인제어신호에 대응하여 데이터의 공급유무를 결정함과 아울러 모드 제어신호에 대응하여 현재 화소데이터를 반전 또는 비반전하여 공급하는 엔코딩 블록과;

상기 데이터 집적회로 각각에 설치되어 상기 라인제어신호에 대응하여 데이터를 공급유무를 결정함과 아울러 모드 제어신호에 대응하여 자신에게 입력된 데이터를 반전 또는 비반전하여 상기 데이터 집적회로로 공급하기 위한 디코딩 블록을 구비하는 것을 특징으로 하는 액정표시장치의 구동장치.

#### 청구항 2.

제 1항에 있어서,

상기 엔코딩 블록은

상기 한라인 이전데이터들이 저장되는 제 1메모리블록과,

상기 현재 라인데이터들이 저장되는 제 2메모리블록과,

상기 제 1메모리블록과 제 2메모리블록으로부터 공급되는 한라인 이전데이터들과 상기 현재 라인데이터들을 비교하여 상기 라인제어신호를 생성하기 위한 비교부와,

상기 현재 화소데이터와 이전 화소데이터를 비교하여 상기 현재 화소데이터를 반전 또는 비반전함과 아울러 이에 대응되는 상기 모드 제어신호를 생성하기 위한 데이터 생성부와,

일측단자로 상기 타이밍 컨트롤러로부터 소스 쉬프트 클럭을 공급받고 다른측 단자로 상기 라인제어신호를 공급받는 앤드 게이트를 구비하는 것을 특징으로 하는 액정표시장치의 구동장치.

### 청구항 3.

제 2항에 있어서,

외부로부터 공급되는 데이터를 한 수평라인의 시간만큼 지연시켜 상기 제 1메모리블록으로 공급하기 위한 지연부를 추가로 구비하는 것을 특징으로 하는 액정표시장치의 구동장치.

### 청구항 4.

제 2항에 있어서,

상기 비교부는 상기 한라인 이전데이터들과 상기 현재 라인데이터들이 동일할 때 인에이블의 상기 라인제어신호를 생성하고, 그 외의 경우에는 디스에이블의 상기 라인제어신호를 생성하는 것을 특징으로 하는 액정표시장치의 구동장치.

### 청구항 5.

제 4항에 있어서,

상기 인에이블의 라인제어신호는 상기 데이터라인들에 한 수평라인분의 데이터가 공급되는 시간만큼 상기 인에이블 상태를 유지하는 것을 특징으로 하는 액정표시장치의 구동장치.

### 청구항 6.

제 5항에 있어서,

상기 인에이블의 라인제어신호가 공급될 때 상기 데이터 생성부는 현재 화소데이터와 이전 화소데이터와 무관하게 데이터를 출력하지 않는 것을 특징으로 하는 액정표시장치의 구동장치.

### 청구항 7.

제 5항에 있어서,

상기 인에이블의 라인제어신호가 공급될 때 상기 앤드 게이트는 상기 소스 쉬프트 클럭을 출력하지 않는 것을 특징으로 하는 액정표시장치의 구동장치.

### 청구항 8.

제 4항에 있어서,

상기 디스에이블의 라인제어신호가 공급될 때 상기 데이터 생성부는 상기 현재 화소데이터와 이전 화소데이터를 비교하여 비트 천이수가 최소화되도록 상기 현재 화소데이터를 반전 또는 비반전하여 출력하는 것을 특징으로 하는 액정표시장치의 구동장치.

### 청구항 9.

제 8항에 있어서,

상기 데이터 생성부는 상기 현재 화소데이터가 반전되어 출력될 때 상기 모드제어신호의 극성을 반전시키고 그 외의 경우에는 상기 모드제어신호의 극성을 유지하는 것을 특징으로 하는 액정표시장치의 구동장치.

**청구항 10.**

제 4항에 있어서,

상기 디코딩블록은 상기 인에이블의 라인제어신호가 입력될 때 데이터를 상기 데이터 집적회로로 공급하지 않는 것을 특징으로 하는 액정표시장치의 구동장치.

**청구항 11.**

제 10항에 있어서,

상기 데이터 집적회로는 상기 인에이블의 라인제어신호가 입력될 때 상기 한라인 이전데이터들을 이용하여 현재 라인으로 공급될 데이터신호를 생성하는 것을 특징으로 하는 액정표시장치의 구동장치.

**청구항 12.**

제 4항에 있어서,

상기 디코딩블록은 상기 디스에이블의 라인제어신호가 입력될 때 상기 모드제어신호에 대응하여 상기 자신에게 입력된 데이터를 반전 또는 비반전하여 상기 데이터 집적회로로 공급하는 것을 특징으로 하는 액정표시장치의 구동장치.

**청구항 13.**

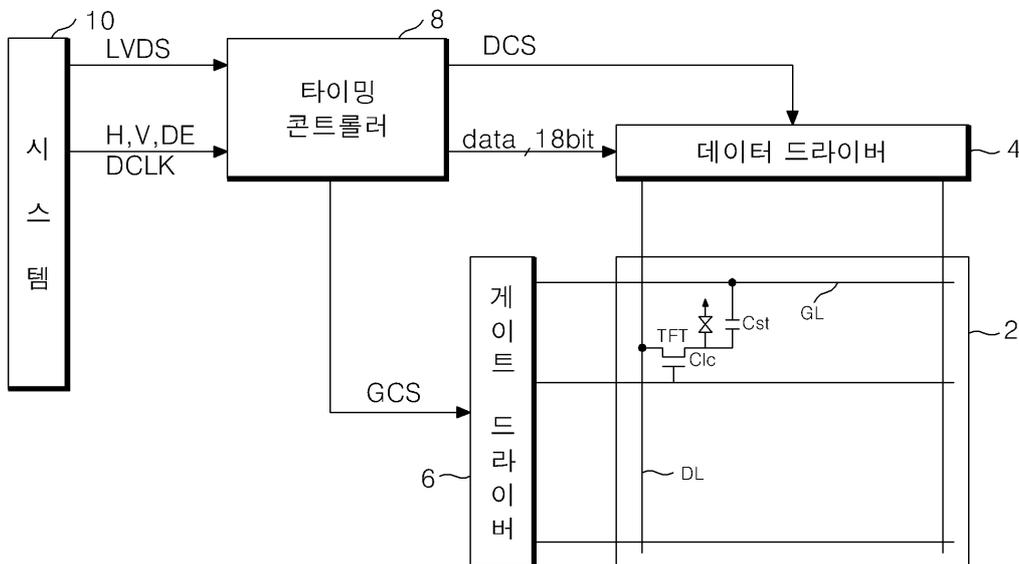
현재 수평라인분의 데이터와 이전 수평라인분의 데이터를 비교하는 단계와,

상기 현재 수평라인분의 데이터와 이전 수평라인분의 데이터가 동일할 때 타이밍 컨트롤러에서 데이터 드라이버로 데이터 및 소스 쉬프트 클럭이 공급되지 않는 단계와,

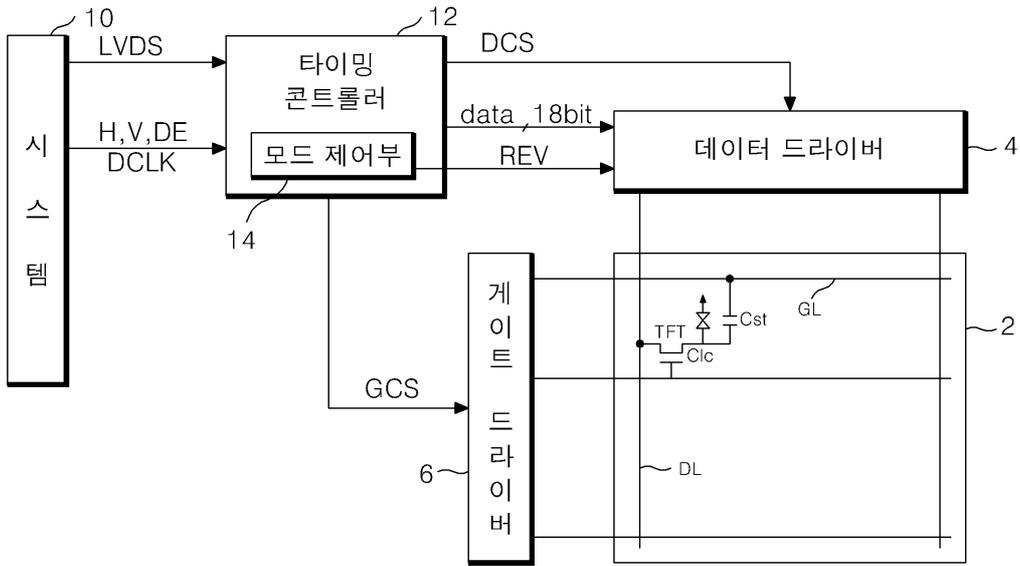
상기 데이터 및 소스 쉬프트 클럭이 공급되지 않을 때 상기 이전 수평라인분의 데이터를 이용하여 현재 수평라인으로 공급된 데이터신호를 생성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

**도면**

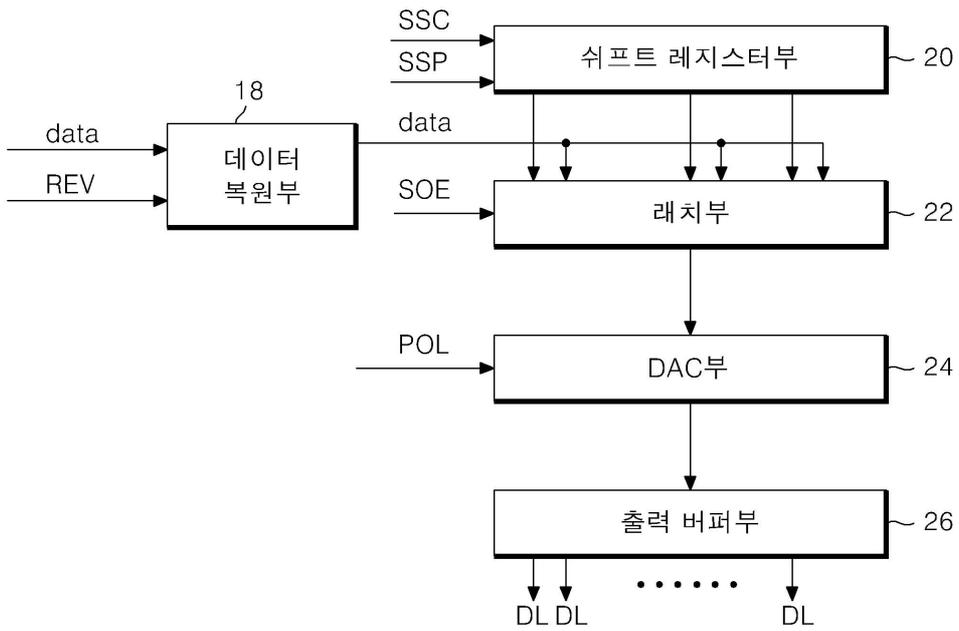
도면1



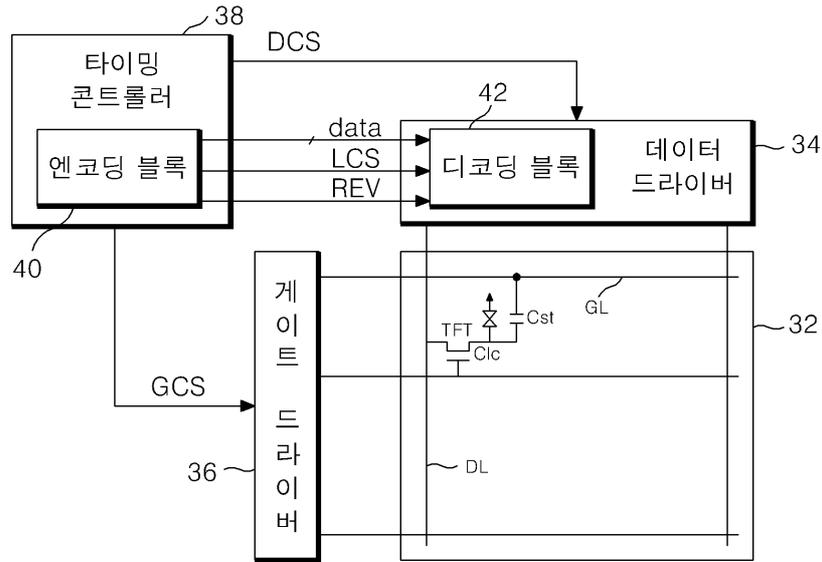
도면2



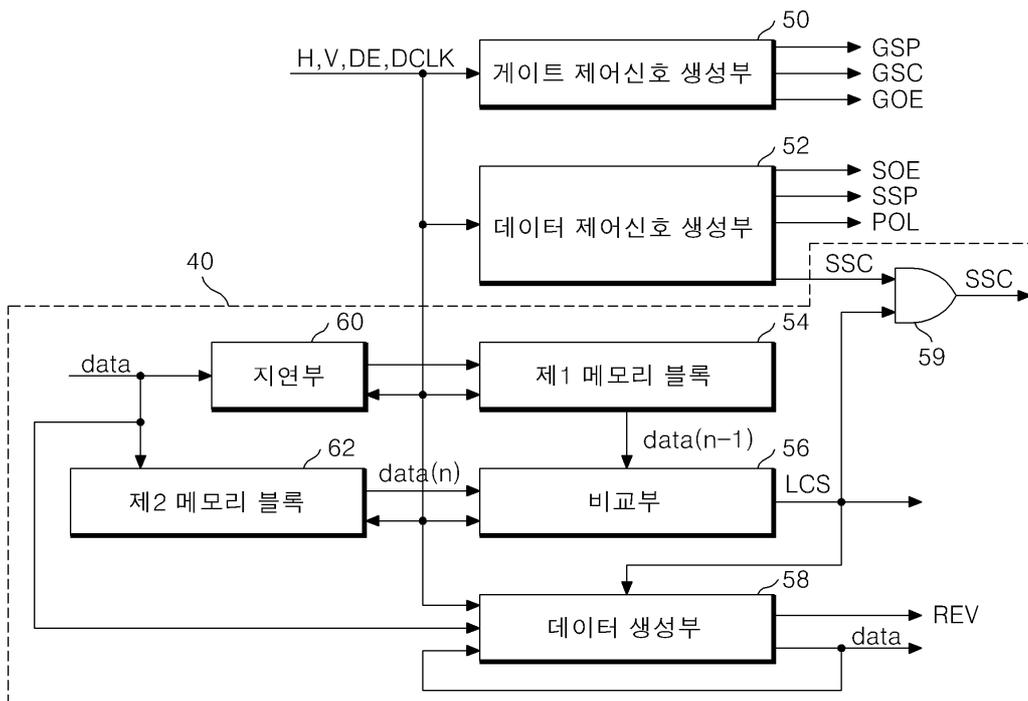
도면3



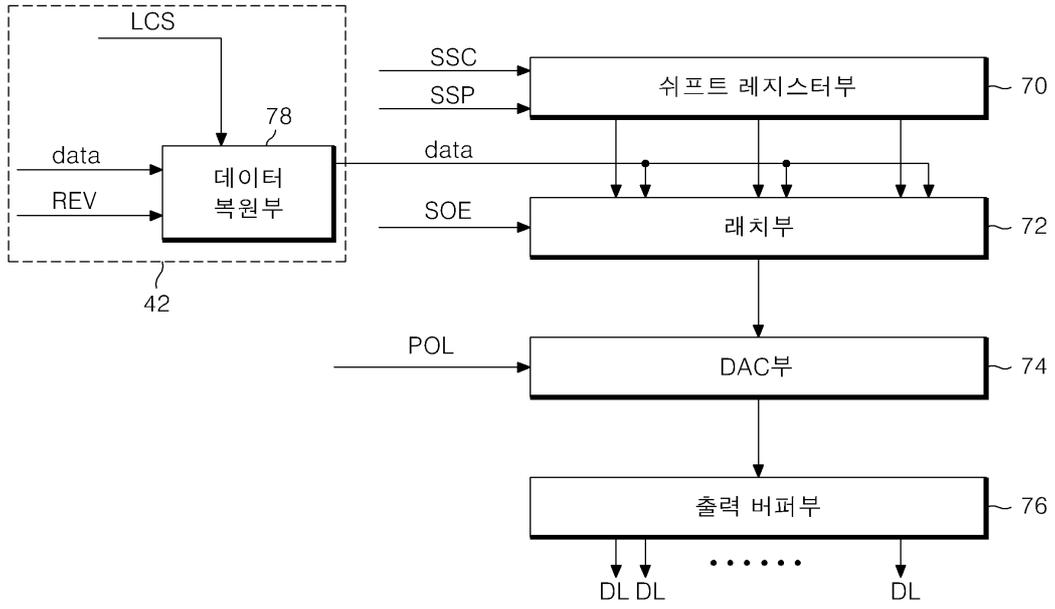
도면4



도면5



도면6



专利名称(译)	用于驱动液晶显示器的装置和方法		
公开(公告)号	<a href="#">KR1020050058054A</a>	公开(公告)日	2005-06-16
申请号	KR1020030090300	申请日	2003-12-11
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HONG JINCHEOL		
发明人	HONG,JINCHEOL		
IPC分类号	G09G3/20 G02F1/133 G09G3/36		
CPC分类号	G09G3/3648 G09G2310/027 G09G2330/06 G09G3/3611 G09G3/3685		
代理人(译)	金勇 年轻的小公园		
其他公开文献	KR100965598B1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明涉及一种液晶显示器的驱动装置，其改善了电磁干扰 (EMI) 特性数据，以行为单位进行比较，使数据传输量最小化。本发明的液晶显示器的驱动装置配备有编码块，它提供它不旋转它反转像素数据数据对应于模式控制信号它确定电源存在和不存在数据它对应线控制比较像素数据线数据的信号，并利用先前的像素数据创建线控制信号，它创建模式控制信号，其中先前的数据称为时序控制器，提供来自外部的数据，Halla，它安装在时序控制器和解码块分别安装有数据集成电路，它对应于线路控制信号，它将数据对应于模式控制信号，确定电源是否存在，用于反相输入到自身或不旋转的数据并提供给数据集成电路。

