(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G02F 1/133

(11) 공개번호 특2003-0093836
(43) 공개일자 2003년12월11일

(21) 출원번호 10-2002-0031713
(22) 출원일자 2002년06월05일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 김판열
경상북도구미시옥계동에덴타운111동803호

김승학
경상북도구미시형곡동190-15

(74) 대리인 김영호

심사청구 : 없음

(54) 액정표시소자의 구동방법 및 장치

요약

본 발명은 도트 인버젼 구동시 화질을 높이도록 한 액정표시소자의 구동방법 및 장치에 관한 것이다.

본 발명에 따른 액정표시소자의 구동방법 및 장치는 비트 반전신호를 발생하고, 그 비트 반전신호에 응답하여 디지털 데이터에서 적어도 한 비트를 반전시킨 다음에 적어도 한 비트가 반전된 디지털 데이터를 아날로그 전압으로 변환하게 된다.

대표도

도 15

명세서

도면의 간단한 설명

도 1은 1 도트 인버젼 방식에서 구동되는 액정패널의 데이터 극성을 개략적으로 나타내는 도면이다.

도 2는 2 도트 인버젼 방식에서 구동되는 액정패널의 데이터 극성을 개략적으로 나타내는 도면이다.

도 3은 종래의 액정표시소자 구동장치를 개략적으로 나타내는 회로도이다.

도 4는 도 3에 도시된 데이터 구동부를 상세히 나타내는 회로도이다.

도 5는 도 4에 도시된 감마전압 공급부와 디지털/아날로그 변환기를 상세히 나타내는 회로도이다.

도 6은 디지털 데이터가 '111111'일 때 도 5에 도시된 디코더에서 선택되는 감마전압을 나타내는 회로도이다.

도 7은 종래의 2 도트 인버젼 방식에서 동일한 극성이 인가되는 두 수평라인들간의 휘도차가 발생되는 원인을 나타내는 파형도이다.

도 8은 본 발명의 실시예에 따른 액정표시소자 구동장치를 개략적으로 나타내는 회로도이다.

도 9는 도 8에 도시된 비트 제어기를 상세히 나타내는 회로도이다.

도 10은 도 8에 도시된 비트 제어기의 입/출력 파형을 나타내는 파형도이다.

도 11은 도 8에 도시된 데이터 구동부를 상세히 나타내는 회로도이다.

도 12는 도 11에 도시된 감마전압 공급부와 디지털/아날로그 변환기를 상세히 나타내는 회로도이다.

도 13은 본 발명의 실시예에 따른 액정표시소자 구동방법 및 장치에 있어서 디지털 데이터가 '111111'일 때 도 12에 도시된 디코더에서 선택되는 감마전압을 나타내는 회로도이다.

도 14는 본 발명의 실시예에 따른 액정표시소자 구동방법 및 장치에 있어서 1 도트 인버젼 방식의 구동 파형을 나타내는 파형도이다.

도 15는 본 발명의 실시예에 따른 액정표시소자 구동방법 및 장치에 있어서 2 도트 인버젼 방식의 구동 파형을 나타내는 파형도이다.

< 도면의 주요 부분에 대한 부호의 설명 >

1,81 : 타이밍 콘트롤러 2,82 : 데이터 구동부

3,83 : 게이트 구동부 4,84 : 감마기준전압 공급부

5,85 : 액정패널 21,111 : 데이터 레지스터

22,112 : 쉬프트 레지스터 23,24,113,114 : 래치

25,115 : DAC 26,116 : 출력회로

26a,116a : 버퍼 27,117 : 감마전압 공급부

51,95,121 : 인버터 52,122 : 디코더

53,123 : 스위치소자 91,92 : 비교기

93 : RS 플립플롭 94 : AND 게이트

124 : 배타적 OR 게이트

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시소자에 관한 것으로, 특히 도트 인버젼 구동시 화질을 높이도록 한 액정표시소자의 구동방법 및 장치에 관한 것이다.

액정표시소자는 비디오신호에 따라 액정셀들의 광투과율을 조절하여 화상을 표시하게 된다. 액정셀마다 스위칭소자

가 형성된 액티브 매트릭스(Active Matrix) 타입의 액정표시소자는 동영상을 표시하기에 적합하다. 액티브 매트릭스 타입의 액정표시소자에 사용되는 스위칭소자로는 주로 박막트랜지스터(Thin Film Transistor; 이하 'TFT'라 함)가 이용되고 있다.

액정표시소자는 액정셀에 충전되는 데이터의 극성을 주기적으로 반전시킴으로써 플리커와 잔상을 줄이기 위한 인버젼 방식으로 구동되고 있다. 인버젼 방식으로는 수직라인 방향에서 인접한 액정셀들간 데이터의 극성을 반전시키는 라인 인버젼 방식, 수평라인 방향에서 인접한 액정셀들간 데이터의 극성을 반전시키는 컬럼 인버젼 방식, 수직라인 방향과 수평라인 방향에서 인접한 액정셀들간 데이터의 극성을 반전시키는 도트 인버젼 방식이 있다.

인버젼 방식들 중에, 1 도트 인버젼 방식은 도 1과 같이 수직방향에서 인접한 데이터의 극성이 1 도트 주기로 반전시킴과 동시에 수평방향에서 인접한 데이터의 극성이 1 도트 주기로 반전시키게 된다. 1 도트 인버젼 방식에 비하여 2 도트 인버젼 방식은 도 2와 같이 수직방향에서 인접한 데이터의 극성이 2 도트 주기로 반전시킴과 동시에 수평방향에서 인접한 데이터의 극성이 1 도트 주기로 반전시키게 된다.

도트 인버젼 방식을 구현하기 위하여, 데이터 구동부(2)는 수평방향에서 인접한 데이터의 극성을 반전시키게 된다. 이와 동시에 데이터 구동부(2)는 1 도트 인버젼 방식에서 매 수평주기(H)마다 데이터의 극성을 반전시키거나 2 도트 인버젼 방식에서 2 수평주기(H)마다 데이터의 극성을 반전시키게 된다.

2 도트 인버젼 방식은 동일한 극성의 데이터가 인가되는 인접한 두 개의 액정셀들에 충전되는 데이터양의 차이 때문에 인접한 수평라인들 사이에 휘도차가 나타나는 문제점이 있다. 이를 도 3 내지 도 7을 결부하여 상세히 설명하기로 한다.

도 3을 참조하면, 액정표시소자의 구동장치는 데이터라인(DL1 내지 DLm)과 게이트라인(GL1 내지 GLn)이 교차되며 그 교차부에 액정셀(Clc)을 구동하기 위한 TFT가 형성된 액정패널(5)과, 액정패널(5)의 데이터라인들(DL1 내지 DLm)에 데이터를 공급하기 위한 데이터 구동부(2)와, 액정패널(5)의 게이트라인(GL1 내지 GLn)에 스캐닝펄스를 공급하기 위한 게이트 구동부(3)와, 게이트 구동부(3)에 감마전압을 공급하기 위한 감마기준전압 발생부(4)와, 데이터 구동부(2) 및 게이트 구동부(3) 를 제어하기 위한 타이밍 콘트롤러(1)를 구비한다.

액정패널(5)은 두 장의 유리기판 사이에 액정이 주입된다. 액정패널(5)의 하부 유리기판 상에는 데이터라인들(DL1 내지 DLm)과 게이트라인들(GL1 내지 GLn)이 직교된다. 데이터라인들(DL1 내지 DLm)과 게이트라인들(GL1 내지 GLn)의 교차부에는 TFT가 형성된다. TFT는 스캐닝펄스에 응답하여 데이터라인들(DL1 내지 DLm) 상의 데이터를 액정셀(Clc)에 공급하게 된다. 이를 위하여, TFT의 게이트전극은 게이트라인(GL1 내지 GLm)에 접속되며, TFT의 소스전극은 데이터라인(DL1 내지 DLm)에 접속된다. 그리고 TFT의 드레인전극은 액정셀(Clc)의 화소전극에 접속된다.

타이밍 콘트롤러(1)는 도시하지 않은 디지털 비디오 카드로부터 공급되는 디지털 비디오 데이터를 우수 화소 데이터와 기수 화소 데이터로 분리하여 데이터 구동부(2)에 공급하게 된다. 또한, 타이밍 콘트롤러(1)는 자신에게 입력되는 수평/수직 동기신호(H,V)를 이용하여 데이터 구동 제어신호(DDC)와 게이트 구동 제어신호(GDC)를 발생한다. 데이터 구동 제어신호(DDC)는 소스쉬프트클럭(SSC), 소스스타트펄스(SSP), 극성제어신호(POL) 및 소스출력인에이블신호(SOE) 등을 포함한다. 이 데이터 구동 제어신호(DDC)는 데이터 구동부(2)에 공급된다. 게이트구동 제어신호(GDC)는 게이트스타트펄스(GSP), 게이트쉬프트클럭(GSC) 및 게이트출력인에이블(GOE) 등을 포함한다. 이 게이트 구동 제어신호(GDC)는 게이트 구동부(3)에 공급된다.

게이트 구동부(3)는 타이밍 콘트롤러(1)로부터 공급되는 게이트구동 제어신 호(GDC)에 응답하여 스캔펄스 즉, 게이트 하이펄스를 순차적으로 발생하게 된다. 이 게이트 구동부(3)는 스캔펄스를 순차적으로 발생하는 쉬프트 레지스터와, 스캔펄스의 전압의 스윙폭을 액정셀(Clc)의 구동에 적합하게 쉬프트 시키기 위한 레벨 쉬프터를 포함한다. TFT는 게이트 구동부(3)로부터의 스캔펄스에 응답하여 턴-온된다. TFT의 턴-온시 데이터라인(DL1 내지 DLm) 상의 비디오 데이터는 액정셀(Clc)의 화소전극에 공급된다.

감마기준전압 발생부(4)는 각각 소정 개수의 정극성 감마기준전압(GH)과 부극성 감마기준전압(GL)을 데이터 구동부(2)에 공급한다. 정극성 감마기준전압(GH)과 부극성 감마기준전압(GL)은 분압저항을 이용하여 생성된다.

데이터 구동부(2)는 타이밍 콘트롤러(1)로부터 공급되는 데이터구동 제어신호(DDC)에 응답하여 데이터를 데이터라인들(DL1 내지 DLm)에 공급하게 된다. 이 데이터 구동부(2)는 타이밍 콘트롤러(1)로부터의 데이터(RGB)를 샘플링한 후에, 그 데이터를 래치한 다음, 감마전압으로 변환하게 된다. 이 데이터 구동부(2)는 도 4와 같은 구성을 가지는 다수의 데이터 집적회로(Integrated Circuit : 이하, 'IC'라 한다)(2a)로 구현된다.

각각의 데이터 IC(2a)는 도 4에서 알 수 있는 바 타이밍 콘트롤러(1)로부터 데이터(RGBeven,RGBodd)가 입력되는 데이터 레지스터(21)와, 샘플링 클럭을 발생하기 위한 쉬프트 레지스터(22)와, 쉬프트 레지스터(22)와 k(단, k는 m보

다 작은 정수) 개의 데이터라인들(DL1 내지 DLk) 사이에 접속된 제1 래치(23), 제2 래치(24), 디지털/아날로그 컨버터(Digital to Analog Converter : 이하, 'DAC'라 한다)(25) 및 출력회로(26)와, 감마기준전압 발생부(4)와 DAC(25) 사이에 접속된 감마전압 공급부(27)를 구비한다.

데이터 레지스터(21)는 타이밍 콘트롤러(1)에 의해 분리된 기수 화소 데이터(RGBodd)와 우수 화소 데이터(RGBeven)를 일시 저장한 후에 저장된 데이터(RGBodd,RGBeven)를 제1 래치(23)에 공급한다.

쉬프트 레지스터(22)는 타이밍 콘트롤러(1)로부터의 소스 스타트 펄스(SSP)를 소스 샘플링 클럭신호(SSC)에 따라 쉬프트시켜 샘플링신호를 발생하게 된다. 또한, 쉬프트 레지스터(22)는 소스 스타트 펄스(SSP)를 쉬프트시켜 다음 단의 쉬프트 레지스터(22)에 캐리신호(CAR)를 전달하게 된다.

제1 래치(23)는 쉬프트 레지스터(22)로부터 순차적으로 입력되는 샘플링신호에 응답하여 데이터 레지스터(21)로부터의 화소데이터(RGBeven, RGBodd)를 샘플링하여 1 라인분씩 래치한 다음, 1 라인분의 데이터를 동시에 출력한다.

제2 래치(24)는 제1 래치(23)로부터 입력되는 데이터를 래치한 다음, 래치된 데이터를 타이밍 콘트롤러(1)로부터의 소스 출력 인에이블신호(SOE)에 응답하여 동시에 출력한다.

DAC(25)는 제2 래치(24)로부터의 데이터를 감마전압 공급부(27)로부터의 감마전압(DGH,DGL)으로 변환하게 된다. 감마전압(DGH,DGL)은 디지털 입력 데이터의 계조값 각각에 대응하는 아날로그 전압이다. 예를 들어, 디지털 입력 데이터가 6 비트라할 때 64

이 DAC(25)는 극성제어신호(POL)에 응답하여 정극성 감마전압과 부극성 감마 전압 중 어느 하나를 선택하기 위한 멀티플렉서(Multiplexer)를 포함한다.

출력회로(26)는 데이터라인들 각각에 접속된 버퍼(Buffer)를 포함한다. 출력회로(26)의 버퍼는 자신의 이득값만큼 데이터를 증폭하여 신호감쇠를 최소화한다.

감마전압 공급부(27)는 감마기준전압 발생부(4)로부터 입력되는 감마 기준전압을 세분화하여 각 계조에 대응하는 감마전압을 DAC(25)에 공급하게 된다. 이 감마전압 공급부(27)는 정극성의 감마전압을 발생하기 위한 회로와 부극성의 감마전압을 발생하기 위한 회로로 구성되어 있다.

도 5는 감마전압 공급부(27)와 DAC(25)를 상세히 나타낸 회로도이다.

도 5에 있어서, 감마전압 공급부(27)는 정극성 감마전압 회로만을 나타낸다. 부극성 감마전압 회로는 감마기준전압의 극성만 다를뿐 회로구성이 정극성 감마전압 회로와 실질적으로 동일한 구성을 갖는다.

도 5를 참조하면, 감마전압 공급부(27)는 6 단계의 정극성 감마기준전압(VH1 내지 VH6)을 64 단계의 감마전압으로 세분화하기 위한 64 개의 분압저항(R1 내지 R64)으로 구성된다.

분압저항(R1 내지 R64)은 전압레벨이 근접한 감마기준전압 사이에 예를 들면, VH1과 VH2 사이, VH2와 VH3 사이에 저항이 소정 개수씩 직렬로 인결된다. 이 분압저항(R1 내지 R64)은 각 계조에 대응하는 64 단계로 세분화된 감마전압을 저항과 저항 사이의 출력노드를 통하여 DAC(25)에 공급한다.

DAC(25)는 데이터를 반전시키기 위한 인버터(51)와, 반전 디지털 데이터와 비반전 디지털 데이터가 입력되는 디코더(52)로 구성된다.

디코더(52)는 반전 데이터 또는 비반전 데이터에 응답하여 신호패스를 절환하는 다수의 스위치소자들(53)로 조합되어 디지털 데이터의 논리값에 대응하는 감마전압을 선택한다. 도면에 도시된 스위치소자들(53)을 상세히 나타내면, 도 6과 같다. 제2 래치(24)로부터 DAC(25)에 입력되는 6 비트의 디지털 데이터의 논리값이 '111111'이라 할 때, 점선으로 나타낸 전류패스 상에 위치한 스위치소자들이 턴-온(Turn-on)되어 계조값 '64'에 대한 감마전압(V64)이 선택된다. 이렇게 선택된 계조값 '64'의 감마전압(V64)은 버퍼(26a)를 통하여 데이터라인(DL)에 공급된다.

2 도트 인버젼 방식의 경우, 극성제어신호(POL)는 도 7에서 알 수 있는 바 2 수평주기만큼 하이논리값 또는 로우논리값을 유지한 후 반전된다. 데이터전압(Vdata)은 2 수평주기 동안 동일한 극성을 유지한다. 이 데이터전압(Vdata)이 n 번째 게이트라인에 공급되는 n 번째 스캐닝펄스(VGn)에 동기되어 상승 또는 하강하고 그 전압레벨이 2 수평주기 동안 유지된다고 가정할 때, n 번째 게이트라인에 접속된 액정셀에 충전되는 전압은 데이터전압(Vdata)이 변하는 시간에 의해 원하는 전압에서 빗금친 부분만큼 작아지는 반면에 n+1 번째 게이트라인에 접속된 액정셀에는 데이터전압(Vdata)이 변하지 않기 원하는 전압이 충전된다. 따라서, 2 도트 인버젼 방식에서는 두 개의 수평라인 간에 휘도차가

발생되어 화질이 떨어진다.

이러한 2 도트 인버젼 방식과 함께 1 도트 인버젼 방식에서도 데이터전압의 극성 반전시 전압레벨 차이가 크게 되면 전압레벨이 변하는 시간이 그 만큼 커지게 되므로 n 번째 수평라인의 액정셀 전압과 n+1 번째 수평라인의 액정셀 전압의 차가 더 커지게 된다. 그 결과, 1 도트 또는 2 도트 인버젼 방식으로 액정표시소자를 구동하는 경우에, 극성 반전시 원하는 전압레벨까지 액정셀에 전압을 충전하는데에 과도한 시간이 걸릴뿐 아니라 부하와 노이즈 커지게 되므로 화질이 떨어지게 된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 화질을 높이도록 한 액정표시소자의 구동방법 및 장치를 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시소자의 구동방법은 디지털 데이터를 입력하는 단계와, 비트 반전신호를 발생하는 단계와, 비트 반전신호에 응답하여 디지털 데이터에서 적어도 한 비트를 반전시키는 단계와, 적어도 한 비트가 반전된 디지털 데이터를 아날로그 전압으로 변환하는 단계와, 아날로그 전압을 액정셀에 공급하는 단계를 포함한다.

본 발명의 실시예에 따른 액정표시소자의 구동방법에 있어서, 상기 액정셀에 공급되는 전압은 매 수평주기마다 극성이 반전되는 것을 특징으로 한다.

본 발명의 실시예에 따른 액정표시소자의 구동방법에 있어서, 상기 액정셀에 공급되는 전압은 2 수평주기마다 극성이 반전되는 것을 특징으로 한다.

본 발명의 실시예에 따른 액정표시소자의 구동방법에 있어서, 상기 비트 반전신호는 매 수평주기의 초기마다 발생되는 것을 특징으로 한다.

본 발명의 실시예에 따른 액정표시소자의 구동방법에 있어서, 상기 디지털 데이터에서 반전되는 비트는 최상위 비트인 것을 특징으로 한다.

본 발명의 실시예에 따른 액정표시소자의 구동장치는 비트 반전신호를 발생하는 비트 제어기와, 입력라인을 경유하여 공급되는 디지털 데이터에서 적어도 한 비트를 비트 반전신호에 응답하여 반전시킨 다음에 적어도 한 비트가 반전된 디지털 데이터를 아날로그 전압으로 변환하여 액정셀에 공급하는 데이터 구동부를 구비한다.

본 발명의 실시예에 따른 액정표시소자의 구동장치에 있어서, 상기 액정셀에 공급되는 전압은 매 수평주기마다 극성이 반전되는 것을 특징으로 한다.

본 발명의 실시예에 따른 액정표시소자의 구동장치에 있어서, 상기 액정셀에 공급되는 전압은 2 수평주기마다 극성이 반전되는 것을 특징으로 한다.

본 발명의 실시예에 따른 액정표시소자의 구동장치에 있어서, 상기 비트 반전신호는 매 수평주기의 초기마다 발생되는 것을 특징으로 한다.

본 발명의 실시예에 따른 액정표시소자의 구동장치에 있어서, 상기 디지털 데이터에서 반전되는 비트는 최상위 비트인 것을 특징으로 한다.

본 발명의 실시예에 따른 액정표시소자의 구동장치는 다수의 데이터라인과 다수의 게이트라인이 교차되며 그 교차부에 스위치소자들이 형성되고 데이터라인과 게이트라인 사이의 화소영역에 액정셀이 형성되는 액정패널과, 게이트라인들에 스 캔펄스를 공급하기 위한 게이트 구동부와, 데이터 구동부에 디지털 데이터를 공급함과 아울러 데이터 구동부와 게이트 구동부에 필요한 타이밍 제어신호를 발생하는 타이밍 콘트롤러를 더 구비한다.

본 발명의 실시예에 따른 액정표시소자의 구동장치에 있어서, 상기 비트 제어기는 타이밍 콘트롤러로부터 입력되는 소스출력인에이블신호(SOE)를 지연시켜 비트 반전신호를 발생하는 것을 특징으로 한다.

본 발명의 실시예에 따른 액정표시소자의 구동장치에 있어서, 상기 비트 제어기는 단안정 멀티바이브레이터인 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면들을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 8 내지 도 15를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 8을 참조하면, 본 발명의 실시예에 따른 액정표시소자의 구동장치는 비트 반전신호(BINV)를 발생하기 위한 비트 제어기(86)와, 비트 제어기(86)와 타이밍 콘트롤러(81)의 제어에 의해 액정패널(85)의 데이터라인들(DL1 내지 DLm)에 데이터를 공급하기 위한 데이터 구동부(82)와, 액정패널(85)의 게이트라인(GL1 내지 GLn)에 스캐닝펄스를 공급하기 위한 게이트 구동부(83)와, 게이트 구동부(83)에 감마전압을 공급하기 위한 감마기준전압 발생부(84)를 구비한다.

타이밍 콘트롤러(81)는 도시하지 않은 디지털 비디오 카드로부터 공급되는 디지털 비디오 데이터를 우수 화소 데이터와 기수 화소 데이터로 분리하여 데이터 구동부(82)에 공급하게 된다. 또한, 타이밍 콘트롤러(81)는 자신에게 입력되는 수평/수직 동기신호(H,V)를 이용하여 데이터 구동 제어신호(DDC)와 게이트 구동 제어신호(GDC)를 발생한다. 데이터 구동 제어신호(DDC)는 소스쉬프트클럭(SSC), 소스스타트펄스(SSP), 극성제어신호(POL) 및 소스출력인에이블신호(SOE) 등을 포함한다. 이 데이터 구동 제어신호(DDC)는 데이터 구동부(82)에 입력되며, 소스출력인에이블신호(SOE)는 데이터 구동부(82)와 비트 제어기(86)에 공통으로 공급된다. 게이트구동 제어신호(GDC)는 게이트스타트펄스(GSP), 게이트쉬프트클럭(GSC) 및 게이트출력인에이블(GOE) 등을 포함한다. 이 게이트구동 제어신호(GDC)는 게이트 구동부(83)에 공급된다.

비트 제어기(86)는 R, G, B 각각의 6 비트 데이터 중 적어도 한 비트, 바람직하게는 최상위 비트(MSB)의 논리값을 반전시키기 위한 비트 반전신호(BINV)를 발생하고, 그 비트 반전신호(BINV)를 데이터 구동부(82)에 공급한다. 비트 반전신호(BINV)는 매 수평주기의 초기에 데이터전압레벨이 변할 수 있도록 매 수평주기의 초기에 특정 논리값으로 예를 들면 하이논리로 발생된다. 이를 위하여, 비트 제어기(86)는 소스출력인에이블신호(SOE)를 지연시켜 비트 반전신호(BINV)를 발생하게 된다. 비트 제어기(86)는 타이밍 콘트롤러(81) 또는 데이터 구동부(82)의 IC 내에 집적될 수 있다. 이 비트 제어기(86)에 대한 상세한 설명은 도 9 및 도 10을 결부하여 후술된다.

게이트 구동부(83)는 타이밍 콘트롤러(81)로부터 공급되는 게이트구동 제어신호(GDC)에 응답하여 스캔펄스 즉, 게이트 하이펄스를 순차적으로 발생하게 된다. 이 게이트 구동부(83)는 스캔펄스를 순차적으로 발생하는 쉬프트 레지스터와, 스캔펄스 전압의 스윙폭을 액정셀(Clc)의 구동에 적합하게 쉬프트 시키기 위한 레벨 쉬프터를 포함한다. TFT는 게이트 구동부(83)로부터의 스캔펄스에 응답하여 턴-온된다. TFT의 턴-온시 데이터라인(DL1 내지 DLm) 상의 비디오 데이터는 액정셀(Clc)의 화소전극에 공급된다.

감마기준전압 발생부(84)는 각각 소정 개수의 정극성 감마기준전압(GH)과 부극성 감마기준전압(GL)을 데이터 구동부(82)에 공급한다. 정극성 감마기준전압(GH)과 부극성 감마기준전압(GL)은 분압저항을 이용하여 생성된다.

데이터 구동부(82)는 타이밍 콘트롤러(81)로부터 공급되는 데이터구동 제어신호(DDC)에 응답하여 데이터를 데이터라인들(DL1 내지 DLm)에 공급하게 된다. 이 데이터 구동부(82)는 타이밍 콘트롤러(81)로부터의 데이터(RGB)를 샘플링한 후에, 그 데이터를 래치한 다음, 감마전압으로 변환하게 된다. 여기서, 데이터 구동부(82)는 비트 제어기(86)로부터의 비트 반전신호(BINV)가 지시하는 디지털 데이터의 비트의 논리값을 반전시켜 해당 디지털 데이터를 감마전압으로 변환시킨다. 이 데이터 구동부(82)는 도 11과 같은 구성을 가지는 다수의 데이터 IC로 구현된다. 데이터 구동부(82)의 데이터 IC에 대한 상세한 설명은 도 11 및 도 12를 결부하여 후술된다.

도 9는 비트 제어기(86)의 일실시예를 나타낸다.

도 9를 참조하면, 비트 제어기(86)는 두 개의 비교기(91,92)와 RS 플립플롭(93) 및 NPN형 트랜지스터(Q1)을 포함하는 단안정 멀티바이브레이터(Monostable Multivibrator)로 구현된다. 제1 비교기(91)의 비반전단자는 제1 노드(n1)를 경유하여 캐패시터(C1)와 제2 저항(R2)에 접속되고, 제1 비교기(91)의 반전단자는 제2 노드(n1)를 경유하여 동일한 저항값을 가지는 두 개의 제1 저항(R1)에 접속된다. 제1 저항(R1)은 동일한 저항값을 가지는 세 개의 저항으로서 공통전압원(VCC)과 기저전압원(GND) 사이에 직렬로 접속된다. 기저전압(GND)은 0V로 설정된다. 제2 비교기(92)의 반전단자는 제3 노드(n3)를 경유하여 동일한 저항값을 가지는 두 개의 제1 저항(R1)에 접속되고, 제2 비교기(92)의 비반전단자는 제4 노드(n4)를 경유하여 인버터(95)의 출력단자에 접속된다. 인버터(95)는 소스출력인에이블신호(SOE)가 입력된다. 제1 비교기(91)의 출력단자는 RS 플립플롭(93)의 리셋단자(R)에 접속되고, 제2 비교기(92)의 출력단자는 RS 플립플롭(93)의 셋트단자(S)에 접속된다. RS 플립플롭(93)의 비반전 출력단자(Q)는 AND 게이트(94)의 일측 입력단자에 접속된다. AND 게이트(94)의 타측 입력단자는 제4 노드(n4)를 경유하여 인버터(95)의 출력단자에

접속된다. RS 플립플롭(93)의 반전 출력단자($\overline{Q}$)는 제3 저항(R3)을 경유하여 트랜지스터(Q1)의 베이스단자에 접속된다. 트랜지스터(Q1)의 컬럭터단자는 제1 노드(n1)에 접속되고, 트랜지스터(Q1)의 이미터단자는 기저전압원(GND)에 접속된다.

제1 저항(R1)은 동일한 저항값을 가지는 세 개의 저항으로서 공통전압원(VCC)과 기저전압원(GND) 사이에 직렬로 접속된다. 이 제1 저항(R1)은 제2 노드(n2) 상의 전압(VTH)이 $\frac{1}{3}VCC$ 가 되고 제3 노드(n3) 상의 전압(VTL)이 $\frac{2}{3}VCC$ 가 되도록 그 저항값이 결정된다.

제1 비교기(91)는 제1 노드(n1) 상의 전압(VC1)과 제2 노드(n2) 상의 전압(VTH)를 비교하여 제1 노드(n1) 상의 전압(VC1)이 제2 노드(n2) 상의 전압(VTH)보다 클 때 하이논리의 출력신호를 발생하는 반면, 그 반대의 경우에 로우논리의 출력신호를 발생한다.

제2 비교기(92)는 제3 노드(n3) 상의 전압(VTL)과 제4 노드(n4) 상의 전압 즉, 반전된 소스출력인에이블신호($\overline{SOE}$)를 비교하여 제3 노드(n3) 상의 전압(VTL)이 반전된 소스출력인에이블신호($\overline{SOE}$)보다 클 때 하이논리의 출력신호를 발생하는 반면, 그 반대의 경우에 로우논리의 출력신호를 발생한다.

RS 플립플롭(93)은 리셋단자(R)와 셋트단자(S) 모두에 로우논리의 신호가 입력되면 비반전 출력단자(Q)를 통하여 로우논리의 출력신호를 발생한다. 또한, RS 플립플롭(93)은 리셋단자(R)에 로우논리의 신호가 입력되고 셋트단자(S)에 하이논리의 신호가 입력되면 비반전 출력단자(Q)를 통하여 하이논리의 출력신호를 발생하는 반면, 그 반대의 경우에 비반전 출력단자(Q)를 통하여 로우논리의 출력신호를 발생한다.

제1 노드(n1)를 사이에 두고 접속된 제2 저항(R2)과 캐패시터(C1)는 저항값(R) 또는 캐패시턴스값(C)의 조절에 의해 조절되는 RC 시정수값으로 RS 플립플롭(93)의 비반전출력(Q)과 비트 반전신호(BINV)의 펄스폭을 결정하게 된다.

AND 게이트(94)는 반전된 소스출력인에이블신호($\overline{SOE}$)와 RS 플립플롭(93)의 비반전 출력신호(Q)를 논리곱 연산하여 비트 반전신호(BINV)를 발생하게 된다.

비트 제어기(86)의 동작을 도 10의 파형도를 결부하여 설명하면, 소스출력인에이블신호(SOE)가 로우논리를 유지하고 캐패시터(C1)가 전압을 충전하기 시작하는 초기시점에 제1 노드(n1) 상의 전압(VC1)이 제2 노드(n2) 상의 전압보다 낮고 제3 노드(n3) 상의 전압(VTL)이 반전된 소스출력인에이블신호($\overline{SOE}$)보다 낮기 때문에 RS 플립플롭(93)의 리셋단자(R)와 셋트단자(S)에는 로우논리의 입력신호가 인가된다. 이 때, RS 플립플롭(93)의 반전 출력($\overline{Q}$)이 하이논리이므로 트랜지스터(Q1)는 턴온(Turn-on)되어 제1 노드(n1) 상의 전압(VC1)을 OV까지 방전시키게 된다. 이어서, 소스출력인에이블신호(SOE)가 하이논리로 변하면, 제2 비교기(92)의 출력이 하이논리로 변하게 되므로 RS 플립플롭(93)의 비반전 출력(Q)은 하이논리가 되고 반전 출력($\overline{Q}$)은 로우논리로 변하게 되어 트랜지스터(Q1)를 턴-오프(Turn-off)시키게 된다. 트랜지스터(Q1)가 오프상태를 유지하는 동안, 캐패시터(C1)는 대략 공통전압원의 전위(VCC)까지 전압을 충전하게 되며, 그 전압레벨이 제2 노드(n2) 상의 전압(VTH) 즉, $\frac{1}{3}VCC$ 이상일 때 제1 비교기(91)의 출력이 하이논리로 변한다. 이렇게 제1 비교기(91)의 출력이 하이논리로 변할 때, RS 플립플롭(93)의 비반전 출력(Q)은 로우논리로 변하게 되고 반전 출력(Q)은 하이논리로 변하게 된다.

AND 게이트(94)는 반전된 소스출력인에이블신호($\overline{SOE}$)와 RS 플립플롭(93)의 비반전 출력신호(Q)가 모두 하이논리를 유지하는 기간에만 하이논리의 비트 반전신호(BINV)를 출력한다.

한편, 비트 반전신호(BINV)의 펄스폭은 전술한 바와 같이 저항(R)과 캐패시터(C1)의 RC 시정수에 따라 제1 노드(n1) 상의 전압(VC1)의 라이징 타임을 조정함으로써 조정될 수 있다.

결과적으로, 비트 반전신호(BINV)는 소스출력인에이블신호(SOE)의 펄스폭만큼 소스출력인에이블신호(SOE)를 지연시킨 것과 동일하게 나타난다. 그리고 비트 반전신호(BINV)의 펄스폭은 단안정 멀티바이브레이터의 RC 시정수를 조절하여 원하는 폭으로 조절될 수 있다.

도 11 내지 도 13은 데이터 구동부(82)를 상세히 나타낸다.

도 11을 참조하면, 데이터 구동부(82)의 각 데이터 IC(82a)는 타이밍 콘트롤러(81)로부터 데이터(RGBeven,RGBodd)가 입력되는 데이터 레지스터(111)와, 샘플링 클럭을 발생하기 위한 쉬프트 레지스터(112)와, 쉬프트 레지스터(112)

와 k(단, k는 m보다 작은 정수) 개의 데이터라인들(DL1 내지 DLk) 사이에 접속된 제1 래치(113), 제2 래치(114), DAC(115) 및 출력회로(116)와, 감마기준전압 발생부(84)와 DAC(115) 사이에 접속된 감마전압 공급부(117)를 구비한다.

데이터 레지스터(111)는 타이밍 콘트롤러(81)에 의해 분리된 기수 화소 데이터(RGBodd)와 우수 화소 데이터(RGBeven)를 일시 저장한 후에 저장된 데이터(RGBodd,RGBeven)를 제1 래치(113)에 공급한다.

쉬프트 레지스터(112)는 타이밍 콘트롤러(81)로부터의 소스 스타트 펄스(SSP)를 소스 샘플링 클럭신호(SSC)에 따라 쉬프트시켜 샘플링신호를 발생하게 된다. 또한, 쉬프트 레지스터(112)는 소스 스타트 펄스(SSP)를 쉬프트시켜 다음단의 쉬프트 레지스터(112)에 캐리신호(CAR)를 전달하게 된다.

제1 래치(113)는 쉬프트 레지스터(112)로부터 순차적으로 입력되는 샘플링신호에 응답하여 데이터 레지스터(111)로부터의 화소데이터(RGBeven, RGBodd)를 샘플링하여 1 라인분씩 래치한 다음, 1 라인분의 데이터를 동시에 출력한다.

제2 래치(114)는 제1 래치(113)로부터 입력되는 데이터를 래치한 다음, 래치된 데이터를 타이밍 콘트롤러(81)로부터의 소스 출력 인에이블신호(SOE)에 응답하여 동시에 출력한다.

DAC(115)는 비트 반전신호(BINV)에 응답하여 제2 래치(114)로부터 입력되는 디지털 데이터에 포함된 적어도 한 비트 바람직하게는 최상위 비트(MSB)의 논리값을 반전시킨 다음, 해당 디지털 데이터를 감마전압 공급부(117)로부터의 감마전압(DGH,DGL)으로 변환하게 된다. 이 DAC(115)는 극성제어신호(POL)에 응답하여 정극성 감마전압과 부극성 감마전압 중 어느 하나를 선택하기 위한 멀티플렉서를 포함한다.

출력회로(116)는 데이터라인들 각각에 접속된 버퍼를 포함한다. 출력회로(116)의 버퍼는 자신의 이득값만큼 데이터를 증폭하여 신호감쇠를 최소화한다.

감마전압 공급부(117)는 감마기준전압 발생부(84)로부터 입력되는 감마 기준전압을 세분화하여 각 계조에 대응하는 감마전압을 DAC(115)에 공급하게 된다. 이 감마전압 공급부(117)는 정극성의 감마전압을 발생하기 위한 회로와 부극성의 감마전압을 발생하기 위한 회로로 구성되어 있다.

도 12는 감마전압 공급부(117)의 정극성 감마전압 회로와 DAC를 상세히 나타낸다. 감마전압 공급부(117)의 부극성 감마전압 회로는 감마기준전압의 극성만 다를뿐 회로구성이 정극성 감마전압 회로와 실질적으로 동일하다.

도 12를 참조하면, 감마전압 공급부(117)는 6 단계의 정극성 감마기준전압(VH1 내지 VH6)을 64 단계의 감마전압으로 세분화하기 위한 64 개의 분압저항(R1 내지 R64)으로 구성된다.

분압저항(R1 내지 R64)은 전압레벨이 근접한 감마기준전압 사이에 예를 들면, VH1과 VH2 사이, VH2와 VH3 사이에 저항이 소정 개수씩 직렬로 인결된다. 이 분압저항(R1 내지 R64)은 각 계조에 대응하는 64 단계로 세분화된 감마전압을 저항과 저항 사이의 출력노드를 통하여 DAC(115)에 공급한다.

DAC(115)는 데이터를 반전시키기 위한 인버터(121)와, 비트 반전신호(BINV)와 최상위비트 b5(MSB)가 입력되는 배타적 OR 게이트(124)와, 반전 디지털 데이터와 비반전 디지털 데이터가 입력되는 디코더(122)로 구성된다.

배타적 OR 게이트(124)는 비트 반전신호(BINV)와 디지털 데이터의 최상위 비트 b5(MSB)를 배타적 논리합 연산하여 비트 반전신호(BINV)가 하이논리로 발생할 때 최상위 비트 b5(MSB)의 논리값을 반전시키게 된다. 또한, 배타적 OR 게이트(124)는 비트 반전신호(BINV)가 로우논리일 때 최상위 비트 b5(MSB)의 값을 원래의 값으로 유지하게 된다.

디코더(122)는 반전 데이터 또는 비반전 데이터에 응답하여 신호패스를 절환하는 다수의 스위치소자들(123)로 조합되어 디지털 데이터의 논리값에 대응하는 감 마전압을 선택한다. 도면에 도시된 스위치소자들(123)을 상세히 나타내면, 도 13과 같다.

도 13에서 알 수 있는 바, 배타적 OR 게이트(124)의 출력단자는 최상위 비트용 반전 스위치와 최상위 비트용 비반전 스위치에 공통으로 접속된다. 제2 래치(114)로부터 DAC(115)에 입력되는 6 비트의 디지털 데이터의 논리값이 '111111'이라 할 때, 비트 반전신호(BINV)가 발생되는 매 수평주기의 초기시점마다 최상위 비트용 반전 스위치와 최상위 비트용 비반전 스위치가 동시에 턴-온되므로 점선으로 나타낸 두 개의 전류패스를 따라 계조값 '32'에 대응하는 감마전압(V32)이 선택된다. 다시 말하여, 비트 반전신호(BINV)가 발생되는 매 수평주기의 초기시점에는 계조값 '64'에 대응하는 디지털 데이터 '111111'의 최상위 비트 b5의 논리값이 반전되어 계조값 '32'에 대응하는 감마전압(V32)가

선택된다. 이렇게 선택된 감마전압(V32)는 버퍼(116a)를 통하여 데이터라인(DL)에 공급된다.

도 14는 본 발명의 실시예에 따른 액정표시소자의 구동방법 및 장치의 1 도트 인버젼 방식을 나타내는 파형도이다.

도 14를 참조하면, 본 발명의 실시예에 따른 액정표시소자의 구동방법 및 장치는 1 도트 인버젼 방식에서 극성 반전신호(BINV)에 응답하여 매 수평주기마다 디지털 데이터의 최상위 비트(MSB)만을 반전시킨 다음, 최상위 비트(MSB)가 반전된 디지털 데이터를 감마전압으로 변환하게 된다. 액정셀에 공급되는 데이터전압(Data-post)은 1 수평주기마다 극성이 반전된다. 이 액정셀에 공급되는 데이터전압(Data-post)은 부극성에서 정극성으로 변하는 기간 즉, 비트 반전신호(BINV)가 발생되는 동안 중간 전압레벨로 변한 다음에 원하는 전압레벨로 변하게 된다. 또한, 액정셀에 공급되는 데이터전압(Data-post)은 정극성에서 부극성으로 변하는 기간 즉, 비트 반전신호(BINV)가 발생되는 동안 중간 전압레벨로 변한 다음에 원하는 전압레벨로 변하게 된다. 다시 말하여, 극성 반전시 액정셀에 공급되는 데이터전압(Data-post)의 전압레벨은 2 스텝으로 점진적으로 변하게 된다. 그 결과, 1 도트 인버젼 방식에서 데이터전압레벨이 급격히 변하에 발생될 수 있는 서지전압(Surge Voltage)이나 서지전류 등에 의한 노이즈가 방지될 수 있으며, 급격한 전압레벨의 변화에 따른 액정셀의 부하를 줄일 수 있다.

도 15는 본 발명의 실시예에 따른 액정표시소자의 구동방법 및 장치의 2 도트 인버젼 방식을 나타내는 파형도이다.

도 15를 참조하면, 본 발명의 실시예에 따른 액정표시소자의 구동방법 및 장치는 2 도트 인버젼 방식에서 1 도트 인버젼 방식과 마찬가지로 극성 반전신호(BINV)에 응답하여 매 수평주기마다 디지털 데이터의 최상위 비트(MSB)만을 반전시킨 다음, 최상위 비트(MSB)가 반전된 디지털 데이터를 감마전압으로 변환하게 된다. 액정셀에 공급되는 데이터전압(Data-post)은 2 수평주기마다 극성이 반전된다. 이 액정셀에 공급되는 데이터전압(Data-past)은 부극성에서 정극성으로 변하는 기간과 그 다음 수평라인에서 정극성 전압을 유지하는 초기 기간 동안, 비트 반전신호(BINV)에 응답하여 중간 전압레벨로 변한 다음에 원하는 전압레벨로 변하게 된다. 또한, 액정셀에 공급되는 데이터전압(Data-past)은 정극성에서 부극성으로 변하는 기간과 부극성 전압을 유지하는 초기 기간 동안, 비트 반전신호(BINV) 에 응답하여 중간 전압레벨로 변한 다음에 원하는 전압레벨로 변하게 된다. 다시 말하여, 액정셀에 공급되는 데이터전압(Data-post)의 전압레벨은 극성 반전시 2 스텝으로 점진적으로 변함과 아울러 극성을 유지하는 다음 수평라인에서 중간레벨로 하강 또는 상승한 다음 원하는 레벨로 변하게 된다. 그 결과, 2 도트 인버젼 방식에서 서지전압이나 서지전류 등에 의한 노이즈가 방지될 수 있으며, 급격한 전압레벨의 변화에 따른 액정셀의 부하를 줄일 수 있음은 물론, 동일한 극성의 데이터가 연속적으로 공급되는 두 수평라인들 간의 휘도차를 줄일 수 있게 된다.

도 14 및 도 15에 있어서, VGn과 VGn+1은 각각 n 번째 게이트라인에 공급되는 스캔펄스와 n+1 번째 게이트라인에 공급되는 스캔펄스를 나타내며, POL은 극성 제어신호를 나타낸다.

한편, 도 14 및 도 15에 있어서, 비트 반전신호(BINV)의 펄스폭 기간(T)과 액정셀에 공급되는 데이터전압(Data-post)의 중간전압레벨 기간은 전술한 바와 같이 비트 제어기(86)의 RC 시정수에 따라 최적으로 조절될 수 있다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시소자의 구동방법 및 장치는 디지털 데이터에 포함된 적어도 한 비트를 반전시킨 다음에, 그 디지털 데이터를 아날로그 감마전압으로 변환하게 된다. 그 결과, 본 발명에 따른 액정표시소자의 구동방법 및 장치는 1 도트 또는 2 도트 인버젼 방식에서 데이터전압의 극성이 반전될 때마다 데이터전압레벨을 2 스텝으로 변화시켜 데이터전압의 급격한 변화와 액정셀 의 급격한 부하변동을 방지하여 노이즈를 최소화하고 물론 2 도트 인버젼 방식에서 동일한 극성의 데이터전압이 인가되는 두 수평라인간의 휘도차를 줄임으로써 화질을 높이게 된다. 본 발명에 따른 액정표시소자의 구동방법 및 장치는 액정표시소자뿐만 아니라 디지털 데이터를 아날로그 전압으로 변환하여 화상을 표시하는 어떠한 표시소자에도 적용될 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 예를 들어, 본 발명의 실시예에서는 최상위 비트 한 비트만을 반전시키는 것을 예시하였지만, 두 비트 이상 혹은 최상위 비트 이외의 다른 비트를 반전시켜 액정셀에 공급되는 데이터전압을 멀티 스텝으로 변화시킬 수도 있다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

디지털 데이터를 입력하는 단계와,

비트 반전신호를 발생하는 단계와,

상기 비트 반전신호에 응답하여 상기 디지털 데이터에서 적어도 한 비트를 반전시키는 단계와,

상기 적어도 한 비트가 반전된 디지털 데이터를 아날로그 전압으로 변환하는 단계와,

상기 아날로그 전압을 액정셀에 공급하는 단계를 포함하는 것을 특징으로 하는 액정표시소자의 구동방법.

청구항 2.
제 1 항에 있어서,

상기 액정셀에 공급되는 전압은 매 수평주기마다 극성이 반전되는 것을 특징으로 하는 액정표시소자의 구동방법.

청구항 3.
제 1 항에 있어서,

상기 액정셀에 공급되는 전압은 2 수평주기마다 극성이 반전되는 것을 특징으로 하는 액정표시소자의 구동방법.

청구항 4.
제 1 항에 있어서,

상기 비트 반전신호는 매 수평주기의 초기마다 발생되는 것을 특징으로 하는 액정표시소자의 구동방법.

청구항 5.
제 1 항에 있어서,

상기 디지털 데이터에서 반전되는 비트는 최상위 비트인 것을 특징으로 하는 액정표시소자의 구동방법.

청구항 6.
비트 반전신호를 발생하는 비트 제어기와,

입력라인을 경유하여 공급되는 디지털 데이터에서 적어도 한 비트를 상기 비트 반전신호에 응답하여 반전시킨 다음에 상기 적어도 한 비트가 반전된 디지털 데이터를 아날로그 전압으로 변환하여 액정셀에 공급하는 데이터 구동부를 구비하는 것을 특징으로 하는 액정표시소자의 구동장치.

청구항 7.
제 6 항에 있어서,

상기 액정셀에 공급되는 전압은 매 수평주기마다 극성이 반전되는 것을 특징으로 하는 액정표시소자의 구동장치.

청구항 8.
제 6 항에 있어서,

상기 액정셀에 공급되는 전압은 2 수평주기마다 극성이 반전되는 것을 특징으로 하는 액정표시소자의 구동장치.

청구항 9.
제 6 항에 있어서,

상기 비트 반전신호는 매 수평주기의 초기마다 발생되는 것을 특징으로 하는 액정표시소자의 구동장치.

청구항 10.
제 6 항에 있어서,

상기 디지털 데이터에서 반전되는 비트는 최상위 비트인 것을 특징으로 하는 액정표시소자의 구동장치.

청구항 11.
제 6 항에 있어서,

다수의 데이터라인과 다수의 게이트라인이 교차되며 그 교차부에 스위치소자들이 형성되고 상기 데이터라인과 게이트라인 사이의 화소영역에 상기 액정셀이 형성되는 액정패널과,

상기 게이트라인들에 스캔펄스를 공급하기 위한 게이트 구동부와,

상기 데이터 구동부에 상기 디지털 데이터를 공급함과 아울러 상기 데이터 구동부와 상기 게이트 구동부에 필요한 타이밍 제어신호를 발생하는 타이밍 콘트롤러를 더 구비하는 것을 특징으로 하는 액정표시소자의 구동장치.

청구항 12.
제 11 항에 있어서,

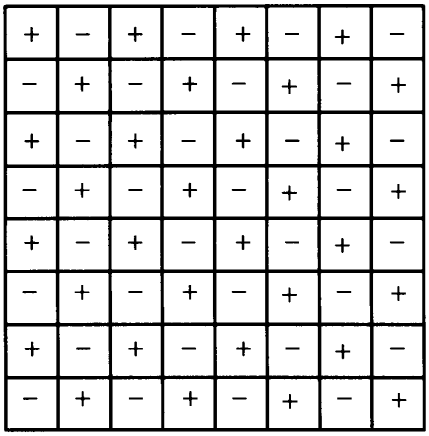
상기 비트 제어기는 상기 타이밍 콘트롤러로부터 입력되는 소스출력인에이블 신호(SOE)를 지연시켜 상기 비트 반전 신호를 발생하는 것을 특징으로 하는 액정표시소자의 구동장치.

청구항 13.
제 6 항에 있어서,

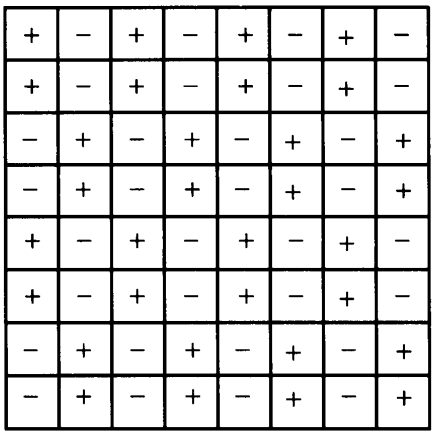
상기 비트 제어기는 단안정 멀티바이브레이터인 것을 특징으로 하는 액정표시소자의 구동장치.

도면

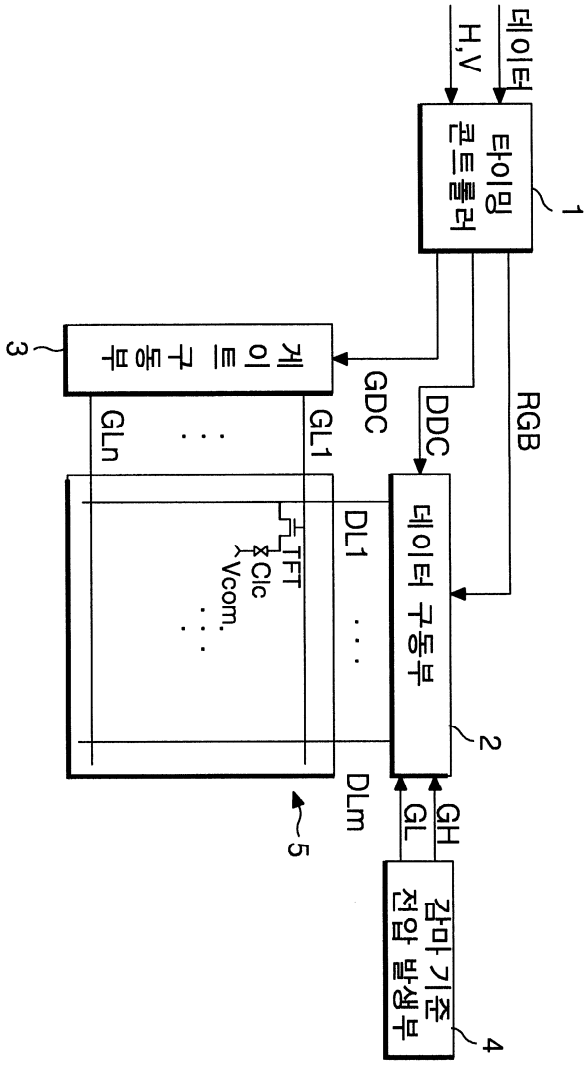
도면1



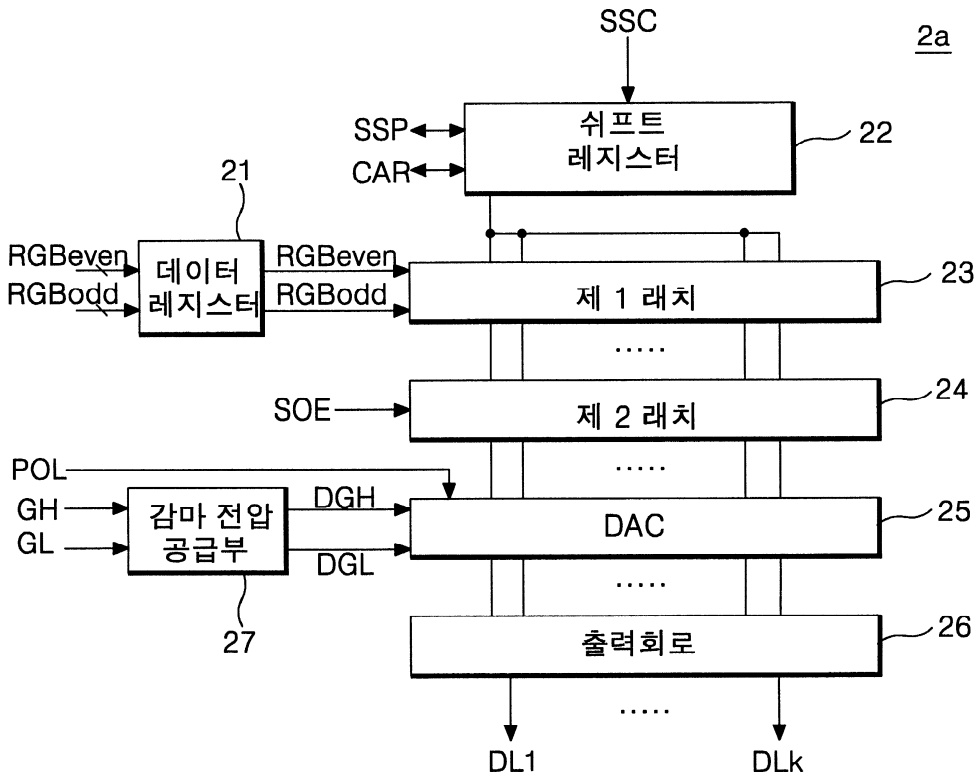
도면2



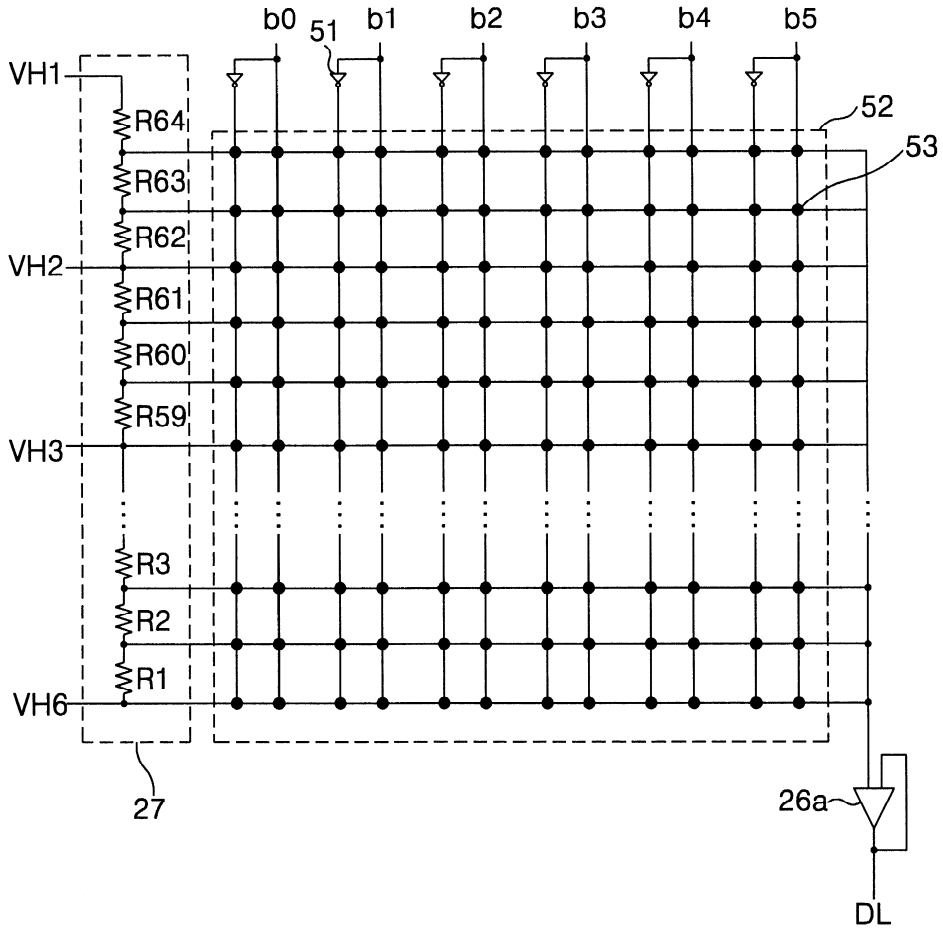
도면3


데이터
H,V
타이밍
콘트롤러
1
게이트 구동부
3
GDC
DDC
RGB
GL1
GLn
DL1
DLm
TFT
Clc
Vcom
데이터 구동부
2
GH
GL
감마 기준 전압 발생부
4
5

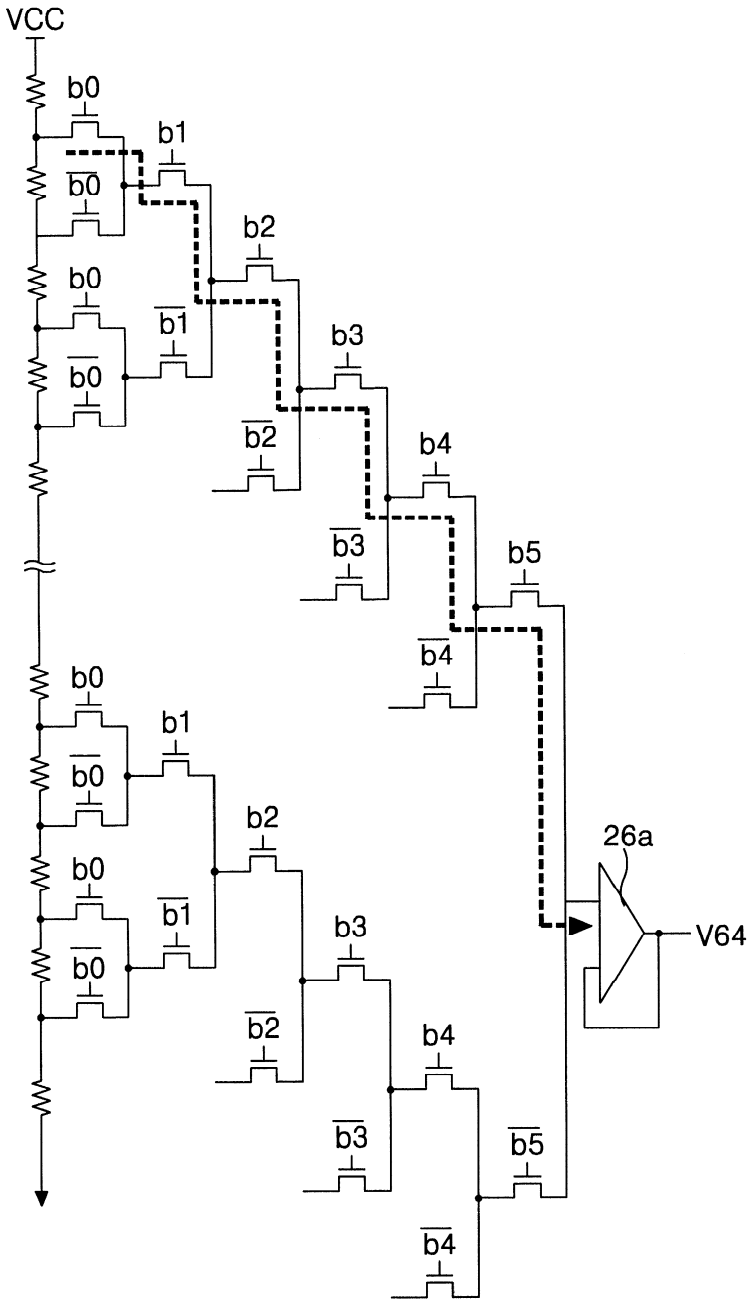
도면4


SSC
2a
SSP
CAR
쉬프트
레지스터
22
21
RGBeven
RGBodd
데이터
레지스터
RGBeven
RGBodd
제 1 래치
23
.....
SOE
제 2 래치
24
.....
POL
GH
GL
감마 전압
공급부
DGH
DGL
DAC
25
.....
27
출력회로
26
.....
DL1
DLk

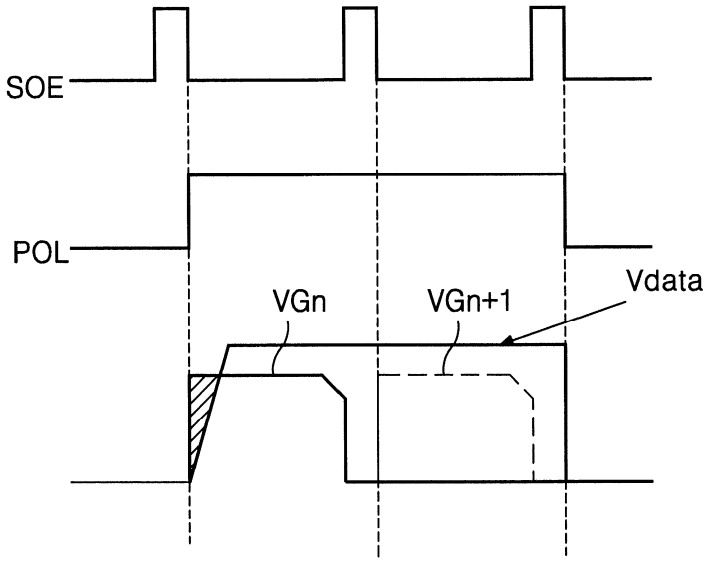
도면5


b0
51
b1
b2
b3
b4
b5
VH1
R64
R63
R62
VH2
R61
R60
R59
VH3
R3
R2
R1
VH6
52
53
27
26a
DL

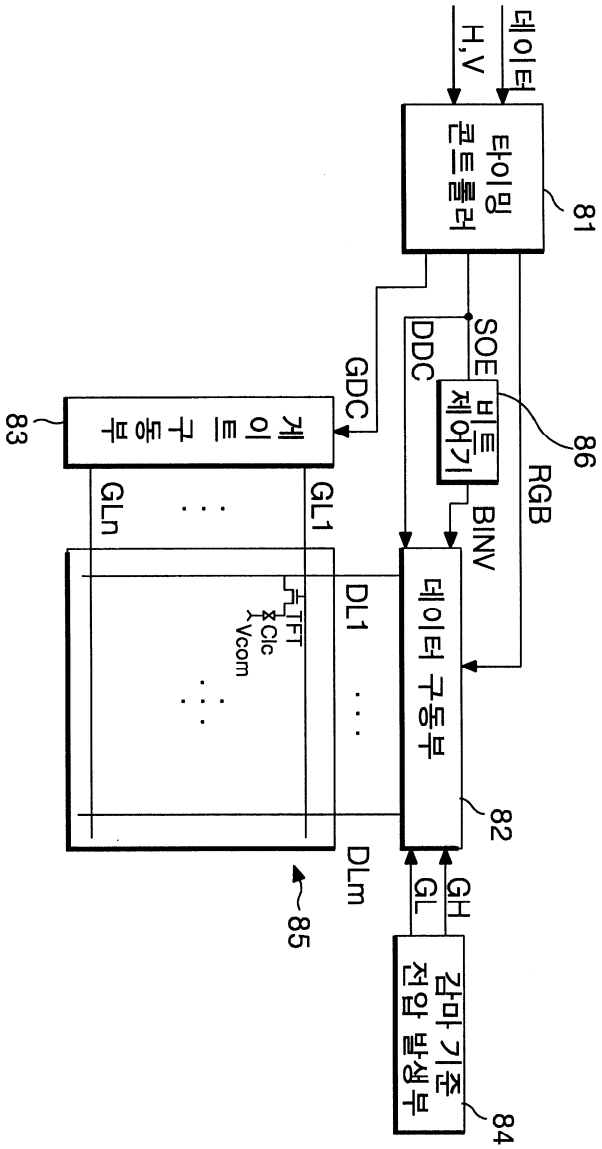
도면6



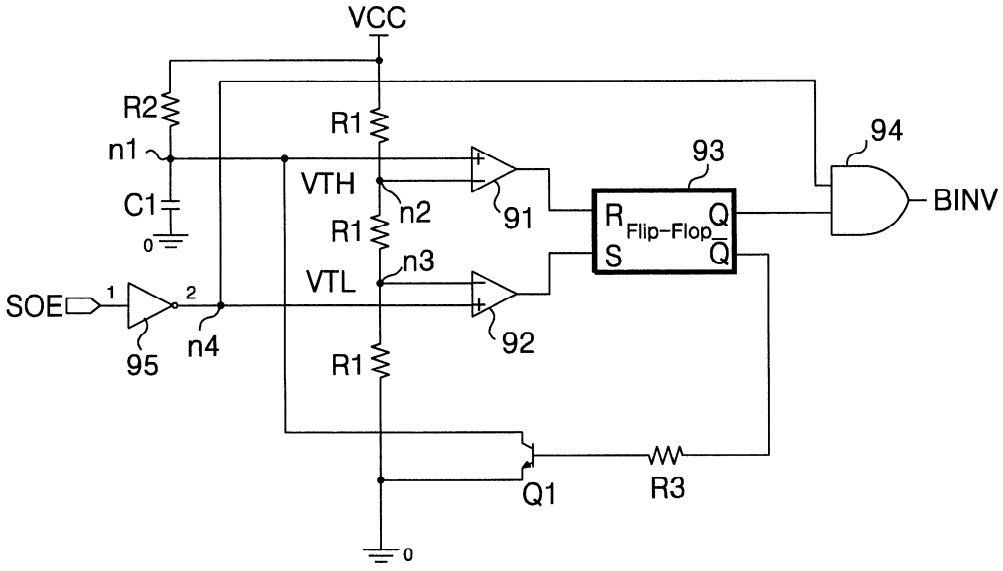
도면7



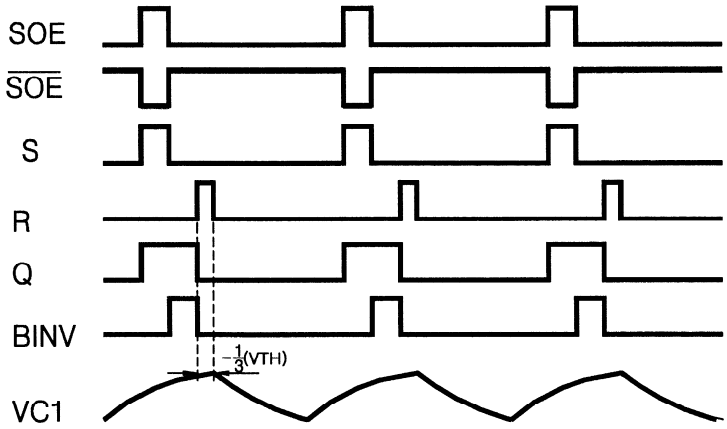
도면8


데이터
H,V
타이밍 콘트롤러
81
SOE
DDC
GDC
비트 제어기
86
RGB
BINV
게이트 구동부
83
GLn
GL1
DL1
TFT
Clc
Vcom
데이터 구동부
82
DLm
85
GL
GH
감마 기준 전압 발생부
84

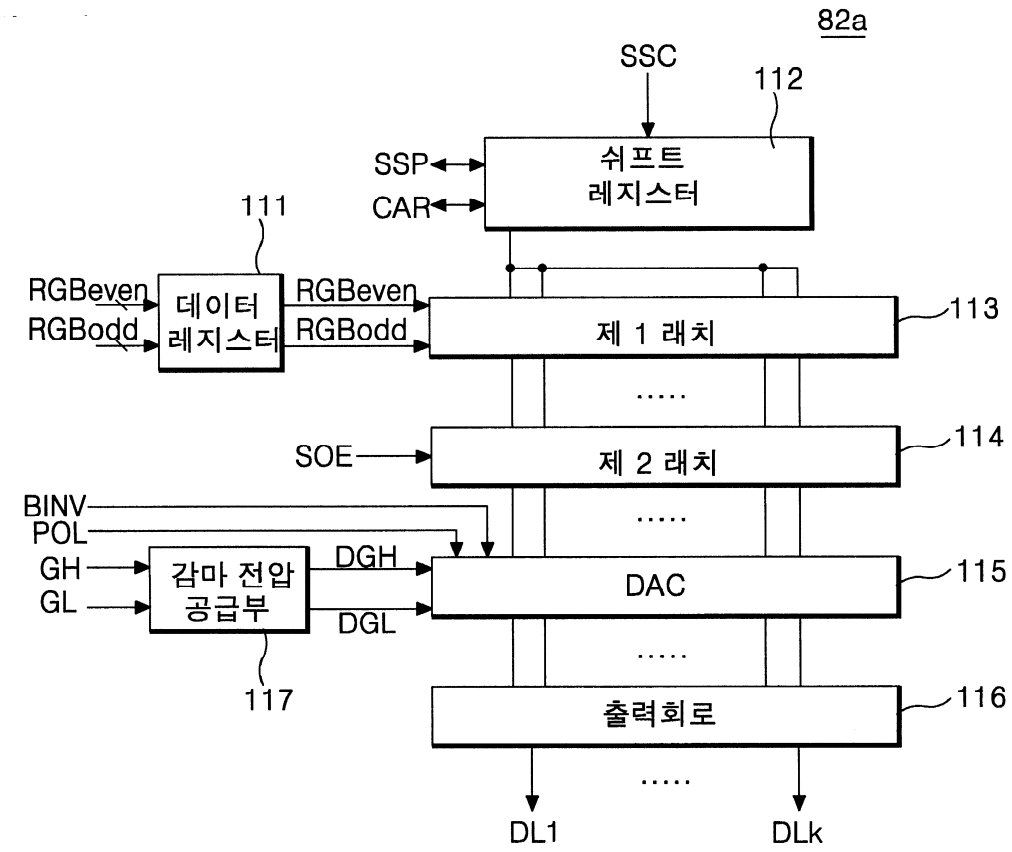
도면9


VCC
R2
n1
C1
R1
VTH
n2
R1
VTL
n3
R1
SOE
1
2
95
n4
91
92
93
94
BINV
R
S
Flip-Flop
Q
IQ
Q1
R3
0

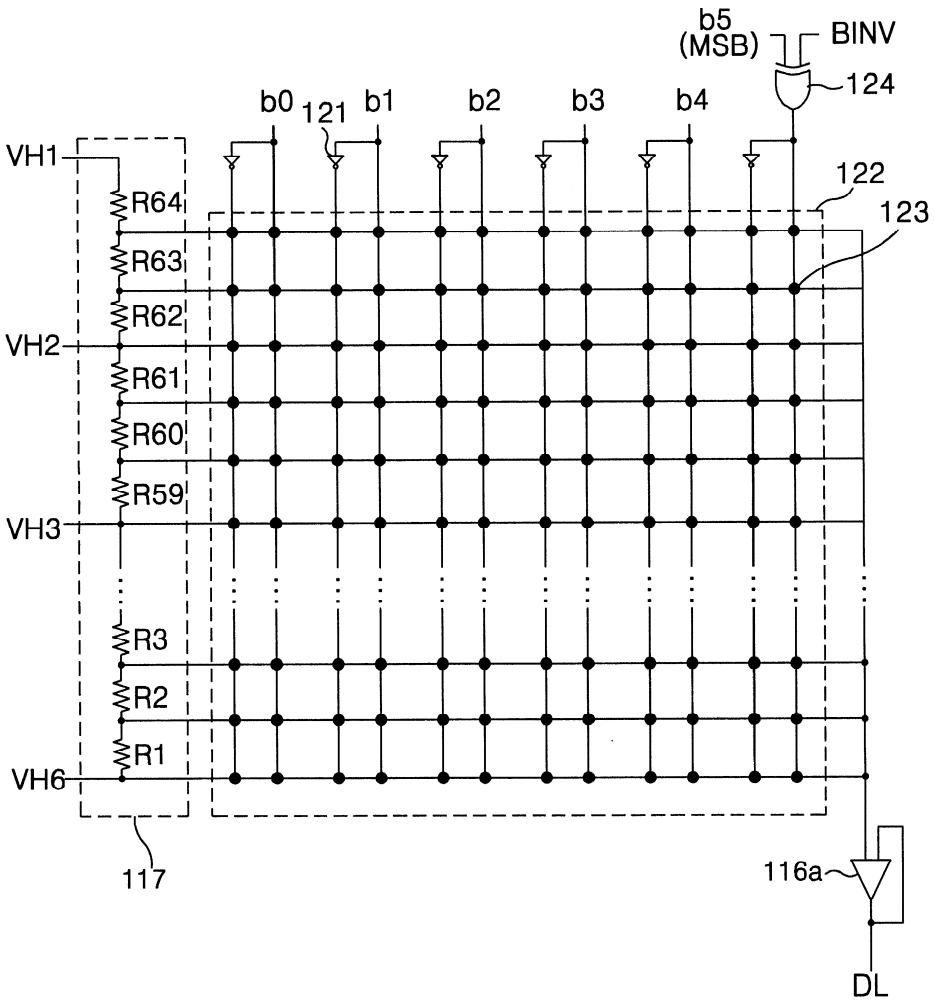
도면10


SOE
SOE
S
R
Q
BINV
VC1
1/3(VTH)

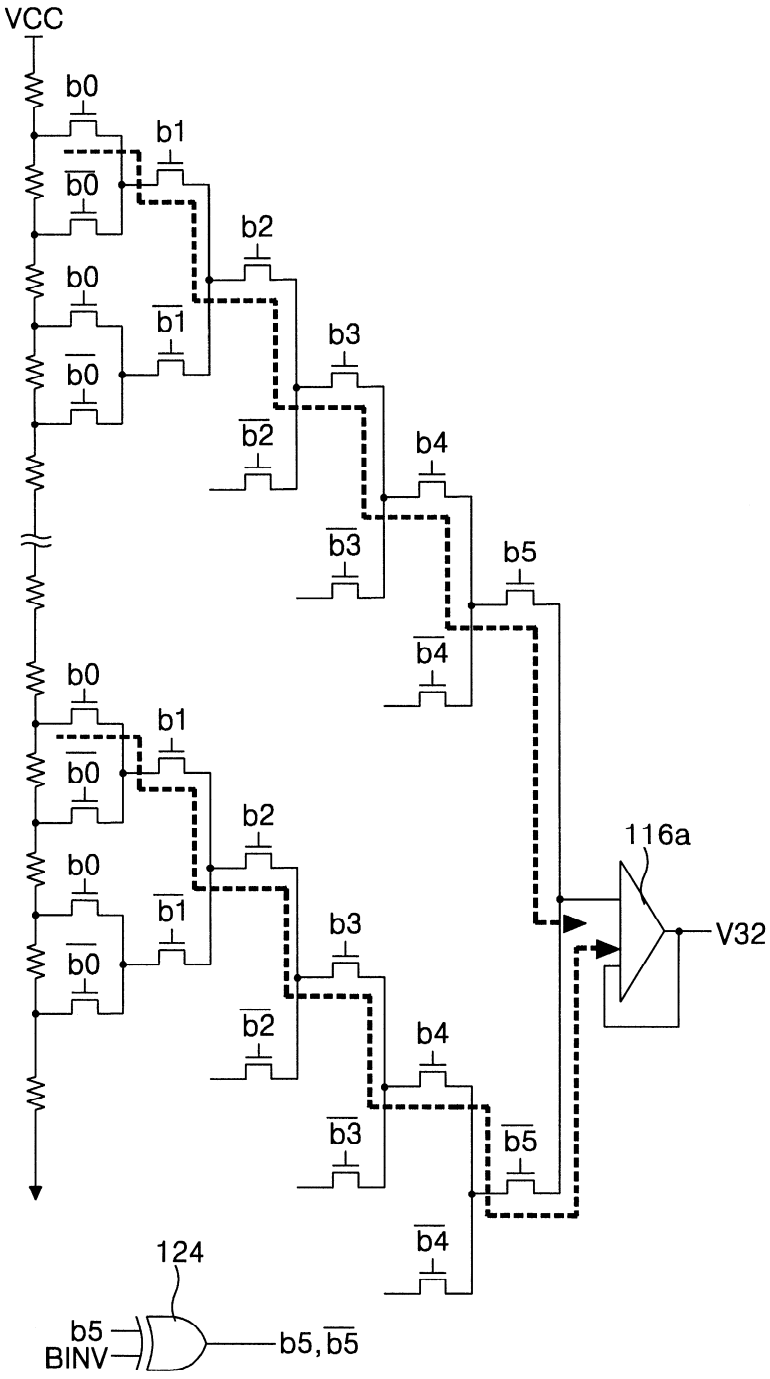
도면11


82a
SSC
112
쉬프트 레지스터
SSP
CAR
111
RGBeven
RGBodd
데이터 레지스터
RGBeven
RGBodd
제 1 래치
113
제 2 래치
114
SOE
BINV
POL
GH
GL
감마 전압 공급부
DGH
DGL
117
DAC
115
출력회로
116
DL1
DLk

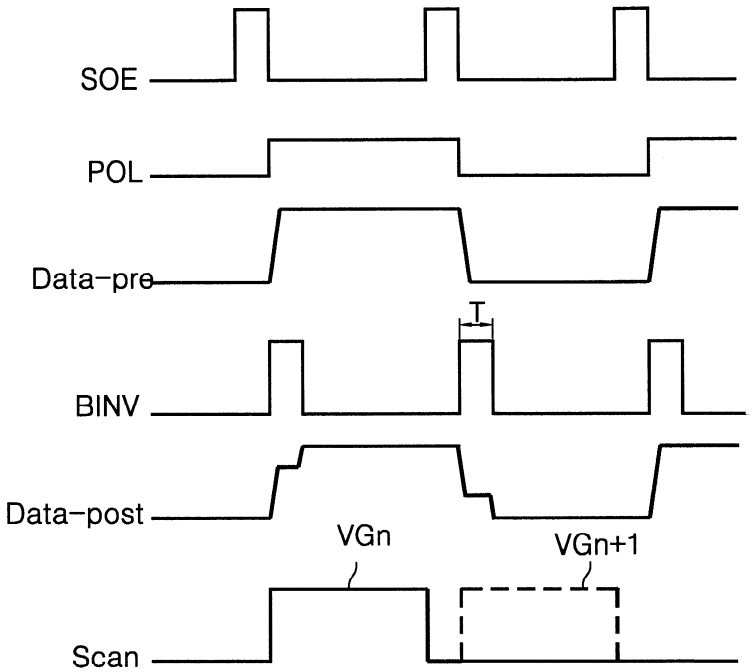
도면12


b5
(MSB)
BINV
124
b0
121
b1
b2
b3
b4
122
123
VH1
R64
R63
R62
VH2
R61
R60
R59
VH3
R3
R2
R1
VH6
117
116a
DL

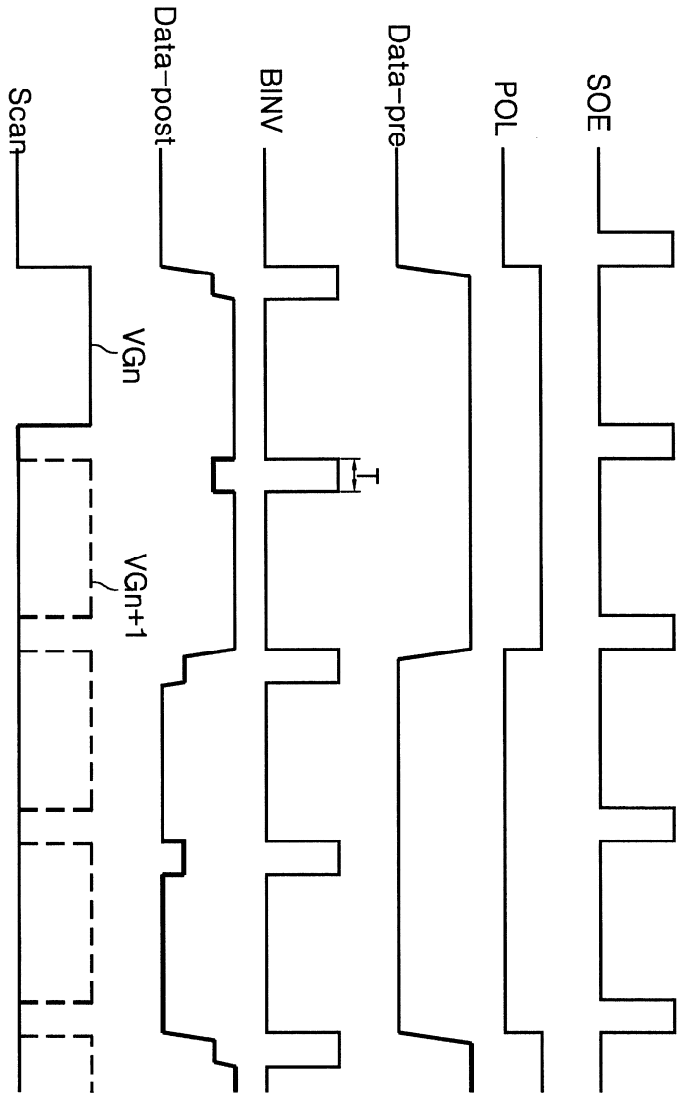
도면13


VCC
b0
b1
b0
b2
b0
b1
b0
b3
b2
b4
b3
b5
b4
b0
b1
b0
b2
b0
b1
b0
b3
b2
b4
b3
b5
b4
116a
V32
124
b5
BINV
b5, b5

도면14



도면15



专利名称(译)	用于驱动液晶显示元件的方法和设备		
公开(公告)号	KR1020030093836A	公开(公告)日	2003-12-11
申请号	KR1020020031713	申请日	2002-06-05
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM PANYOUL 김판열 KIM SEUNGHAK 김승학		
发明人	김판열 김승학		
IPC分类号	G02F1/133		
CPC分类号	G02F1/133 G09G3/3614 G09G3/3648 G09G3/3696 G09G2320/0233		
其他公开文献	KR100864971B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种用于驱动液晶显示装置的方法和装置，以防止液晶单元的负载的快速变化和数据电压的快速变化，以使噪声最小化，并减小施加有液晶显示器的两条水平线之间的亮度差。 极性相同的数据电压，以提高屏幕质量。 构成：在一种驱动液晶显示装置的方法中，响应于极性反转信号，数字数据的峰值位（MSB）被水平周期反转，并且其峰值位被反转的数字数据被转换为伽马电压。 。 提供给液晶单元的数据电压（Data-post）在极性上反转2个水平周期。 在施加到液晶单元的数据电压（Data-pre）从负极性变为正极性的期间以及在下一水平期间保持正极性的初始期间中，将数据电压变更为下一电压。 响应于位反转信号而变为中间电压电平之后的期望电压电平。 在数据电压（Data-post）从正极性变为负极性的期间以及在下一水平期间保持负极性的初始期间中，数据电压在改变后变为下一期望电压电平。 响应于位反转信号而变为中间电压电平。