



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년10월31일
(11) 등록번호 10-1323488
(24) 등록일자 2013년10월23일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01)

(21) 출원번호 10-2007-0020990

(22) 출원일자 2007년03월02일

심사청구일자 2012년02월29일

(65) 공개번호 10-2008-0080805

(43) 공개일자 2008년09월05일

(56) 선행기술조사문헌

KR100678738 B1

KR100617612 B1

KR1020050030788 A

KR100446379 B1

전체 청구항 수 : 총 20 항

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

박대립

경상북도 칠곡군 석적읍 북중리3길 70, 113동 808호 (3공단부영아파트)

정보영

경기도 안성시 죽산면 하구산길 23, 401호 (덕진빌라)

(74) 대리인

서교준

심사관 : 이준석

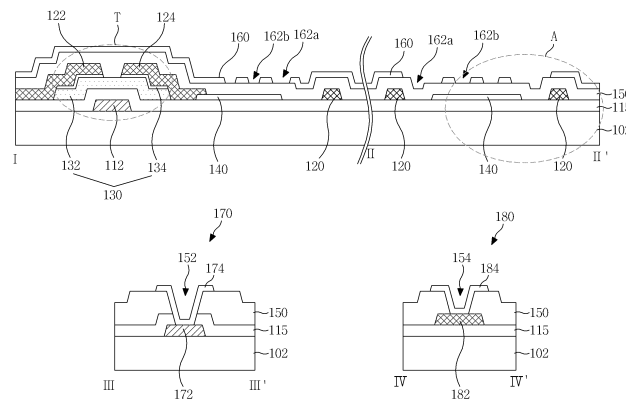
(54) 발명의 명칭 액정표시패널 및 그 제조 방법

(57) 요약

본 발명은 공통전극에 형성된 최외각 슬릿을 데이터 라인 방향으로 연장되도록 형성함으로써, 공통전극의 최외각 슬릿을 관통하는 프린지 필드의 활용효율을 크게 하여 광 투과율을 증가시킬 수 있는 프린지 필드형 액정표시패널 및 그 제조방법에 관한 것이다.

본 발명에 따른 프린지 필드형 액정표시패널은, 기판상에 형성되는 게이트 라인; 게이트 라인과 절연된 상태로 교차 형성되는 데이터 라인; 게이트 라인 및 데이터 라인의 교차 영역에 형성되는 박막 트랜지스터; 박막 트랜지스터와 접촉되게 형성되는 화소전극; 및 화소전극과 중첩되게 형성되는 복수의 슬릿이 형성된 공통전극을 구비하고, 상기 공통전극에 형성된 복수의 슬릿 중 최외각 슬릿은 상기 데이터 라인 방향으로 연장된 것을 특징으로 한다.

대표도 - 도4



특허청구의 범위

청구항 1

기판상에 형성되는 게이트 라인;

상기 게이트 라인과 절연된 상태로 교차 형성되는 데이터 라인;

상기 게이트 라인 및 상기 데이터 라인의 교차 영역에 형성되는 박막 트랜지스터;

상기 박막 트랜지스터와 접속되게 형성되는 화소전극; 및

상기 화소전극과 중첩되게 형성되는 복수의 슬릿이 형성된 공통전극을 구비하고,

상기 공통전극에 형성된 복수의 슬릿 중 최외각 슬릿은 상기 데이터 라인 방향으로 연장된 것을 특징으로 하는 프린지 필드형 액정표시패널.

청구항 2

제 1 항에 있어서,

상기 공통전극의 최외각 슬릿은 상기 화소전극과 중첩되게 형성된 슬릿과 비교하여 상이한 간격을 갖도록 형성된 것을 특징으로 하는 프린지 필드형 액정표시패널.

청구항 3

제 1 항에 있어서,

상기 공통 전극의 최외각 슬릿은 상기 화소전극과 일부 중첩된 형태로 상기 데이터 라인과 소정 간격 이격된 형태로 형성된 것을 특징으로 하는 프린지 필드형 액정표시패널.

청구항 4

제 3 항에 있어서,

상기 공통전극의 최외각 슬릿은 상기 데이터 라인과 2 μ m의 간격을 갖도록 형성된 것을 특징으로 하는 프린지 필드형 액정표시패널.

청구항 5

제 3 항에 있어서,

상기 화소전극의 단부는 상기 공통전극의 최외각 슬릿 사이에 위치하는 것을 특징으로 하는 프린지 필드형 액정표시패널.

청구항 6

기판상에 게이트 라인을 형성하는 단계;

상기 게이트 라인과 절연된 상태로 교차되는 데이터 라인을 형성하는 단계;

상기 게이트 라인 및 상기 데이터 라인의 교차 영역에 박막 트랜지스터를 형성하는 단계;

상기 박막 트랜지스터와 접속되는 화소전극을 형성하는 단계; 및

상기 화소전극과 중첩되게 복수의 슬릿을 갖는 공통전극을 형성하는 단계를 구비하고,

상기 공통전극에 형성된 복수의 슬릿 중 최외각 슬릿은 상기 데이터 라인 방향으로 연장된 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법.

청구항 7

제 6 항에 있어서,

상기 공통전극의 최외각 슬릿은 상기 화소전극과 중첩되게 형성된 슬릿과 비교하여 상이한 간격을 갖도록 형성

된 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법.

청구항 8

제 6 항에 있어서,

상기 공통전극의 최외각 슬릿은 상기 화소전극과 일부 중첩된 형태로 상기 데이터 라인과 인접되도록 형성된 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법.

청구항 9

제 8 항에 있어서,

상기 공통전극의 최외각 슬릿은 상기 데이터 라인과 2 μ m의 간격을 갖도록 형성된 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법.

청구항 10

제 8 항에 있어서,

상기 화소전극의 단부는 상기 공통전극에 형성된 최외각 슬릿 사이에 위치하는 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법.

청구항 11

기판상에 형성된 게이트 라인, 상기 게이트 라인에 접속되는 게이트 전극 및 게이트 패드 하부전극으로 구성된 제 1 도전성 패턴을 형성하는 단계;

상기 제 1 도전성 패턴이 형성된 기판을 덮는 게이트 절연막을 형성한 후, 상기 게이트 절연막 상에 프린지 필드를 형성하는 화소전극을 형성하는 단계;

상기 게이트 절연막을 사이에 두고 상기 게이트 전극과 중첩되어 채널을 형성하는 활성층 및 오믹 접촉을 위한 오믹 접촉층으로 구성된 반도체 패턴을 형성하는 단계;

상기 게이트 절연막 상에 데이터 라인, 상기 데이터 라인에 접속되며 채널을 사이에 두고 상호 대향하는 소스 전극 및 드레인 전극과 데이터 패드 하부전극으로 구성된 제 2 도전성 패턴을 형성하는 단계;

상기 게이트 절연막 상에 상기 반도체 패턴 및 제 2 도전성 패턴을 덮는 보호막을 형성하는 단계; 및

상기 보호막을 사이에 두고 상기 화소전극과 중첩되게 형성되며 프린지 필드가 관통하는 다수의 슬릿을 갖는 공통전극, 게이트 패드 상부전극 및 데이터 패드 상부전극으로 구성된 제 3 도전성 패턴을 형성하는 단계를 포함하며,

상기 공통전극의 최외각 슬릿은 상기 데이터 라인 방향으로 확장된 규격을 갖도록 형성된 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법.

청구항 12

제 11 항에 있어서,

상기 제 1 도전성 패턴을 형성하는 단계는,

기판상에 게이트 금속층을 전면 형성하는 단계;

상기 게이트 금속층 상에 포토레지스트를 전면 형성한 후, 상기 제 1 도전성 패턴이 형성될 영역을 제외한 나머지 영역을 노출시키는 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴에 의해 노출된 게이트 금속층을 에칭하여 상기 제 1 도전성 패턴을 형성하는 단계를 포함하여 구성된 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법.

청구항 13

제 11항에 있어서,

상기 화소전극의 단부는 상기 공통전극에 형성된 최외각 슬릿의 중심에 위치하는 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법

청구항 14

제 11 항에 있어서,

상기 제 2 도전성 패턴을 형성하는 단계는,

상기 반도체 패턴이 형성된 게이트 절연막 상에 데이터 금속층을 전면 형성하는 단계;

상기 데이터 금속층 상에 포토레지스트를 전면 형성한 후, 소정의 마스크 공정을 통해 채널영역에 단차를 갖는 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴에 의해 노출된 데이터 금속층과, 활성층 및 오믹 접촉층으로 구성된 반도체 패턴을 순차적으로 에칭하는 단계;

상기 포토레지스트 패턴을 애싱하여 상기 채널영역에 형성된 상기 데이터 금속층을 노출시키는 단계;

상기 노출된 데이터 금속층을 에칭하여 상기 데이터 라인에 접속되는 동시에 상기 채널영역을 사이에 두고 상호대향하는 소스전극 및 드레인 전극을 형성하는 단계; 및

상기 소스전극 및 드레인 전극이 분리됨에 따라 상기 채널 영역에 노출된 오믹 접촉층을 애칭하여 채널을 형성하는 활성층을 노출시키는 단계를 포함하여 구성된 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법.

청구항 15

제 14 항에 있어서,

상기 드레인 전극은 상기 화소전극과 중첩된 형태로 직접 접속된 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법.

청구항 16

제 11 항에 있어서,

상기 보호막을 형성하는 단계는,

상기 게이트 절연막 상에 제 2 도전성 패턴을 덮는 보호막을 전면 도포하는 단계;

상기 보호막 상에 포토레지스트를 전면 형성한 후, 소정의 마스크 공정을 통해 콘택홀이 형성될 영역을 노출시키는 포토레지스트 패턴을 형성하는 단계; 및

상기 포토레지스트 패턴에 의해 노출된 영역을 에칭하여 상기 게이트 패드 하부전극을 노출시키는 제 1 콘택홀과 상기 데이터 패드 하부전극을 노출시키는 제 2 콘택홀을 형성하는 단계를 포함하여 구성된 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법.

청구항 17

제 11 항에 있어서,

상기 제 3 도전성 패턴을 형성하는 단계는,

보호막 상에 투명 도전성 물질을 전면 증착시키는 단계;

상기 투명 도전성 물질 상에 포토레지스트를 전면 형성한 후, 소정의 마스크 공정을 통해 상기 제 3 도전성 패턴이 형성될 영역을 제외한 나머지 영역을 노출시키는 포토레지스트 패턴을 형성하는 단계; 및

상기 포토레지스트 패턴에 의해 노출된 투명 도전성 패턴을 애칭하여 프렌지 필드가 관통하는 슬릿이 형성된 공통전극, 제 1 및 제 2 콘택홀을 통해 게이트 패드 하부전극 및 데이터 패드 하부전극과 각각 접속되는 게이트 패드 상부전극 및 데이터 패드 상부전극을 형성하는 단계를 포함하여 구성된 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법.

청구항 18

제 17 항에 있어서,

상기 공통전극의 최외각 슬릿은 상기 화소전극과 중첩되게 형성된 슬릿과 비교하여 상이한 간격을 갖도록 형성된 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법.

청구항 19

제 17 항에 있어서,

상기 공통전극의 최외각 슬릿은 상기 화소전극과 일부 중첩된 형태로 상기 데이터 라인과 소정 간격을 두고 인접되도록 형성된 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법.

청구항 20

제 19 항에 있어서,

상기 공통전극의 최외각 슬릿은 상기 데이터 라인과 2 μ m의 간격을 갖도록 인접되게 형성된 것을 특징으로 하는 프린지 필드형 액정표시패널의 제조방법.

명세서**발명의 상세한 설명****발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

- [0024] 본 발명은 공통전극의 최외각 슬릿을 데이터 라인 방향으로 확장시킴으로써, 공통전극의 최외각 슬릿을 관통하는 프린지 필드의 활용효율을 크게 하여 광 투과율을 증가시킬 수 있는 프린지 필드형 액정표시패널 및 그 제조방법에 관한 것이다.
- [0025] 액정 표시 패널은 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이러한 액정 표시 패널은 액정을 구동시키는 전계의 방향에 따라 수직 전계 인가형과 수평 전계 인가형으로 대별된다.
- [0026] 수직 전계 인가형 액정 표시 패널은 상하부 기판에 대향하게 배치된 화소 전극과 공통 전극 사이에 형성되는 수직 전계에 의해 TN(Twisted Nematic) 모드의 액정을 구동하게 된다. 이러한 수직 전계 인가형 액정 표시 장치는 개구율이 큰 장점을 가지는 반면 시야각이 90도 정도로 좁은 단점을 가진다.
- [0027] 수평 전계 인가형 액정 표시 패널은 하부 기판에 나란하게 배치된 화소 전극과 공통 전극 간의 수평 전계에 의해 인 플레인 스위치(In Plane Switch; 이하, IPS라 함) 모드의 액정을 구동하게 된다. 이러한 수평 전계 인가형 액정 표시 패널은 시야각이 160도 정도로 넓은 장점을 갖으나, 개구율 및 투과율이 낮은 단점을 가진다.
- [0028] 이러한 수평 전계 인가형 액정 표시 패널의 단점을 개선하기 위하여, 프린지 필드(Fringe Field)에 의해 동작되는 프린지 필드형 (Fringe Field Switching; 이하, FFS)형 액정표시패널이 제안되고 있다.
- [0029] 프린지 필드형 액정표시패널(FFS)은, 도 1에 도시된 바와 같이, 각 화소 영역에 보호막(60)을 사이에 두고 상호 대응되도록 형성된 화소전극(40) 및 다수의 슬릿(62a, 62b)이 형성된 공통전극(60)을 구비하고, 화소전극(40) 및 공통전극(60) 사이에 형성되는 프린지 필드가 슬릿(62a, 62b)을 관통하여 화소영역 및 공통전극(60)상에 위치하는 액정 분자를 구동시킴으로써 화상을 구현하였다.
- [0030] 상술한 바와 같이 구성된 종래의 프린지 필드형 액정표시패널(FFS)의 경우, 도 2에 도시된 바와 같이, 공통 전극(60)에 형성된 슬릿(62a, 62b)이 화소전극(40)과 대응되는 영역에만 형성됨에 따라 데이터 라인(20)과 인접한 영역에는 프린지 필드가 형성되지 않아 투과율이 저하된다는 문제점이 있었다.
- [0031] 또한, 종래의 프린지 필드형 액정표시패널의 경우, 공통전극(60)에 형성된 슬릿(62a, 62b)이 화소전극(40)과 대응되도록 일정한 간격을 갖도록 형성됨에 따라 공통전극(60)의 설계 자유도가 낮아진다는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

- [0032] 따라서, 본 발명의 목적은 공통전극의 최외각 슬릿을 데이터 라인 방향으로 연장시킴으로써, 프린지 필드의 활용효율을 개선하여 화소영역의 광 투과율을 증가시킬 수 있는 프린지 필드형 액정표시패널 및 그 제조방법을 제공하는 데 있다.
- [0033] 또한, 본 발명의 목적은 공통전극의 최외각 슬릿을 화소전극과 중첩되게 형성된 슬릿과 다른 규격으로 형성함으로써, 공통 전극의 설계 자유도를 증가시킬 수 있는 프린지 필드형 액정표시패널 및 그 제조방법을 제공하는 데 있다.

발명의 구성 및 작용

- [0034] 상기 목적을 달성하기 위하여, 본 발명에 따른 프린지 필드형 액정표시패널은, 기판상에 형성되는 게이트 라인; 게이트 라인과 절연된 상태로 교차 형성되는 데이터 라인; 게이트 라인 및 데이터 라인의 교차 영역에 형성되는 박막 트랜지스터; 박막 트랜지스터와 접속되게 형성되는 화소전극; 및 화소전극과 중첩되게 형성되는 복수의 슬릿이 형성된 공통전극을 구비하고, 상기 공통전극에 형성된 복수의 슬릿 중 최외각 슬릿은 상기 데이터 라인 방향으로 연장된 것을 특징으로 한다.
- [0035] 여기서, 본 발명에 따른 공통전극의 최외각 슬릿은, 화소전극과 중첩되게 형성된 슬릿과 비교하여 상이한 간격을 갖도록 형성된 것을 특징으로 한다.
- [0036] 본 발명에 따른 공통전극의 최외각 슬릿은, 화소전극과 일부 중첩된 형태로 데이터 라인과 약 $2\mu\text{m}$ 의 간격을 두고 인접되게 형성된 것을 특징으로 한다.
- [0037] 본 발명에 따른 화소전극은, 그 단부가 공통전극의 최외각 슬릿 사이에 위치하는 것을 특징으로 한다.
- [0038] 상기 목적을 달성하기 위해, 본 발명에 따른 프린지 필드형 액정표시패널의 제조방법은, 기판상에 게이트 라인을 형성하는 단계; 게이트 라인과 절연된 상태로 교차되는 데이터를 형성하는 단계; 게이트 라인 및 데이터 라인의 교차 영역에 박막 트랜지스터를 형성하는 단계; 박막 트랜지스터와 접속되는 화소전극을 형성하는 단계; 및 화소전극과 중첩되게 복수의 슬릿을 갖는 공통전극을 형성하는 단계를 구비하고, 상기 공통전극에 형성된 복수의 슬릿 중 최외각 슬릿은 상기 데이터 라인 방향으로 연장된 것을 특징으로 한다.
- [0039] 상기 목적을 달성하기 위해, 본 발명에 따른 프린지 필드형 액정표시패널의 제조방법은, 기판상에 형성된 게이트 라인, 상기 게이트 라인에 접속되는 게이트 전극 및 게이트 패드 하부전극으로 구성된 제 1 도전성 패턴을 형성하는 단계; 제 1 도전성 패턴이 형성된 기판을 덮는 게이트 절연막을 형성한 후, 게이트 절연막 상에 프린지 필드를 형성하는 화소전극을 형성하는 단계; 게이트 절연막을 사이에 두고 게이트 전극과 중첩되는 위치에 채널 및 오믹 접촉을 반도체 패턴을 형성하는 단계; 게이트 절연막 상에 데이터 라인, 데이터 라인에 접속되며 채널을 사이에 두고 상호 대향하는 소스전극 및 드레인 전극과 데이터 패드 하부전극으로 구성된 제 2 도전성 패턴을 형성하는 단계; 게이트 절연막 상에 상기 반도체 패턴 및 제 2 도전성 패턴을 덮는 보호막을 단계; 및 보호막을 사이에 두고 화소전극과 중첩되게 형성되며 프린지 필드가 관통하는 다수의 슬릿을 갖는 공통전극, 게이트 패드 상부전극 및 데이터 패드 상부전극으로 구성된 제 3 도전성 패턴을 형성하는 단계를 포함하며, 공통전극의 최외각 슬릿은 데이터 라인 방향으로 확장된 규격을 갖도록 형성된 것을 특징으로 한다.
- [0040] 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.
- [0041] 이하, 첨부도면을 참조하여 본 발명에 따른 프린지 필드형 액정표시패널 및 그 제조 방법에 대해 상세히 설명한다.
- [0042] 먼저, 본 발명에 따른 프린지 필드형 액정표시패널의 구성 및 동작에 대해 설명한다.
- [0043] 본 발명에 따른 프린지 필드형 액정표시패널(100)은, 도 3 및 도 4에 도시된 바와 같이, 기판(102)상에 형성된 게이트 라인(110), 게이트 절연막(115)을 사이에 두고 게이트 라인(110)과 교차 형성되어 화소영역(142)을 정의하는 데이터 라인(120), 게이트 라인(110)과 데이터 라인(120)의 교차 영역에 형성된 박막 트랜지스터(T), 게이트 절연막(115) 상에 형성되며 박막 트랜지스터(T)와 직접 접속되는 화소전극(140), 박막 트랜지스터(T)를 덮는 보호막(150) 및 보호막(150) 상에 형성되며 화소전극(140)과 함께 액정 배향을 위한 프린지 필드를 형성하는 공

통전극(160)을 포함한다.

[0044] 또한, 본 발명에 따른 프린지 필드형 액정표시패널(100)은, 게이트 라인(110)에 접속되는 게이트 패드(170)와, 데이터 라인(120)에 접속되는 데이터 패드(180)를 포함한다.

[0045] 게이트 라인(110)은 게이트 패드(180)에 접속되는 게이트 드라이버(미도시)로부터 공급되는 게이트 신호를 박막 트랜지스터(T)를 구성하는 게이트 전극(112)으로 전달한다. 여기서, 게이트 라인(110) 및 게이트 전극(112)은 알루미늄(Al)계 금속, 구리(Cu), 크롬(Cr), 몰리브덴 등으로 구성된 게이트 금속으로 구성되어 있다.

[0046] 데이터 라인(120)은 데이터 패드(190)에 접속되는 데이터 드라이버(미도시)로부터 공급되는 데이터 신호를 게이트 전극(112)의 온/오프에 연동하여 박막 트랜지스터(T)의 소스전극(132) 및 드레인 전극(134)으로 전달하는 역할을 수행한다.

[0047] 이때, 데이터 라인(120)은 게이트 절연막(115)을 사이에 두고 게이트 라인(110)과 교차되어 화소전극(140)이 위치하는 화소영역(142)을 정의한다.

[0048] 박막 트랜지스터(T)는 게이트 라인(110)의 게이트 신호에 응답하여 데이터 라인(120)의 화소신호를 화소전극(140)에 충전시키는 역할을 수행하는 것으로서, 게이트 라인(110)에 접속된 게이트 전극(112), 데이터 라인(120)에 접속되는 소스전극(122) 및 채널을 사이에 두고 소스전극(122)과 대향되게 형성되는 동시에 화소전극(140)과 중첩된 형태로 접속되는 드레인 전극(124)을 포함하여 구성된다.

[0049] 또한, 박막 트랜지스터(T)는 게이트 절연막(115)을 사이에 두고 게이트 전극(112)과 대향되게 형성되어 채널을 형성하는 활성층(132) 및 활성층(132) 상에 형성되며 소스전극(122) 및 드레인 전극(124)과 오믹 접촉을 수행하는 오믹 접촉층(134)으로 구성된 반도체 패턴(130)을 더 포함하여 구성된다.

[0050] 화소전극(140)은 박막 트랜지스터(T)를 통해 공급되는 화소 신호에 연동하여 공통전극과 함께 화소영역 및 공통전극 상에 위치하는 액정을 소정 방향으로 배향시키는 프린지 필드를 형성한다.

[0051] 이때, 화소전극(140)은 ITO 등의 투명 도전성 물질로 구성되는 동시에 데이터 라인(120)과 약 $4\mu\text{m}$ 정도의 간격(gap)을 두고 화소영역에 형성되며, 박막 트랜지스터(T)의 드레인 전극(124)과 중첩된 형태로 직접 접속된다.

[0052] 따라서, 화소전극(140)과 드레인 전극(124)을 접속시키는 콘택홀을 형성하기 위한 공간(margin)을 화소영역(142)에 형성할 필요가 없고, 이에 의해 화소영역(142)의 개구율이 증가한다.

[0053] 또한, 화소전극(140)의 단부는 공통전극(160)에 형성된 최외각 슬릿(162a) 사이에 위치되도록 형성됨으로써, 도 5에 도시된 바와 같이, 화소전극(140)과 공통전극(160) 사이에 형성되는 프린지 필드의 활용효율을 증가시켜 화소영역의 광 투과율을 증가시킨다.

[0054] 보호막(150)은 박막 트랜지스터(T) 및 화소전극(140)이 형성된 게이트 절연막(115) 상에 소정의 두께를 갖도록 형성되며, 채널을 형성하는 활성층(132)을 습기나 스크래치(scratch) 등으로부터 보호하는 역할을 수행한다.

[0055] 이때, 보호막(150)은 질화실리콘 등의 무기절연물질, 포토 아크릴(photo-acryl) 등의 유기화합물질, BCB(benzocyclobutene) 또는 PFCB(perfluorocyclobutane) 등의 유기절연물질로 구성된다.

[0056] 여기서, 보호막(150)이 질화 실리콘(유전율 6.5) 등의 무기절연물질로 구성되는 경우, 데이터 라인(120) 및 상기 보호막(150)을 사이에 두고 데이터 라인(120)과 중첩되는 공통전극(160) 사이에 발생하는 커플링(coupling)을 방지하기 위해 $6000\text{\AA}$ 이상의 두께를 갖도록 형성되는 것이 바람직하다.

[0057] 그리고, 보호막(150)이 포토 아크릴(유전율 3.3) 등의 유기화합물질로 구성되는 경우, 데이터 라인(120)과 이에 중첩되는 공통전극(160) 사이에 발생하는 커플링을 방지하기 위해 $1.5\mu\text{m}$ 이상의 두께를 갖도록 형성되는 것이 바람직하다.

[0058] 이때, 보호막(150)에는 마스크 공정을 통해 형성된 제 1 및 제 2 콘택홀(152, 154)을 구비하고, 여기서 제 1 콘택홀(152)은 보호막(150) 및 게이트 절연막(115)을 관통하여 게이트 패드 하부전극(172)을 오픈시키고, 제 2 콘택홀(154)은 보호막(170)을 관통하여 데이터 패드 하부전극(182)을 노출시킨다.

[0059] 공통전극(160)은 투명 도전성 물질인 ITO 또는 IZO 등으로 구성되며 보호막(150)을 사이에 두고 화소전극(140)과 중첩된 형태로 화소영역에 전면 형성된다. 이때, 공통전극(160)은 화소영역(142) 및 공통전극(160) 상에 배향된 액정을 소정 방향으로 구동시키는 프린지 필드가 관통하는 다수의 슬릿(162a, 162b)이 형성되어 있다.

- [0060] 즉, 공통라인(미도시)을 통해 기준 전압이 인가되는 경우, 공통전극(160)과 화소전극(140) 사이에는 프린지 필드가 형성되며, 상기 프린지 필드는 공통전극(160)에 형성된 다수의 슬릿(162a, 162b)을 관통하여 화소영역 및 공통전극(160) 상에 위치한 액정분자를 소정 방향으로 배향시킨다.
- [0061] 이때, 공통전극(160)에 형성된 다수의 슬릿중 최외각 슬릿(162a)은, 도 6에 도시된 바와 같이, 공통전극(160)의 설계 자유도를 증가시키기 위해 불규칙한 간격을 갖도록 형성된다.
- [0062] 예를 들면, 공통전극(160)인에 형성된 다수의 슬릿 중에서 화소전극(140)(여기서, 화소전극은 데이터 라인과 4 μm 정도 이격됨) 상에 형성된 슬릿(162b)이 약 4 μm 의 간격을 갖는다면 최외각 슬릿(162a)은 약 6 μm 의 간격을 갖도록 형성된다.
- [0063] 즉, 공통전극(160)에 형성된 최외각 슬릿(162a)은 데이터 라인(120)과 소정간격, 바람직하게는 2 μm (종래, 4 μm 정도의 간격이 형성됨) 정도의 간격(gap)을 갖도록 형성되고, 이에 의해 화소전극(140)의 단부는 최외각 슬릿(162a)의 사이에 위치한다.
- [0064] 상술한 바와 같이 공통전극(160)의 최외각 슬릿(162a)이 데이터 라인(120) 방향으로 확장되어 불규칙한 규격을 갖도록 형성됨에 따라, 최외각 슬릿(162a)을 관통하는 프린지 필드의 효율이 개선되어 화소영역의 광 투과율이 증가할 뿐만 아니라 공통전극의 설계 자유도가 개선된다..
- [0065] 또한, 공통전극(160)은 박막 트랜지스터(T)의 채널영역 상에 형성되고, 이에 의해 채널 영역에 흐르는 누설전류 및 오프-커런트의 발생을 방지하는 역할을 또한 수행한다.
- [0066] 게이트 패드(170)는 게이트 드라이버(도시하지 않음)와 접속되어 게이트 라인(110)에 게이트 신호를 공급하는 것으로서, 게이트 라인(110)으로부터 연장되는 게이트 패드 하부전극(172), 보호막(150) 및 게이트 절연막(115)을 관통하는 제 1 콘택홀(152)을 통해 게이트 패드 하부전극(172)과 접속하는 게이트 패드 상부전극(174)을 포함하여 구성된다.
- [0067] 이때, 게이트 패드(170)를 구성하는 게이트 패드 하부전극(172)은 게이트 라인(110)과 동일물질로 구성되며, 게이트 패드 상부전극(174)은 공통전극(160)과 동일 물질로 형성된다.
- [0068] 데이터 패드(180)는 데이터 드라이버(도시하지 않음)와 접속되어 데이터 라인(120)에 데이터 신호를 공급하는 것으로서, 데이터 라인(120)으로부터 연장되는 데이터 패드 하부 전극(182)과, 보호막(150)을 관통하는 제 2 콘택홀(154)을 통해 데이터 패드 하부전극(182)과 접속되는 데이터 패드 상부전극(184)을 포함하여 구성된다.
- [0069] 이때, 데이터 패드(180)를 구성하는 데이터 패드 하부전극(182)은 데이터 라인(120)과 동일물질로 구성되며, 데이터 패드 상부전극(184)은 공통전극(160)과 동일물질로 동시에 형성된다.
- [0070] 이하, 본 발명에 따른 프린지 필드형 액정표시패널의 제조방법에 대해 설명한다..
- [0071] 먼저, 본 발명에 따른 제 1 마스크 공정을 수행함으로써, 도 7a 및 도 7b에 도시된 바와 같이, 기판(102)상에 게이트 라인(110), 게이트 전극(112) 및 게이트 패드 하부전극(172)으로 구성된 제 1 도전성 패턴을 형성한다.
- [0072] 이를 보다 구체적으로 설명하면, 기판(102)상에 스퍼터링 등의 증착 공정을 통해 게이트 금속층을 전면 증착시킨다. 여기서, 게이트 금속층은 알루미늄(Al)계 금속, 구리(Cu), 크롬(Cr), 몰리브덴 등으로 구성된다.
- [0073] 이후, 기판(102)상에 포토레지스트를 전면 도포한 후 제 1 마스크를 이용한 포토레소그래피 공정을 수행함으로써, 게이트 금속층을 노출시키는 포토레지스트 패턴(PR)을 형성한다.
- [0074] 이때, 포토레지스트 패턴(PR)에 의해 노출된 게이트 금속층을 습식 에칭(wet etching)을 통해 제거한 후 잔류하는 포토레지스트 패턴을 애싱함으로써, 기판(102)상에 게이트 라인(110), 상기 게이트 라인(110)에 일체적으로 형성된 게이트 전극(112) 및 게이트 패드 하부전극(172)으로 구성된 제 1 도전성 패턴을 형성한다.
- [0075] 상술한 바와 같이 기판상에 제 1 도전성 패턴을 형성한 후, 도 8a 및 도 8b에 도시된 바와 같이, 본 발명에 따른 제 2 마스크 공정을 통해 게이트 절연막 상에 액정 배향을 위한 프린지 필드를 형성하는 화소전극(140)을 형성한다.
- [0076] 이를 보다 구체적으로 설명하면, 제 1 도전성 패턴이 형성된 기판(102)상에 게이트 절연막(115)을 형성한 후, 상기 게이트 절연막(115) 상에 PECVD 등의 증착 공정을 통해 투명 도전층을 전면 증착시킨다.
- [0077] 이후, 투명 도전층 상에 포토레지스트를 전면 형성한 후 제 2 마스크를 이용한 포토리소그래피 공정을 수행함으

로써, 투명 도전층 중에서 화소전극(140)이 형성될 영역을 제외한 나머지 영역을 노출시키는 포토레지스트 패턴(PR)을 형성한다.

[0078] 이때, 포토레지스트 패턴(PR)에 의해 노출된 투명 도전층을 에칭한 후 잔류하는 포토레지스트 패턴을 제거함으로써, 본 발명에 따른 게이트 절연막(115)의 화소영역(142)에 공통전극(160)과 함께 액정배향을 위한 프린지 필드를 형성하는 화소전극(140)을 형성한다.

[0079] 여기서, 화소전극(140)은 ITO 등의 투명 도전성 물질로 구성되는 동시에 데이터 라인(120)과 약 4 μ m 정도의 간격(gap)을 두고 화소영역에 형성되며, 박막 트랜지스터(T)의 드레인 전극(124)과 중첩된 형태로 직접 접촉된다.

[0080] 따라서, 화소전극(140)과 드레인 전극(124)을 접속시키는 콘택홀을 형성하기 위한 공간(margin)을 별도로 형성할 필요가 없기 때문에 화소영역(142)의 개구율이 증가한다.

[0081] 또한, 화소전극(140)의 단부는 공통전극(160)에 형성된 최외각 슬릿(162a)의 사이에 위치됨에 따라 프린지 필드의 활용효율이 증가되고, 이에 의해 화소영역의 광투과율은 증가된다.

[0082] 상술한 바와 같이 게이트 절연막 상에 화소전극을 형성한 후, 도 9a 및 도 9b에 도시된 바와 같이, 본 발명에 따른 제 3 마스크 공정을 통해 채널 및 오믹 접촉을 위한 반도체 패턴(130)을 형성한다.

[0083] 이를 보다 구체적으로 설명하면, 화소전극(140)이 형성된 게이트 절연막(115) 상에 a-Si층 및 n+실리콘층으로 구성된 반도체층을 순차적으로 형성한다.

[0084] 이후, 반도체층 상에 포토레지스트를 전면 도포한 후 제 3 마스크를 이용한 포토리소그래피 공정을 수행함으로써, 반도체층 중에서 채널영역에 대응되는 영역을 제외한 나머지 영역을 노출시키는 포토레지스트 패턴(PR)을 형성한다.

[0085] 이때, 포토레지스트 패턴(PR)에 의해 노출된 반도체층을 에칭한 후 잔류하는 포토레지스트 패턴(PR)을 제거함으로써, 본 발명에 따른 채널을 형성하는 활성층(132) 및 오믹 접촉을 위한 오믹 접촉층(134)으로 구성된 반도체 패턴(130)을 형성한다.

[0086] 상술한 바와 같이 채널영역에 반도체 패턴을 형성한 후, 도 10a 및 도 10b에 도시된 바와 같이, 본 발명에 따른 제 4 마스크 공정을 통해 데이터 라인(120), 소스전극(122), 드레인 전극(124) 및 데이터 패드 하부전극(182)을 포함하는 제 2 도전성 패턴을 형성한다.

[0087] 이를 보다 구체적으로 설명하면, 반도체 패턴(130)이 형성된 게이트 절연막(115) 상에 데이터 금속층을 순차적으로 증착시킨다.

[0088] 데이터 금속층 상에 포토레지스트를 전면 도포한 후 제 4 마스크를 이용한 포토리소그래피 공정을 수행함으로써, 데이터 금속층(120a)을 노출시키는 포토레지스트 패턴(PR)을 형성한다.

[0089] 여기서, 포토레지스트 패턴은 데이터 금속층(120a) 중에서 제 2 도전성 패턴이 형성될 영역에는 차단부가 형성되어 있고, 채널 영역 및 그 이외의 영역에는 개구부가 형성된 구조를 갖는다.

[0090] 상술한 바와 같이 구성된 포토레지스트 패턴에 의해 노출된 데이터 금속층(120a)을 에칭하여 제거함으로써, 박막 트랜지스터(T)의 채널 영역에 형성된 데이터 금속층을 분리한다.

[0091] 이후, 데이터 금속층이 분리됨에 따라 채널영역에 노출되는 오믹 접촉층을 건식 에칭을 통해 제거함으로써, 박막 트랜지스터(T)의 채널을 형성하는 활성층(132)을 노출시킨다.

[0092] 상술한 바와 같이 활성층을 노출시킨 후 데이터 금속층에 잔류하는 포토레지스트 패턴(PR)을 제거함으로써, 게이트 절연막(115)을 사이에 두고 게이트 라인(110)과 교차되는 데이터 라인(120), 상기 데이터 라인(120)에 접속된 소스전극(122), 채널을 개재하여 소스전극(122)과 대향하는 드레인 전극(124) 및 데이터 패드 하부전극(182)을 포함하는 제 2 도전성 패턴을 형성한다.

[0093] 여기서, 박막 트랜지스터(T)의 드레인 전극(124)은 화소전극(140)과 중첩된 형태로 직접 접촉됨에 따라, 종래 화소영역(142)으로 돌출된 구조를 갖는 박막 트랜지스터와 비교하여 화소영역(142)의 개구율이 현저히 증가된다.

[0094] 상술한 바와 같이 게이트 절연막 상에 제 2 도전성 패턴을 형성한 후, 도 11a 및 도 11b에 도시된 바와 같이, 본 발명에 따른 제 5 마스크 공정을 통해 콘택홀을 갖는 보호막을 형성한다.

- [0095] 이를 보다 구체적으로 설명하면, 제 2 도전성 패턴이 형성된 게이트 절연막 (115)상에 보호막(150)을 전면 도포한다.
- [0096] 이후, 보호막(150) 상에 포토레지스트를 전면 도포한 후 제 5 마스크를 이용한 포토리소그래피 공정을 수행함으로써, 보호막(150)을 노출시키는 포토레지스트 패턴(PR)을 형성한다.
- [0097] 이때, 포토레지스트 패턴(PR)에 의해 노출된 보호막(150)을 에칭함으로써, 보호막(150) 및 게이트 절연막(115)을 관통하여 게이트 패드 하부전극(172)을 노출시키는 제 1 콘택홀(152) 및 보호막(150)을 관통하여 데이터 패드 하부전극(182)을 노출시키는 제 2 콘택홀(154)을 최종적으로 형성한다.
- [0098] 여기서, 보호막(150)은 질화실리콘 등의 무기절연물질, 포토 아크릴(photo-acryl) 등의 유기화합물질, BCB(benzocyclobutene) 또는 PFCB(perfluorocyclobutane) 등의 유기절연물질로 구성된다.
- [0099] 이때, 보호막(150)이 질화 실리콘(유전율 6.5) 등의 무기절연물질로 구성되는 경우, 상호 중첩되는 데이터 라인(120) 및 공통전극(160) 사이에 발생하는 커플링(coupling)을 방지하기 위해 $6000\text{\AA}$ 이상의 두께를 갖도록 형성된다.
- [0100] 그리고, 보호막(150)이 포토 아크릴(유전율 3.3) 등의 유기화합물질로 구성되는 경우, 데이터 라인(120)과 이에 중첩되는 공통전극(160) 사이에 발생하는 커플링을 방지하기 위해 $1.5\mu\text{m}$ 이상의 두께를 갖도록 형성되는 것이 바람직하다.
- [0101] 상술한 바와 같이 콘택홀을 갖는 보호막을 형성한 후, 도 12a 및 도 12b에 도시된 바와 같이, 본 발명에 따른 제 6 마스크 공정을 통해 보호막 상에 프린지 필드를 형성하는 공통전극(160), 게이트 패드 상부전극(174) 및 데이터 패드 상부전극(184)을 포함하여 구성된 제 3 도전성 패턴을 형성한다.
- [0102] 이를 보다 구체적으로 설명하면, 콘택홀(152, 154)이 형성된 보호막(150) 상에 PECVD 등의 증착공정을 통해 투명 도전층을 전면 증착시킨다
- [0103] 이후, 투명 도전층 상에 포토레지스트를 전면 도포한 후 제 6 마스크를 이용한 포토리소그래피 공정을 수행함으로써, 투명 도전층을 노출시키는 포토레지스트 패턴(PR)을 형성한다.
- [0104] 이때, 포토레지스트 패턴에 의해 노출된 투명 도전층을 에칭한 후 잔류하는 포토레지스트 패턴(PR)을 제거함으로써, 프린지 필드가 관통하는 다수의 슬릿(162a, 162b)이 형성된 공통전극(160), 제 1 콘택홀(152)을 통해 게이트 패드 하부전극(182)과 접속되는 게이트 패드 상부전극(174) 및 제 2 콘택홀(154)을 통해 데이터 패드 하부전극(192)과 접속되는 게이트 패드 상부전극(184)을 포함하는 제 3 도전성 패턴을 형성한다.
- [0105] 여기서, 공통전극(160)은 보호막(150)을 사이에 두고 박막 트랜지스터가 형성된 화소영역에 전면 형성되며, 화소영역(142) 및 공통전극 상에 위치한 액정 분자를 소정 방향으로 배향시키는 프린지 필드가 관통하는 다수의 슬릿(162a, 162b)이 형성되어 있다.
- [0106] 이때, 공통전극(160)에 형성된 다수의 슬릿중 최외각 슬릿(162a)은 설계 자유도를 증가시키기 위해 불규칙한 간격을 갖도록 형성된다. 예를 들면, 공통전극(160)에 형성된 다수의 슬릿 중에서 화소전극(140)(여기서, 화소전극은 데이터 라인과 $4\mu\text{m}$ 정도 이격됨)과 대응된 영역에 형성된 슬릿(162b)이 약 $4\mu\text{m}$ 의 간격을 갖는 경우 최외각 슬릿(162a)은 약 $6\mu\text{m}$ 의 간격을 갖도록 형성된다.
- [0107] 따라서, 공통 전극(160)에 형성된 최외각 슬릿(162a)은 데이터 라인(120)과 약 $2\mu\text{m}$ (종래, $4\mu\text{m}$ 정도의 간격이 형성됨)의 간격(gap)을 갖도록 형성되고, 이에 의해 화소전극(140)의 단부는 최외각 슬릿(162a) 사이에 위치한다.
- [0108] 상술한 바와 같이 공통전극(160)의 최외각 슬릿(162a)이 데이터 라인(120) 방향으로 확장되어 형성되는 동시에 화소전극(140)의 단부가 최외각 슬릿(162a) 사이에 위치됨에 따라, 공통전극(160)의 최외각 슬릿(162a)을 관통하는 프린지 필드의 효율이 개선되어 화소영역의 광 투과율이 증가된다.
- [0109] 또한, 공통전극(160)은 박막 트랜지스터(T)의 채널영역 상에 형성되고, 이에 의해 채널 영역에 흐르는 누설전류 및 오프-커런트의 발생을 방지하는 역할을 또한 수행한다.
- [0110] 게이트 패드(170)를 구성하는 게이트 패드 상부전극(174)은 공통전극(160)과 동일 물질로 동시에 형성되고, 데이터 패드(180)를 구성하는 데이터 패드 상부전극(184)은 공통전극(160)과 동일물질로 동시에 형성된다.

발명의 효과

- [0111] 상술한 바와 같이, 본 발명은 공통전극의 최외각 슬릿을 데이터 라인 방향으로 연장시켜 프린지 필드의 활용효율을 증대시킴으로써, 화소영역의 광 투과율을 증가시킬 수 있다는 효과를 제공한다.
- [0112] 또한, 본 발명은 공통전극에 형성된 다수의 슬릿 중에서 화소전극과 대응되는 슬릿과 최외각 슬릿을 다르게 형성함으로써, 공통 전극의 설계 자유도를 증가시킬 수 있다는 효과를 제공한다.
- [0113] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

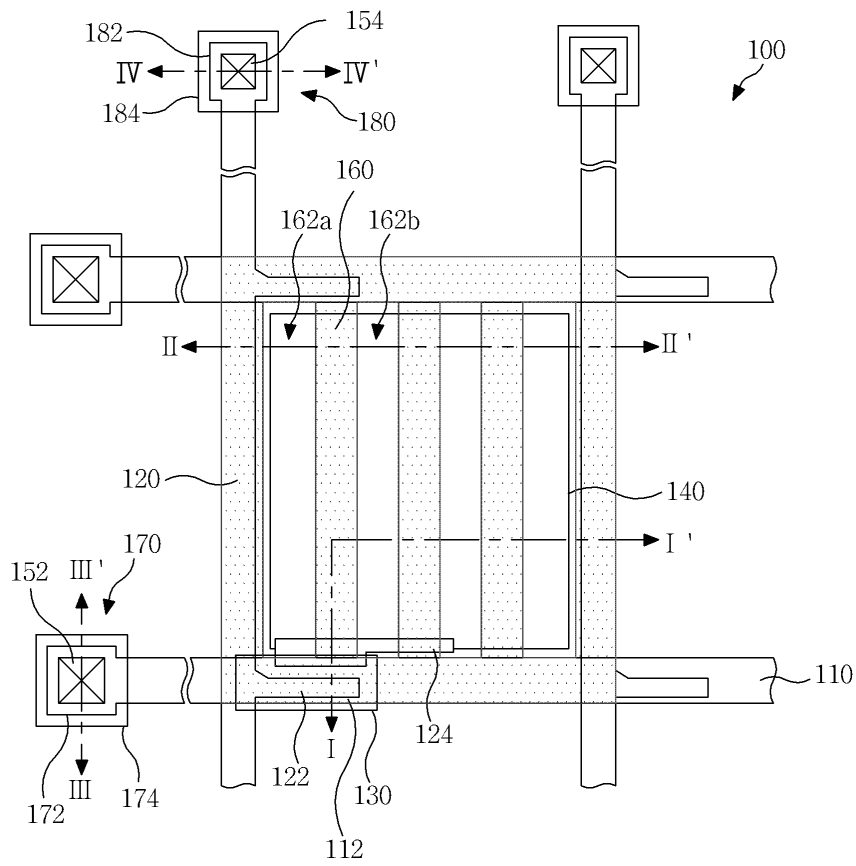
도면의 간단한 설명

- [0001] 도 1은 종래의 프린지 필드형(FFS : Fringe Field Switching) 액정표시패널의 단면도.
- [0002] 도 2는 종래의 프린지 필드형(FFS : Fringe Field Switching) 액정표시패널의 광 투과율을 도시하는 평면도.
- [0003] 도 3은 본 발명에 따른 프린지 필드형(FFS : Fringe Field Switching) 액정표시패널의 평면도.
- [0004] 도 4는 본 발명에 따른 프린지 필드형(FFS : Fringe Field Switching) 액정표시패널의 단면도.
- [0005] 도 5는 본 발명에 따른 프린지 필드형(FFS : Fringe Field Switching) 액정표시패널의 광 투과율을 도시하는 단면도.
- [0006] 도 6은 본 발명에 따른 프린지 필드형(FFS : Fringe Field Switching) 액정표시패널의 공통전극에 형성된 최외각 슬릿과 화소전극 사이의 간격을 도시한 도면.
- [0007] 도 7a 및 도 7b는 본 발명에 따른 제 1 도전성 패턴이 형성된 프린지 필드형 액정표시패널의 평면도 및 단면도.
- [0008] 도 8a 및 도 8b는 본 발명에 따른 화소전극이 형성된 프린지 필드형 액정표시패널의 평면도 및 단면도.
- [0009] 도 9a 및 도 9b는 본 발명에 따른 반도체 패턴이 형성된 프린지 필드형 액정표시패널의 평면도 및 단면도.
- [0010] 도 10a 및 도 10b는 본 발명에 따른 제 2 도전성 패턴이 형성된 프린지 필드형 액정표시패널의 평면도 및 단면도.
- [0011] 도 11a 및 도 11b는 본 발명에 따른 콘택홀을 갖는 보호막이 형성된 프린지 필드형 액정표시패널의 평면도 및 단면도.
- [0012] 도 12a 및 도 12b는 본 발명에 따른 제 3 도전성 패턴이 형성된 프린지 필드형 액정표시패널의 평면도 및 단면도.

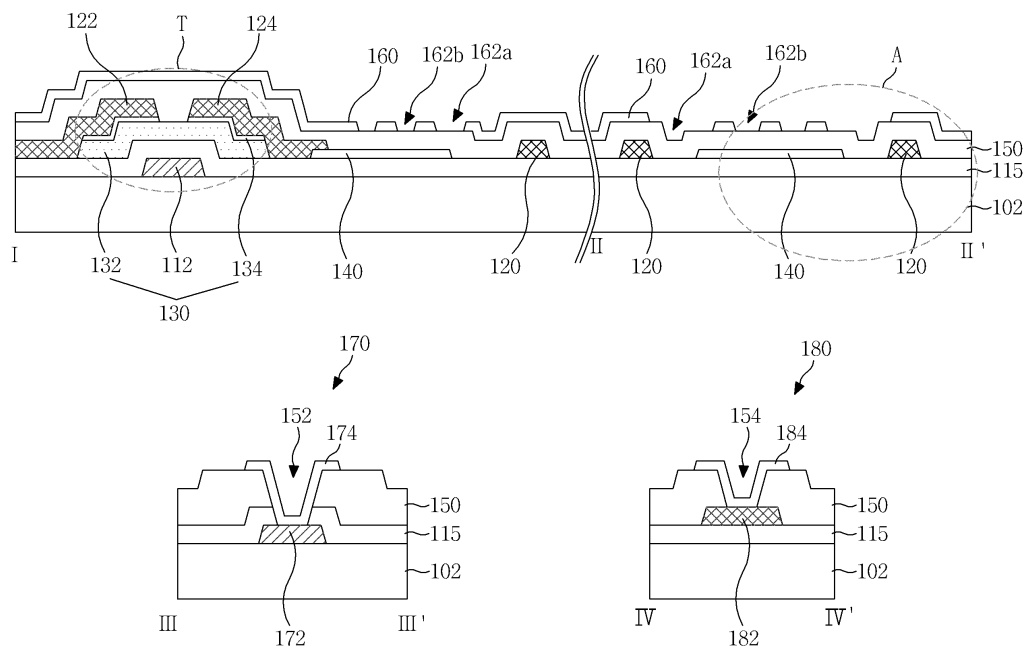
- [0013] <도면의 주요 부분에 대한 부호의 설명>

- | | |
|-----------------------|---------------|
| [0014] 100 : 액정 표시패널 | 102 : 기판 |
| [0015] 110 : 게이트 라인 | 112 : 게이트 전극 |
| [0016] 115 : 게이트 절연막 | 120 : 데이터 라인 |
| [0017] 122 : 소스전극 | 124 : 드레인 전극 |
| [0018] T : 박막 트랜지스터 | 130 : 반도체 패턴 |
| [0019] 132 : 활성층 | 134 : 오믹 접촉층 |
| [0020] 140 : 화소전극 | 142 : 화소영역 |
| [0021] 150 : 보호막 | 152 : 제 1 콘택홀 |
| [0022] 154 : 제 2 콘택홀 | 160 : 공통전극 |
| [0023] 162a, 162b: 슬릿 | |

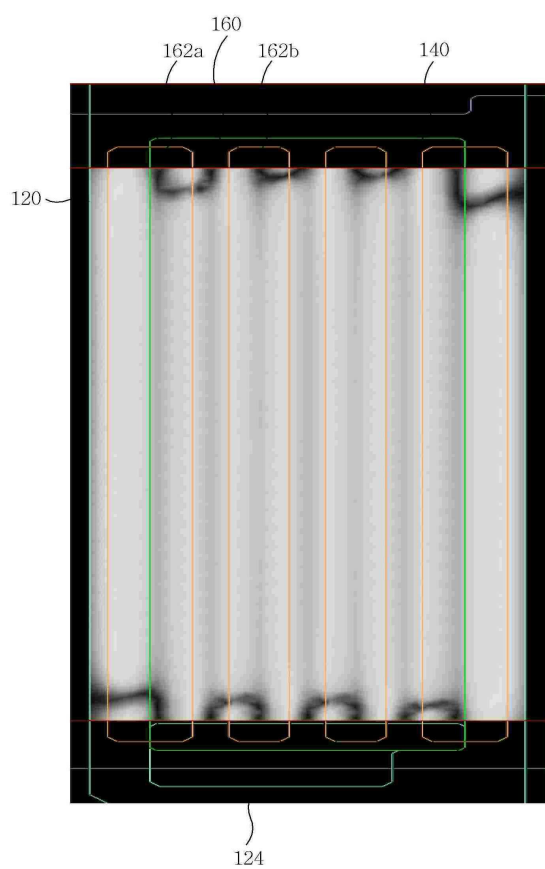
도면3



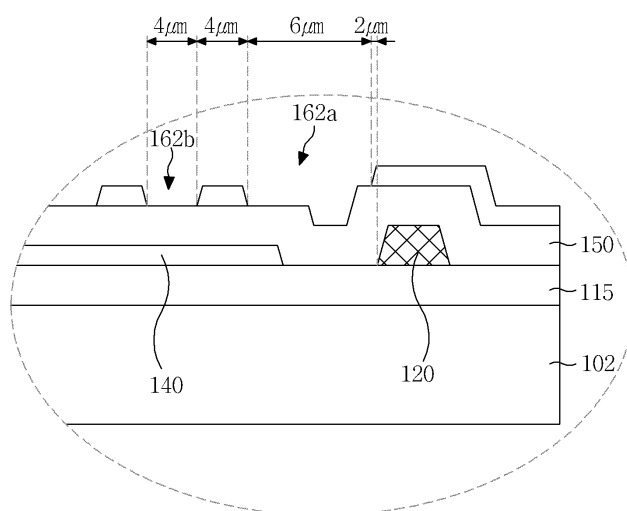
도면4



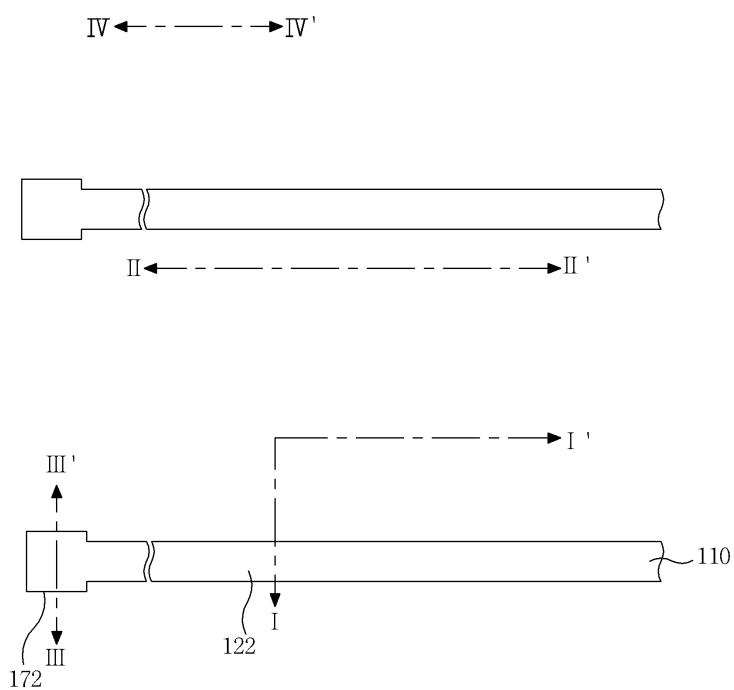
도면5



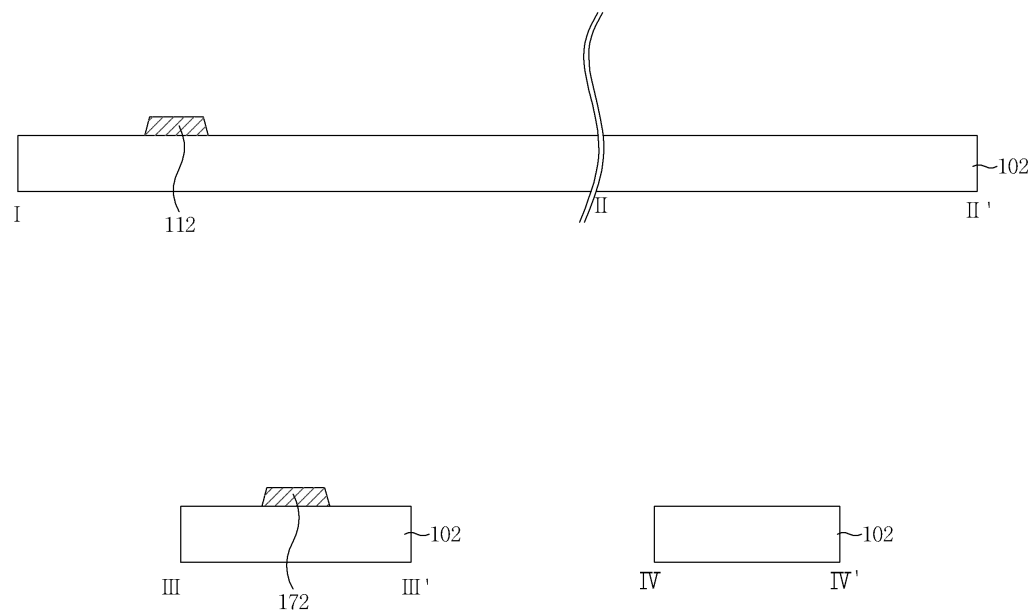
도면6



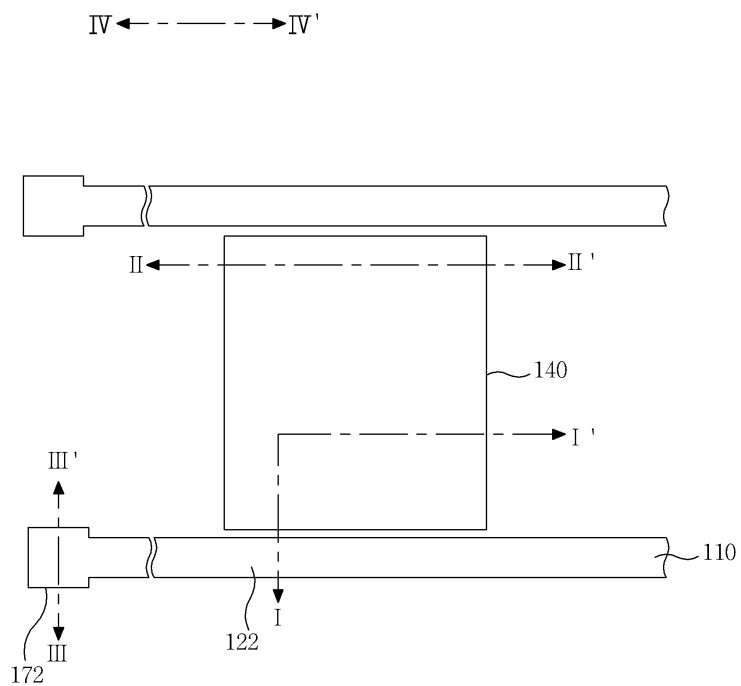
도면7a



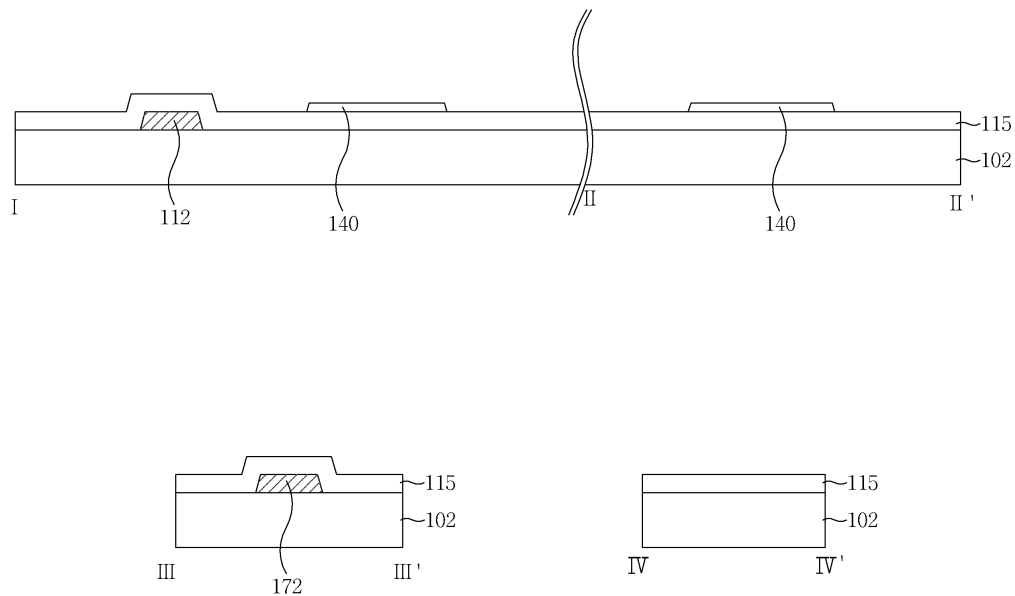
도면7b



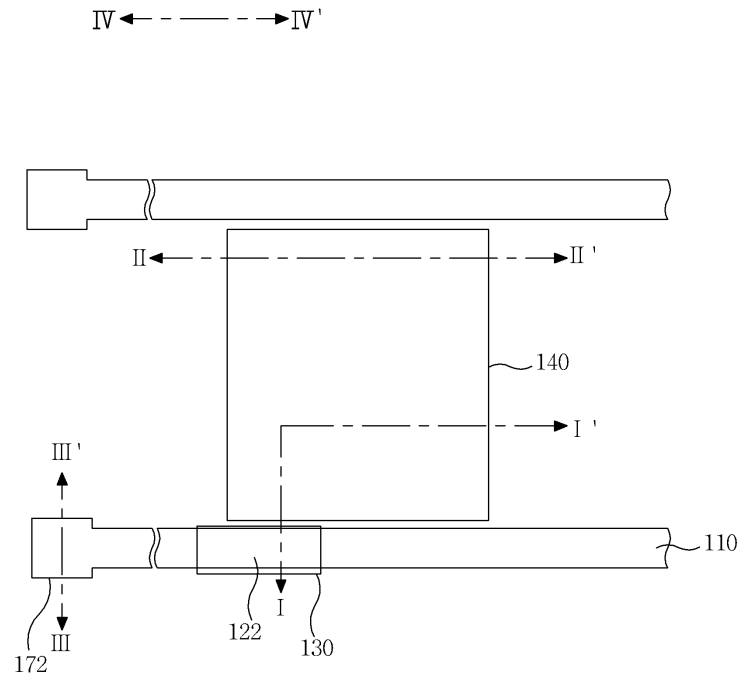
도면8a



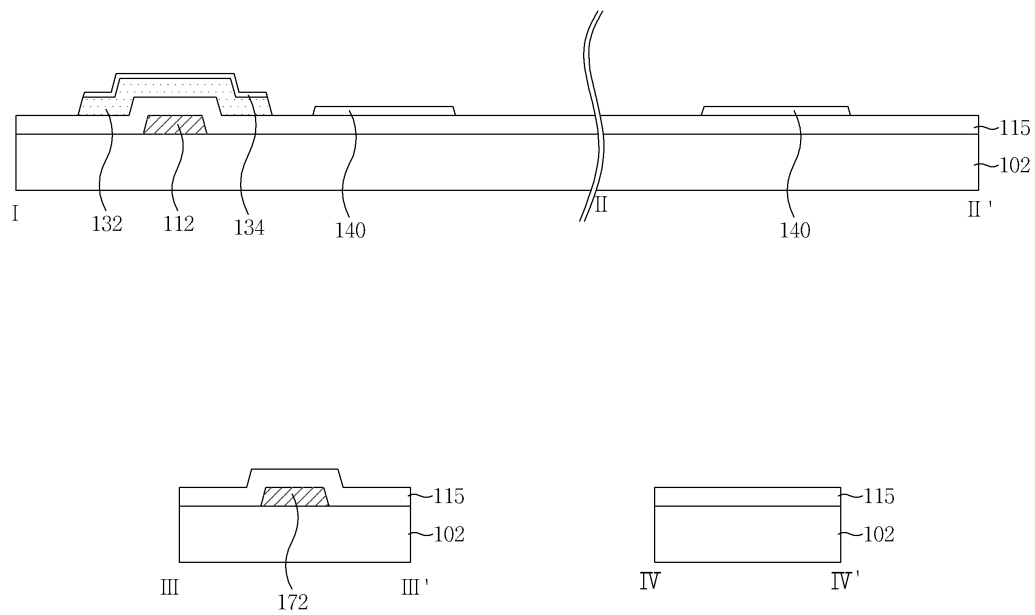
도면8b



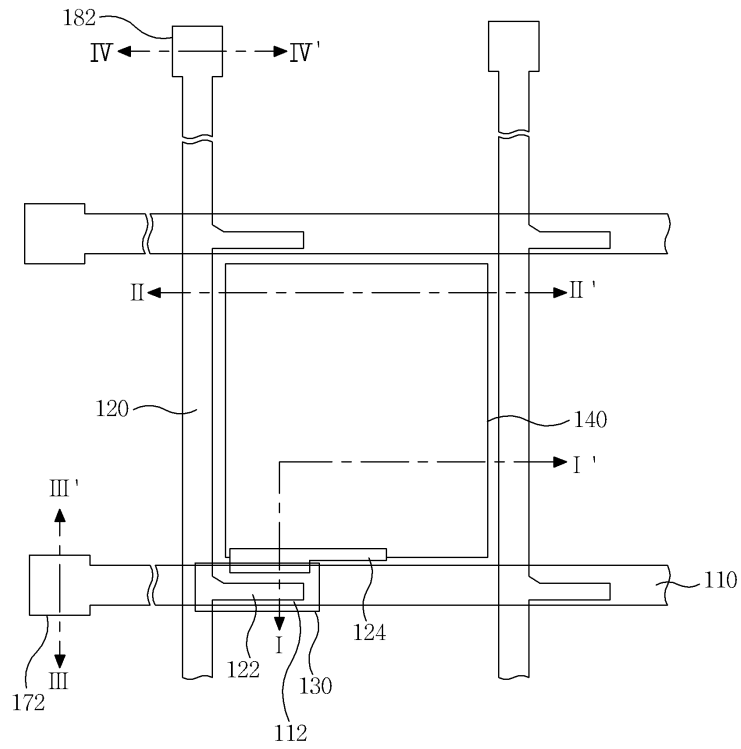
도면9a



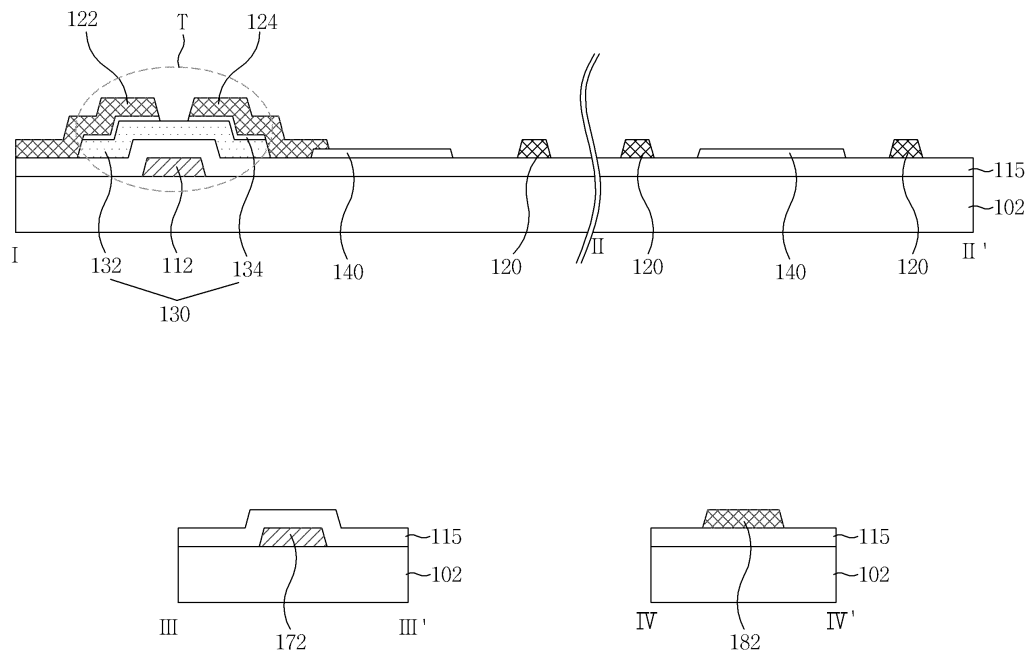
도면9b



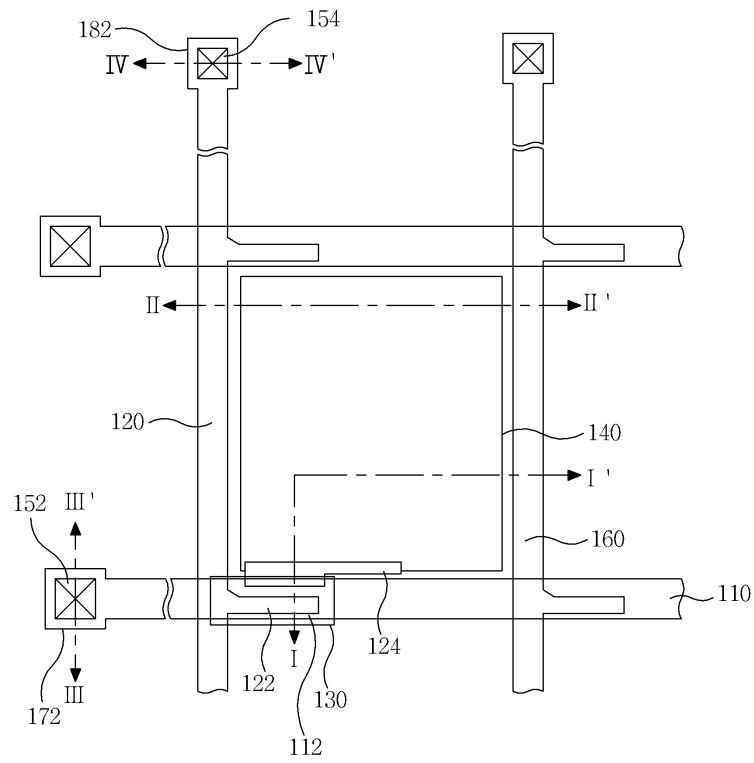
도면10a



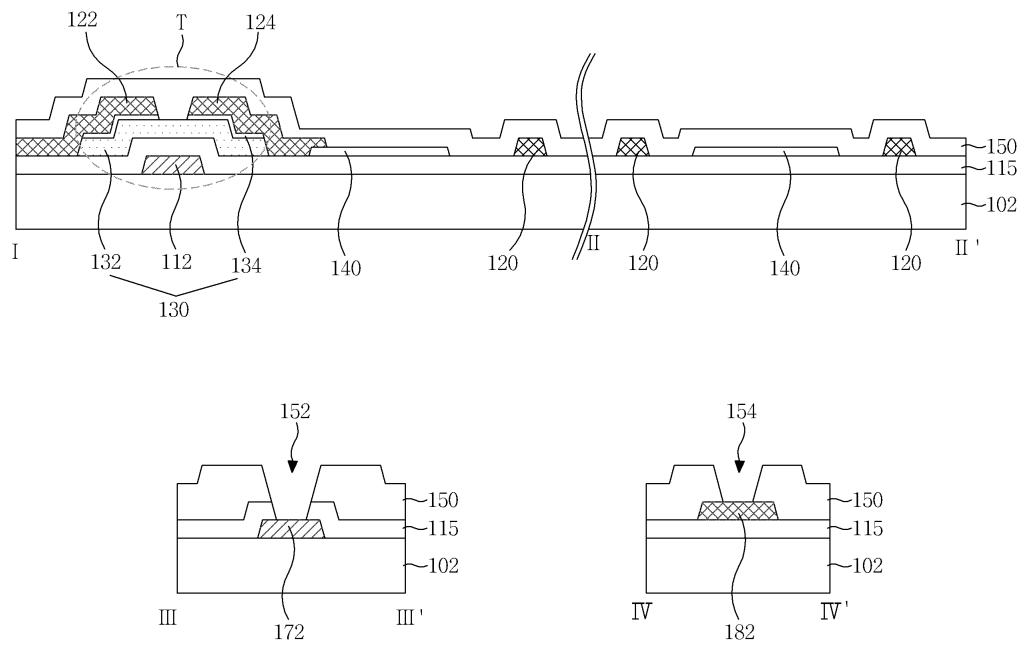
도면10b



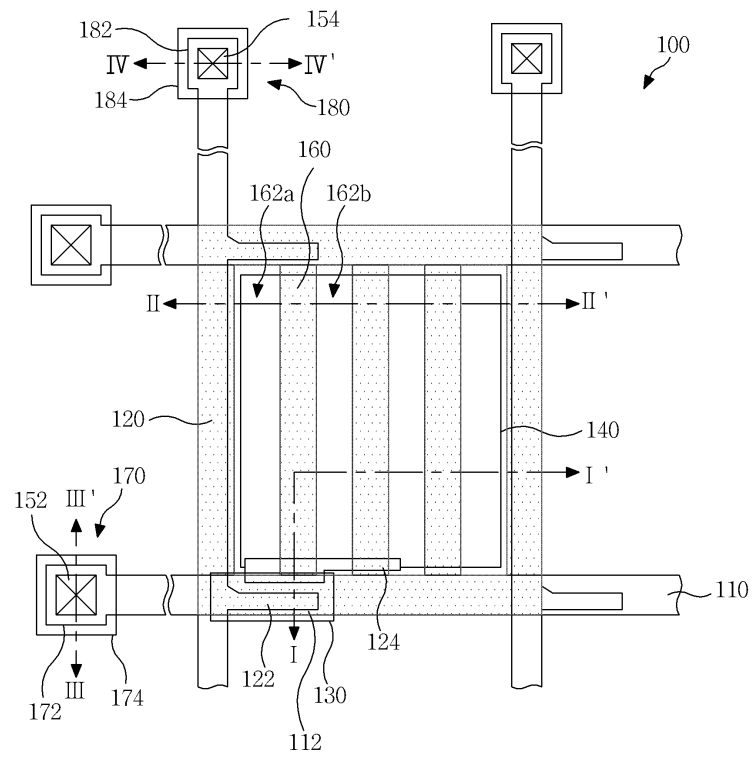
도면11a



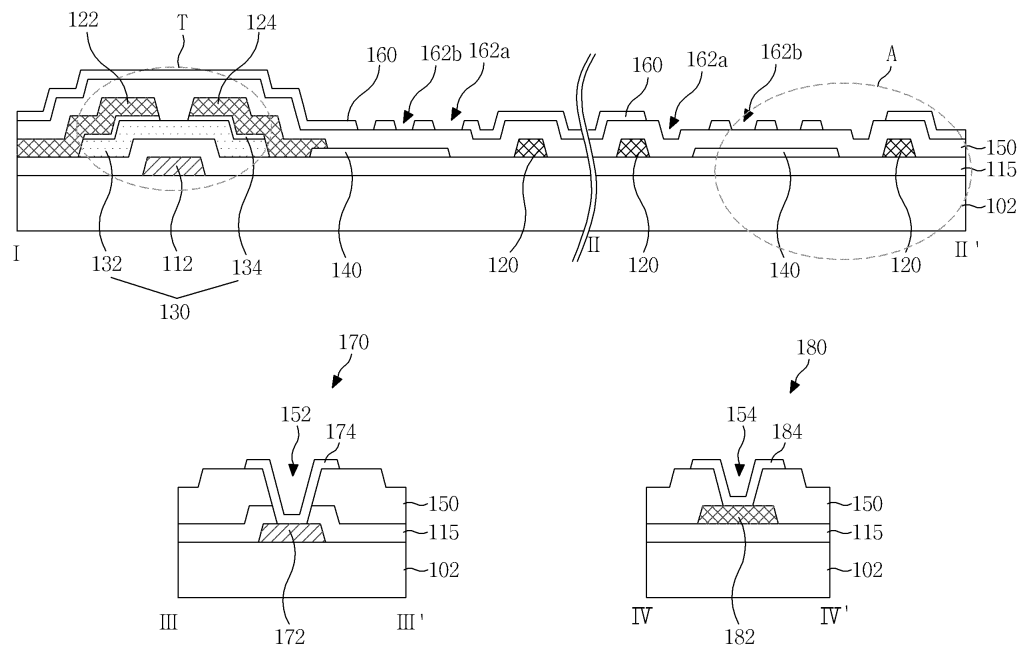
도면11b



도면12a



도면12b



专利名称(译)	标题：液晶显示面板及其制造方法		
公开(公告)号	KR101323488B1	公开(公告)日	2013-10-31
申请号	KR1020070020990	申请日	2007-03-02
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK DAE LIM 박대림 JUNG BO YOUNG 정보영		
发明人	박대림 정보영		
IPC分类号	G02F1/1343 G02F		
CPC分类号	G02F1/134309 G02F1/136286 G02F1/1368 G02F2001/134372 G02F2201/121		
其他公开文献	KR1020080080805A		
外部链接	Espacenet		

摘要(译)

本发明涉及边缘场型液晶显示面板及其制造方法，其形成在公共电极上形成的最外侧狭缝，以便扩展到数据线方向，并且这样做它具有边缘的光谱效率。通过公共电极的最外侧狭缝的场可以增加透光率。在公共电极处形成的多个狭缝中，最外侧狭缝延伸到数据线方向，在栅极线的交叉区域中形成薄膜晶体管：数据线：栅极线，像素电极和公共电极被包含在内。形成在栅极线的交叉域中的薄膜晶体管：数据线：栅极线与形成在基板上的栅极线和数据线绝缘的状态形成交叉。像素电极形成成为与薄膜晶体管连接。关于公共电极，形成多个形成成为与像素电极重叠的狭缝。

