

특허청구의 범위

청구항 1

회상을 표시하는 표시 영역과 상기 표시 영역 외곽의 비표시 영역을 포함하는절연 기관, 상기 비표시 영역에 형성되어 있으며 반도체층 및 상기 반도체층 위에 형성되어 있는 저항성 접촉 부재를 포함하는 제1 박막 트랜지스터, 상기 제1 박막 트랜지스터 주변 영역에 형성되어 있으며 상기 반도체층과 동시에 형성된 광차단 반도체 패턴, 상기 표시 영역에 형성되어 있으며 게이트 선의 연장부인 게이트 전극을 갖는 제2 박막 트랜지스터를 포함하는 박막 트랜지스터 표시판,

상기 박막 트랜지스터 표시판에 대향 배치되어 있는 공통 전극 표시판,

상기 비표시 영역을 따라 상기 박막 트랜지스터 표시판 및 상기 공통 전극 표시판 사이에 형성되어 있으며, 상기 제1 박막 트랜지스터를 가리는 실런트, 그리고

상기 실런트로 경계 되어진 내부 영역에 위치하는 액정층을 포함하고,

상기 광차단 반도체 패턴은 상기 제1 박막 트랜지스터와 인접하여 형성되고, 상기 광차단 반도체 패턴은 상기 반도체층과 동일한 층에 위치하는 액정 표시 장치.

청구항 2

제1항에서,

상기 광차단 반도체 패턴 위에 형성되어 있으며 상기 저항성 접촉 부재와 동일한 층에 위치하는 저항성 접촉 패턴을 더 포함하는 액정 표시 장치.

청구항 3

제1항에서,

상기 제1 박막 트랜지스터는 상기 반도체층 위에 분리 형성되어 있는 소스 전극 및 드레인 전극을 더 포함하며, 상기 드레인 전극 및 상기 게이트 선을 연결하는 연결 부재를 더 포함하는 액정 표시 장치.

청구항 4

제3항에서,

상기 소스 전극 및 상기 드레인 전극은 각각 상기 광차단 반도체 패턴과 소정의 이격 간격을 두고 형성되어 있는 액정 표시 장치.

청구항 5

제3항에서,

상기 광차단 반도체 패턴 위에 형성되어 있으며, 상기 소스 전극 및 상기 드레인 전극과 동일 물질로 이루어진 광차단 금속층을 더 포함하는 액정 표시 장치.

청구항 6

제1항에서,

상기 광차단 반도체 패턴은 수소화 비정질 규소(hydrogenated amorphous silicon) 및 다결정 규소 중 어느 하나를 포함하는 액정 표시 장치.

청구항 7

회상을 표시하는 표시 영역과 상기 표시 영역 외곽의 비표시 영역을 포함하는절연 기관 위의 상기 비표시 영역 및 상기 표시 영역에 각각 제1 게이트 전극 및 게이트 선의 연장부인 제2 게이트 전극을 각각 형성하는 단계,

상기 제1 게이트 전극 및 상기 제2 게이트 전극 위에 반도체 물질층 및 저항성 접촉 부재 물질층을 형성하는 단

계,

상기 저항성 접촉 부재 물질층 및 상기 반도체 물질층을 순차적으로 패터닝하여 상기 제1 게이트 전극 위에 제1 반도체층 및 제1 저항성 접촉 부재를 형성하고, 상기 제1 반도체층 및 상기 제1 저항성 접촉 부재 주변의 상기 비표시 영역에 광차단 반도체 패턴 및 저항성 접촉 패턴을 형성하는 단계,

상기 제1 저항성 접촉 부재 위에 도전막을 형성한 후 패터닝하여 상호 분리된 제1 소스 전극 및 제1 드레인 전극을 형성하는 단계,

상기 제1 소스 전극 및 상기 제1 드레인 전극이 형성된 절연 기판과 공통 전극이 형성되어 있는 공통 전극 표시판을 상기 제1 반도체층을 가리도록 실린트를 이용하여 부착하는 단계를 포함하고,

상기 광차단 반도체 패턴은 상기 제1 박막 트랜지스터와 인접하여 형성하고, 상기 광차단 반도체 패턴은 상기 반도체층과 동시에 형성하는 액정 표시 장치의 제조 방법.

청구항 8

제7항에서,

상기 제1 반도체층 및 제1 저항성 접촉 부재를 형성하는 단계에서,

상기 제2 게이트 전극 위에 제2 반도체층 및 제2 저항성 접촉 부재도 함께 형성하는 액정 표시 장치의 제조 방법.

청구항 9

제8항에서,

상기 제1 소스 전극 및 제1 드레인 전극을 형성하는 단계에서,

상기 제2 저항성 접촉 부재 위에 제2 소스 전극 및 제2 드레인 전극도 함께 형성하는 액정 표시 장치의 제조 방법.

청구항 10

제7항에서,

상기 제1 소스 전극 및 상기 제1 드레인 전극 형성 단계와 상기 실린트를 이용하여 부착하는 단계 사이에,

상기 제1 드레인 전극 위에 상기 제1 드레인 전극을 노출하는 제1 접촉구 및 상기 게이트 선 위에 상기 게이트 선을 노출하는 제2 접촉구를 갖는 보호막을 형성하는 단계,

상기 보호막 위에 상기 제1 드레인 전극 및 상기 게이트선을 상호 연결하는 연결 부재를 형성하는 단계를 더 포함하는 액정 표시 장치의 제조 방법.

청구항 11

제7항에서,

상기 제1소스 전극 및 상기 제1 드레인 전극의 형성 단계에서,

상기 제1 소스 전극 및 상기 제1 드레인 전극은 각각 상기 광차단 반도체 패턴과 소정의 이격 간격을 두고 형성하는 액정 표시 장치의 제조 방법.

청구항 12

제7항에서,

상기 제1 소스 전극 및 상기 제1 드레인 전극의 형성 단계에서,

상기 광차단 반도체 패턴 위에 상기 소스 전극 및 상기 드레인 전극과 동일 물질로 이루어진 광차단 금속층도 함께 형성하는 액정 표시 장치의 제조 방법.

청구항 13

제7항에서,

상기 광차단 반도체 패턴은 수소화 비정질 규소(hydrogenated amorphous silicon) 및 다결정 규소 중 어느 하나를 포함하는 액정 표시 장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0018] 본 발명은 액정 표시 장치 및 그 제조 방법에 관한 것이다.
- [0019] 액정 표시 장치(Liquid Crystal Display)는 현재 가장 널리 사용되고 있는 평판 표시 장치(Flat Panel Display) 중 하나로서, 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층으로 이루어져, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하는 표시 장치이다.
- [0020] 액정 표시 장치 중에서도 현재 주로 사용되는 것은 전계 생성 전극이 두 표시판에 각각 구비되어 있는 구조이다. 이 중에서도, 하나의 표시판인 박막 트랜지스터 표시판에는 표시 영역에 복수의 화소 전극이 행렬의 형태로 배열되어 있으며, 다른 하나의 표시판인 공통 전극 표시판에는 하나의 공통 전극이 표시판 전면을 덮고 있는 구조의 형태가 주류이다. 이러한 액정 표시 장치에서의 화상의 표시는 각 화소 전극에 별도의 전압을 인가함으로써 이루어진다. 이를 위해서 화소 전극에 인가되는 전압을 스위칭하기 위한 삼단자 소자인 화소 박막 트랜지스터를 각 화소 전극에 연결하고 이 화소 박막 트랜지스터를 제어하기 위한 신호를 전달하는 게이트선(gate line)과 화소 전극에 인가될 전압을 전달하는 데이터선(data line)을 표시판의 표시 영역에 형성한다. 화소 박막 트랜지스터는 비표시 영역에 별도로 부착된 게이트 드라이버 IC로부터 게이트선을 거쳐 전달되는 주사 신호에 따라 데이터선을 통하여 전달되는 화상 신호를 화소 전극에 전달 또는 차단하는 스위칭 소자로서의 역할을 한다.
- [0021] 그런데 최근에는 제조 효율 향상을 위해 게이트선과 연결되는 게이트 드라이버 IC를 비표시 영역에 별도로 부착하여 사용하는 대신 게이트 드라이버 IC의 기능을 대체하는 구동 박막 트랜지스터를 화소 박막 트랜지스터를 형성하는 과정에서 비표시 영역에 바로 형성하여 사용하고 있다. 이러한 구동 박막 트랜지스터를 갖는 액정 표시 장치에서는 박막 트랜지스터 표시판의 후방에 위치하는 백라이트 유닛에서 조사된 광의 일부가 박막 트랜지스터 표시판의 비표시 영역을 통과한 후 공통 전극 표시판에 반사되어 다시 구동 박막 트랜지스터로 입사되게 된다. 그런데 구동 박막 트랜지스터는 광에 민감하기 때문에 구동 박막 트랜지스터로 광이 입사되는 경우 구동 박막 트랜지스터가 오작동 하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- [0022] 본 발명이 이루고자 하는 기술적 과제는 박막 트랜지스터 표시판의 비표시 영역에 형성되어 있는 구동 박막 트랜지스터로 백라이트 광이 입사되는 것을 감소시켜 구동 박막 트랜지스터의 오작동을 감소시킬 수 있는 액정 표시 장치 및 그 제조 방법을 제공하기 위한 것이다.

발명의 구성 및 작용

- [0023] 본 발명에 따른 액정 표시 장치는 화상을 표시하는 표시 영역과 상기 표시 영역 외곽의 비표시 영역을 포함하는 절연 기판, 상기 비표시 영역에 형성되어 있으며 반도체층 및 상기 반도체층 위에 형성되어 있는 저항성 접촉 부재를 포함하는 제1 박막 트랜지스터, 상기 제1 박막 트랜지스터 주변 영역에 형성되어 있으며 상기 반도체층과 동시에 형성된 광차단 반도체 패턴, 상기 표시 영역에 형성되어 있으며 게이트 선의 연장부인 게이트 전극을 갖는 제2 박막 트랜지스터를 포함하는 박막 트랜지스터 표시판, 상기 박막 트랜지스터 표시판에 대향 배치되어 있는 공통 전극 표시판, 상기 비표시 영역을 따라 상기 박막 트랜지스터 표시판 및 상기 공통 전극 표시판 사이에 형성되어 있으며, 상기 제1 박막 트랜지스터를 가리는 실런트, 그리고 상기 실런트로 경계 되어진 내부 영역

에 위치하는 액정층을 포함한다.

- [0024] 상기 광차단 반도체 패턴 위에 형성되어 있으며 상기 저항성 접촉 부재와 동시에 형성된 저항성 접촉 패턴을 더 포함할 수 있다.
- [0025] 상기 제1 박막 트랜지스터는 상기 반도체층 위에 분리 형성되어 있는 소스 전극 및 드레인 전극을 더 포함하며, 상기 드레인 전극 및 상기 게이트 선을 연결하는 연결 부재를 더 포함할 수 있다.
- [0026] 상기 소스 전극 및 상기 드레인 전극은 각각 상기 광차단 반도체 패턴과 소정의 이격 간격을 두고 형성할 수 있다.
- [0027] 상기 광차단 반도체 패턴 위에 형성되어 있으며, 상기 소스 전극 및 상기 드레인 전극과 동일 물질로 이루어진 광차단 금속층을 더 포함할 수 있다.
- [0028] 상기 광차단 반도체 패턴은 수소화 비정질 규소(hydrogenated amorphous silicon) 및 다결정 규소 중 어느 하나를 포함할 수 있다.
- [0029] 또한, 본 발명에 따른 액정 표시 장치의 제조 방법은 화상을 표시하는 표시 영역과 상기 표시 영역 외곽의 비표시 영역을 포함하는 절연 기판 위의 상기 비표시 영역 및 상기 표시 영역에 각각 제1 게이트 전극 및 게이트 선의 연장부인 제2 게이트 전극을 각각 형성하는 단계, 상기 제1 게이트 전극 및 상기 제2 게이트 전극 위에 반도체 물질층 및 저항성 접촉 부재 물질층을 형성하는 단계, 상기 저항성 접촉 부재 물질층 및 상기 반도체 물질층을 순차적으로 패터닝하여 상기 제1 게이트 전극 위에 제1 반도체층 및 제1 저항성 접촉 부재를 형성하고, 상기 제1 반도체층 및 상기 제1 저항성 접촉 부재 주변의 상기 비표시 영역에 광차단 반도체 패턴 및 저항성 접촉 패턴을 형성하는 단계, 상기 제1 저항성 접촉 부재 위에 도전막을 형성한 후 패터닝하여 상호 분리된 제1 소스 전극 및 제1 드레인 전극을 형성하는 단계, 상기 제1 소스 전극 및 상기 제1 드레인 전극이 형성된 절연 기판과 공통 전극이 형성되어 있는 공통 전극 표시판을 상기 제1 반도체층을 가리는 실린트를 이용하여 부착하는 단계를 포함한다.
- [0030] 상기 제1 반도체층 및 제1 저항성 접촉 부재를 형성하는 단계에서, 상기 제2 게이트 전극 위에 제2 반도체층 및 제2 저항성 접촉 부재도 함께 형성할 수 있다.
- [0031] 상기 제1 소스 전극 및 제1 드레인 전극을 형성하는 단계에서, 상기 제2저항성 접촉 부재 위에 제2 소스 전극 및 제2 드레인 전극도 함께 형성할 수 있다.
- [0032] 상기 제1 소스 전극 및 상기 제1 드레인 전극 형성 단계와 상기 실린트를 이용하여 부착하는 단계 사이에, 상기 제1 드레인 전극 위에 상기 제1 드레인 전극을 노출하는 제1 접촉구 및 상기 게이트 선 위에 상기 게이트선을 노출하는 제2 접촉구를 갖는 보호막을 형성하는 단계, 상기 보호막 위에 상기 제1 드레인 전극 및 상기 게이트 선을 상호 연결하는 연결 부재를 형성하는 단계를 더 포함할 수 있다.
- [0033] 상기 제1소스 전극 및 상기 제1 드레인 전극의 형성 단계에서, 상기 제1 소스 전극 및 상기 제1 드레인 전극은 각각 상기 광차단 반도체 패턴과 소정의 이격 간격을 두고 형성할 수 있다.
- [0034] 상기 제1 소스 전극 및 상기 제1 드레인 전극의 형성 단계에서, 상기 광차단 반도체 패턴 위에 상기 소스 전극 및 상기 드레인 전극과 동일 물질로 이루어진 광차단 금속층도 함께 형성할 수 있다.
- [0035] 상기 광차단 반도체 패턴은 수소화 비정질 규소(hydrogenated amorphous silicon) 및 다결정 규소 중 어느 하나를 포함할 수 있다.
- [0036] 이하에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- [0037] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 “위에” 있다고 할 때, 이는 다른 부분 “바로 위에” 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 “바로 위에” 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0038] 그러면 첨부한 도면을 참고로 하여 본 발명의 실시예에 따른 표시 장치와 표시 장치용 박막 트랜지스터 표시판 및 그 제조 방법에 대하여 설명한다.

- [0039] 먼저 본 발명의 한 실시예에 따른 표시 장치에 대하여 도 1을 참고로 하여 상세하게 설명한다.
- [0040] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 단면도이다.
- [0041] 본 실시예에 따른 액정 표시 장치(1)는 박막 트랜지스터 표시판(100)과 이와 마주보고 있는 공통 전극 표시판(200), 양 표시판(100, 200) 사이에서 양 표시판(100, 200)의 둘레부를 따라 형성되어 있는 실린트(300), 그리고 양 표시판(100, 200) 및 실린트(300)로 경계 되어진 내부 영역에 삽입되어 있으며 두 표시판(100, 200)의 표면에 대하여 수직 또는 수평으로 배향되어 있는 액정 분자를 포함하는 액정층(400)을 포함한다.
- [0042] 액정층(400)의 배향은 90° 비틀린 네마틱(twisted nematic, TN) 방식일 수도 있고, 수직 배향(vertical alignment, VA) 방식일 수도 있으며, ECB(electrically controlled birefringence) 방식일 수도 있다.
- [0043] 양 표시판(100, 200)의 바깥 면에는 편광판(미도시)이 구비되어 있다. 양 편광판(미도시)은 투과축이 서로 직교한다.
- [0044] 먼저, 박막 트랜지스터 표시판(100)에 대해 설명한다.
- [0045] 도 1에서 보이는 바와 같이 박막 트랜지스터 표시판(100)은 투명한 유리 등으로 이루어져 있으며 화상을 표시하는 표시 영역과 표시 영역 외곽의 비표시 영역을 갖는 절연 기판(110)을 포함한다.
- [0046] 절연 기판(110)의 표시 영역에는 복수의 게이트선(gate line)(121) 및 게이트 전극(124b)이 형성되어 있으며, 비표시 영역에도 게이트 전극(124a)이 형성되어 있다.
- [0047] 도1의 단면도에서는 분리 도시되어 있으나 실제로 게이트선(121)은 게이트 전극(124b)과 연결되어 있으며, 주사 신호를 게이트 전극(124a)에 전달한다.
- [0048] 게이트선(121)과 양 게이트 전극(124a, 124b)은 알루미늄과 알루미늄 합금 등 알루미늄 계열의 금속, 은과 은 합금 등 은 계열의 금속, 구리와 구리 합금 등 구리 계열의 금속, 몰리브덴과 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬, 티타늄, 탄탈륨 따위로 이루어지는 것이 바람직하다. 게이트선(121)과 양 게이트 전극(124a, 124b)은 물리적 성질이 다른 두 개의 막, 즉 하부막(도시하지 않음)과 그 위의 상부막(도시하지 않음)을 포함할 수 있다. 상부막은 게이트선(121)과 양 게이트 전극(124a, 124b)의 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열의 금속으로 이루어진다. 이와는 달리, 하부막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 접촉 특성이 우수한 물질, 이를테면 몰리브덴(Mo), 몰리브덴 합금, 크롬(Cr) 등으로 이루어진다. 하부막과 상부막의 조합의 예로는 크롬/알루미늄-네오디뮴(Nd) 합금을 들 수 있다.
- [0049] 게이트선(121) 및 양 게이트 전극(124a, 124b)은 단일막 구조를 가지거나 세 층 이상을 포함할 수 있다.
- [0050] 게이트선(121)과 양 게이트 전극(124a, 124b) 위에는 질화규소(SiNx) 따위로 이루어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.
- [0051] 양 게이트 전극(124a, 124b) 위의 게이트 절연막(140) 상부에는 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 또는 다결정 규소 등으로 이루어진 반도체층(151a, 151b)이 각각 형성되어 있다.
- [0052] 또한 비표시 영역에 형성되어 있는 게이트 전극(124a)의 주변 영역에는 반도체층(151a)과 소정의 이격 간격을 두고 반도체층(151a)과 동일물질로 이루어진 광차단 반도체 패턴(155)이 형성되어 있다. 광차단 반도체 패턴(155)은 박막 트랜지스터 표시판(100)의 후방에서 입사되는 백라이트 광을 반사시키거나 흡수하여 박막 트랜지스터 표시판(100)을 통과하는 광의 양을 감소시킨다.
- [0053] 양 반도체층(151a, 151b)의 채널 영역을 제외한 상부에는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 저항성 접촉 부재(161a, 161b)가 각각 형성되어 있다. 양 저항성 접촉 부재(161a, 161b)는 그 하부의 각 반도체층(151a, 151b)과 그 상부의 각 소스 전극(173a, 173b) 및 드레인 전극(175a, 175b) 사이에 존재하며 접촉 저항을 낮추어 주는 역할을 한다.
- [0054] 또한 비표시 영역에 형성되어 있는 광차단 반도체 패턴(155)의 상부에는 저항성 접촉 부재(161a, 161b)와 동일층에 형성되어 있으며, 동일물질로 이루어진 저항성 접촉 패턴(165)이 형성되어 있다. 저항성 접촉 패턴(165)도 광차단 반도체 패턴(155)과 마찬가지로 박막트랜지스터 표시판(100)의 후방에서 입사되는 백라이트 광을 반사시키거나 흡수하여 광차단 효율을 더욱 증가시킨다.

- [0055] 양 저항성 접촉 부재(161a, 161b) 및 게이트 절연막(140) 위에는 데이터선(미도시)의 분지인 소스 전극(173a, 173b) 및 소스 전극(173a, 173b)과 상호 분리되어 있는 복수의 드레인 전극(175a, 175b)이 각각 형성되어 있다.
- [0056] 비표시 영역에 형성되어 있는 게이트 전극(124a), 소스 전극(173a) 및 드레인 전극(175a)은 반도체층(151a)과 함께 구동 박막 트랜지스터(T1)를 이루고 있다. 또한 표시 영역에 형성되어 있는 게이트 전극(124b), 소스 전극(173b) 및 드레인 전극(175b)은 반도체층(151b)과 함께 화소 박막 트랜지스터(T2)를 이루고 있다.
- [0057] 여기서 구동 박막 트랜지스터(T1)는 연결 부재(192)에 의해 드레인 전극(175a)이 게이트선(121)에 연결되어 있다. 따라서 구동 박막 트랜지스터(T1)는 게이트선(121)을 통해 화소 박막 트랜지스터(T2)의 게이트 전극(124b)에 주사 신호를 인가함으로써 게이트 드라이브 IC의 기능을 수행한다.
- [0058] 양 소스 전극(173a, 173b) 및 드레인 전극(175a, 175b)은 크롬 또는 몰리브덴 계열의 금속, 탄탈륨 및 티타늄 등 내화성 금속으로 이루어지는 것이 바람직하며, 몰리브덴(Mo), 몰리브덴 합금, 크롬(Cr) 따위의 하부막(도시하지 않음)과 그 위에 위치한 알루미늄 계열 금속인 상부막(도시하지 않음)으로 이루어진 다층막 구조를 가질 수 있다. 비표시 영역의 소스 전극(173a) 및 드레인 전극(175a)의 각 일단은 광차단 반도체 패턴(155) 및 저항성 접촉 패턴(165)과의 단락을 방지하기 위해 광차단 반도체 패턴(155) 및 저항성 접촉 패턴(165)과 소정의 이격 간격을 두고 형성되어 있다.
- [0059] 소스 전극(173a, 173b), 드레인 전극(175a, 175b), 노출된 반도체층(151a, 151b) 및 저항성 접촉 패턴(165)의 위에는 평탄화 특성이 우수하며 감광성(photosensitivity)을 가지는 유기 물질, 플라즈마 화학 기상 증착(Plasma Enhanced Chemical Vapor Deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질, 또는 무기 물질인 질화규소(SiNx) 따위로 이루어진 보호막(passivation layer)(180)이 단일층 또는 복수층으로 형성되어 있다. 예컨대, 유기 물질로 형성하는 경우에는 각 소스 전극(173a, 173b)과 드레인 전극(175a, 175b) 사이의 각 반도체층(151a, 151b)이 노출된 부분으로 보호막(180)의 유기 물질과 접촉하는 것을 방지하기 위하여, 유기막의 하부에 질화규소(SiNx) 또는 산화규소(SiO2)로 이루어진 절연막(도시하지 않음)이 추가로 형성될 수도 있다.
- [0060] 보호막(180)에는 구동 박막 트랜지스터(T1)의 드레인 전극(175a)을 드러내는 제1 접촉구(contact hole)(181), 게이트 선(121)을 노출하는 제2 접촉구(182), 화소 박막 트랜지스터(T2)의 드레인 전극(175b)를 노출하는 제3 접촉구(185)가 각각 형성되어 있다.
- [0061] 보호막(180) 위에는 ITO 또는 IZO로 이루어지는 복수의 화소 전극(190), 복수의 연결 부재(192)가 형성되어 있다.
- [0062] 화소 전극(190)은 제3 접촉구(185)를 통하여 화소 박막 트랜지스터(T2)의 드레인 전극(175b)과 물리적·전기적으로 연결되어 있으며, 연결 부재(192)는 접촉구(181, 182)를 통하여 구동 박막 트랜지스터(T1)의 드레인 전극(175a)과 게이트선(121)을 연결한다.
- [0063] 구동 박막 트랜지스터(T1)의 게이트 전극(124a)이 외부로부터 구동 신호를 인가 받으면, 외부로부터 소스 전극(173a)에 인가된 전기적 신호가 드레인 전극(175b) 및 연결 부재(192)를 거쳐 게이트선(121)에 인가된다. 게이트선(121)에 인가된 전기적 신호인 주사 신호는 화소 박막 트랜지스터(T2)의 게이트 전극(124b)에 인가되어 데이터선(미도시)을 통해 인가된 데이터 전압이 소스 전극(173b) 및 드레인 전극(175b)을 거쳐 화소 전극(190)에 인가된다. 데이터 전압이 인가된 화소 전극(190)은 공통 전극(270)과 함께 전기장을 생성함으로써 둘 사이의 액정층(400)의 액정 분자들을 재배열시킨다.
- [0064] 한편, 박막 트랜지스터 표시판(100)과 마주하는 공통 전극 표시판(200)에는 투명한 유리 등으로 이루어진 절연 기판(210) 위에 블랙 매트릭스라고 하는 차광 부재(220)가 형성되어 있다. 차광 부재(220)는 구동 박막 트랜지스터(T1) 및 화소 박막 트랜지스터(T2)를 전부 가리고 있으며, 화소 전극(190) 사이의 빛샘을 방지하고 화소 전극(190)과 마주 보는 개구 영역을 정의한다.
- [0065] 색필터(230)는 절연 기판(210)과 차광 부재(220) 위에 형성되어 있으며, 차광 부재(220)가 정의하는 개구 영역 내에 거의 들어가도록 배치되어 있다. 색필터(230)는 적색, 녹색 및 청색 등 삼원색 중 하나를 나타낼 수 있다.
- [0066] 차광 부재(220) 및 색필터(230) 위에는 평탄화 층인 오버코트막(240)이 형성되어 있으며, 오버코트막(240) 위에는 ITO 또는 IZO 등의 투명한 도전 물질로 이루어져 있는 공통 전극(270)이 형성되어 있다. 오버코트막(240)은 생략되고 차광 부재(220) 및 색필터(230) 위에 바로 공통 전극(270)이 형성되어도 무방하다.

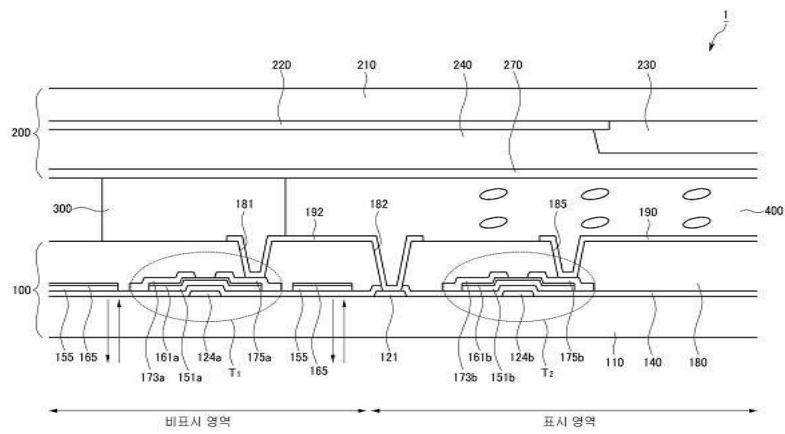
- [0067] 양 표시판(100, 200) 사이에는 비표시 영역을 따라 형성되어 있으며, 구동 박막 트랜지스터(T2)를 가리는 실런트(300)가 형성되어 있다.
- [0068] 실런트(300)는 양 표시판(100, 200)을 부착하여 고정하며, 표시 영역에 충전되어 있는 액정층(400)을 가두고 있다. 실런트(300)는 구동 박막 트랜지스터(T1)를 완전히 가려서 박막 트랜지스터 표시판(100)의 후방에서 일부 입사된 후 공통 전극 표시판(200)에 의해 반사되어 구동 박막 트랜지스터(T1)로 재입사되는 백라이트 광의 일부를 흡수한다. 이를 통해 구동 박막 트랜지스터(T1)로 입사되는 백라이트 광을 더욱 감소시킬 수 있다.
- [0069] 본 발명의 한 실시예에 따른 액정 표시 장치(1)에 의하면 구동 박막트랜지스터(T2)의 주변 영역에 광차단 반도체 패턴(155) 및 저항성 접촉 패턴(165)을 형성하여
- [0070] 구동 박막 트랜지스터(T1)로 백라이트 유닛(미도시)에서 조사된 광이 입사되는 것을 감소시켜 구동 박막트랜지스터의 오작동을 감소시킬 수 있다.
- [0071] 또한 구동 박막 트랜지스터(T1)의 상부를 완전히 가리도록 형성된 실런트(300)가 백라이트 유닛(미도시)에서 조사된 광 중 일부가 공통 전극 표시판(200)에 입사된 후 반사되어 구동 박막 트랜지스터(T1)로 재입사되는 백라이트 광의 일부를 흡수한다. 이를 통해 구동 박막 트랜지스터(T1)로 입사되는 백라이트 광을 더욱 감소시킬 수 있어 구동 박막 트랜지스터(T1)의 오작동을 더욱 감소시킬 수 있다.
- [0072] 이하에서는 본 발명의 한 실시예에 따른 액정 표시 장치의 제조 방법을 도 2a 내지 도2e를 참고로 하여 상세하게 설명한다. 도2a 내지 도2e는 본 발명의 한 실시예에 따른 액정 표시 장치의 제조 방법을 순차적으로 도시한 단면도이다.
- [0073] 먼저 화상을 표시하는 표시 영역과 표시 영역 외곽의 비표시 영역을 갖는 절연 기판(110) 위의 비표시 영역에 제1 게이트 전극(124a), 표시 영역에 게이트선(121) 및 게이트선(121)과 연결된 제2 게이트 전극(124b)을 형성한다.
- [0074] 우선 스퍼터링(sputtering) 등의 방법으로 알루미늄과 알루미늄 합금 등 알루미늄 계열의 금속, 은과 은 합금 등 은 계열의 금속, 구리와 구리 합금 등 구리 계열의 금속, 몰리브덴과 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬, 티타늄, 탄탈륨 등으로 이루어진 도전막을 형성한다.
- [0075] 이후 사진 식각 공정으로 도전막을 식각하여 게이트선(121) 및 양 게이트 전극(124a, 124b)를 형성한다.
- [0076] 다음으로 게이트선(121) 및 양 게이트 전극(124a, 124b)을 덮도록 LPCVD(low temperature chemical vapor deposition), PECVE(plasma enhanced chemical vapor deposition)의 방법으로 게이트 절연막(140), 반도체 물질층인 수소화 비정질 규소막, 저항성 접촉 부재 물질층인 N+가 도핑된 비정질 규소막을 차례로 적층한다.
- [0077] 그런 다음 도2a에서 보는 바와 같이 수소화 비정질 규소막, N+가 도핑된 비정질 규소막을 패터닝하여 양 게이트 전극(124a, 124b) 위에 각각 제1 반도체층(151a, 151b) 및 저항성 접촉 부재(161a, 161b)를 형성하고, 제1 반도체층(151a) 및 제1 저항성 접촉 부재(161a) 주변의 비표시 영역에 소정의 이격 간격을 두고 광차단 반도체 패턴(155) 및 저항성 접촉 패턴(165)을 형성한다.
- [0078] 다음으로 크롬 또는 몰리브덴 계열의 금속, 탄탈륨 및 티타늄 등 내화성 금속으로 이루어진 도전막을 스퍼터링 따위로 적층한다.
- [0079] 그런 다음 도2b에 도시한 바와 같이 이후 사진 식각 공정을 통한 패터닝을 통해 도전막을 식각하여 각 저항성 접촉 부재(161a, 161b) 위에 상호 분리된 소스 전극(173a, 173b) 및 드레인 전극(175a, 175b)을 형성한다. 이 때 제1 소스 전극(173a) 및 제1 드레인 전극(175a)은 광차단 반도체 패턴(155) 및 저항성 접촉 패턴(165)과 단락되는 것을 방지하도록 소정의 이격 간격을 두고 형성한다.
- [0080] 그리고 양 저항성 접촉 부재(161a, 161b) 중 각 소스 전극(173a, 173b) 및 드레인 전극(175a, 175b)으로 가려지지 않은 부분을 제거하여, 각각 상호 분리된 저항성 접촉 부재(161a, 161b)를 형성하여 둘 사이의 반도체층(151a, 151b) 부분을 노출시킨다. 이어, 노출된 반도체층(151a, 151b)의 표면을 안정화시키기 위하여 산소 플라즈마를 실시하는 것이 바람직하다.
- [0081] 다음으로, 도2c에 도시한 바와 같이, 유기 절연 물질 또는 무기 절연 물질을 도포하여 보호막(180)을 형성하고, 사진 식각 공정으로 복수의 접촉구(181, 182, 185)를 형성한다. 접촉구(181, 185, 182)는 각각 제1 및 제2 드레인 전극(175a, 175b)과 게이트선(121)의 일부를 노출시킨다. 이 때 제2 접촉구(182)는 보호막(180) 아래의 게이

- [0014] 210: 절연 기판
- [0015] 230: 색 필터
- [0016] 270: 공통 전극
- [0017] 400: 액정층

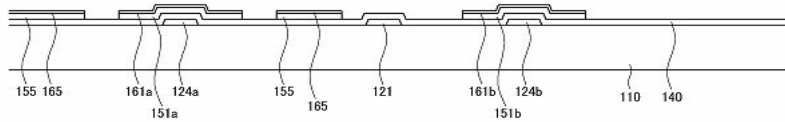
- 220: 차광 부재
- 240: 오버코트막
- 300: 실런트

도면

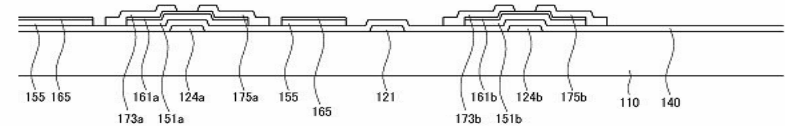
도면1



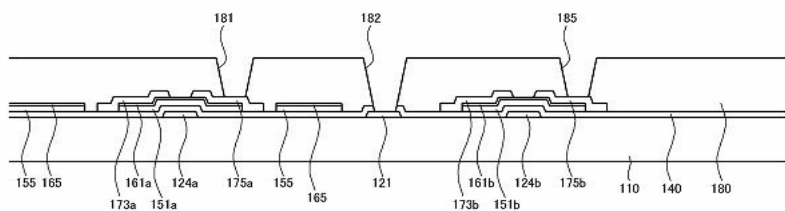
도면2a



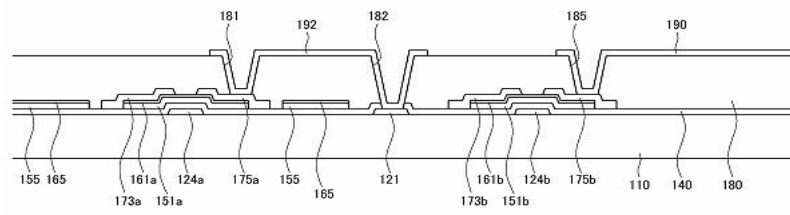
도면2b



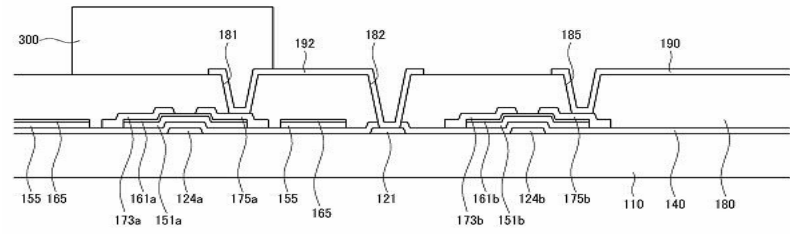
도면2c



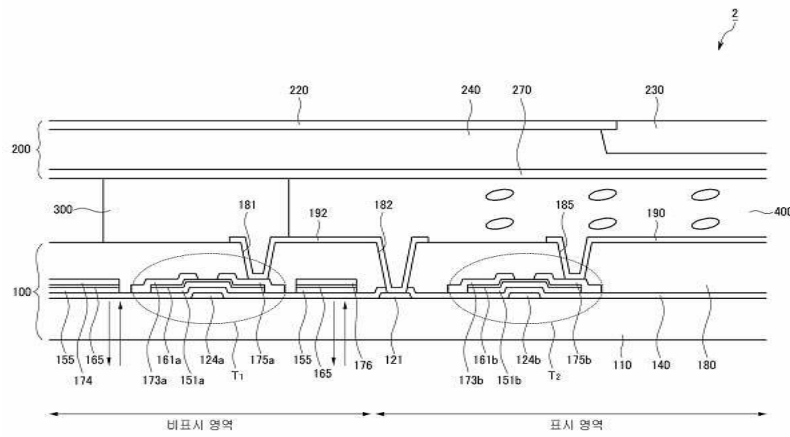
도면2d



도면2e



도면3



专利名称(译)	标题：液晶显示装置及其制造方法		
公开(公告)号	KR101252001B1	公开(公告)日	2013-04-08
申请号	KR1020060053853	申请日	2006-06-15
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	YOON JOO SUN		
发明人	YOON, JOO SUN		
IPC分类号	G02F1/136 G02F		
CPC分类号	G02F2202/10 G02F1/1368 G02F1/136209 G02F1/1339		
其他公开文献	KR1020070119339A		
外部链接	Espacenet		

摘要(译)

一种显示装置，包括薄膜晶体管 (TFT) 基板，面对TFT基板的对置基板，密封剂，以及介于TFT基板和对置基板之间的液晶层。TFT基板包括具有显示区域和外围区域的基板，形成在外围区域中并包括半导体层和形成在半导体层上的电阻接触构件的第一TFT，光阻挡半导体图案，形成在第二TFT中的第二TFT显示区域并包括栅电极。密封剂将TFT基板连接到对应基板，并覆盖第一TFT。

