



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년06월25일
(11) 등록번호 10-1158872
(24) 등록일자 2012년06월15일

(51) 국제특허분류(Int. Cl.)
G02F 1/1335 (2006.01) *G02F 1/1339*
 (2006.01)
 (21) 출원번호 10-2005-0057957
 (22) 출원일자 2005년06월30일
 심사청구일자 2010년06월25일
 (65) 공개번호 10-2007-0002421
 (43) 공개일자 2007년01월05일
 (56) 선행기술조사문헌
 KR1020010046653 A*
 KR1020020007164 A*
 KR1020020071542 A*
 KR1020040104799 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
박준호
경북 칠곡군 석적면 154-7번지 태양하이츠 306호
박성일
대구광역시 북구 대천로 100, 205동 805호 (동천동, 화성셀트럴파크)

(74) 대리인
특허법인로알

전체 청구항 수 : 총 13 항

심사관 : 장경태

(54) 발명의 명칭 액정표시장치 및 그 제조방법

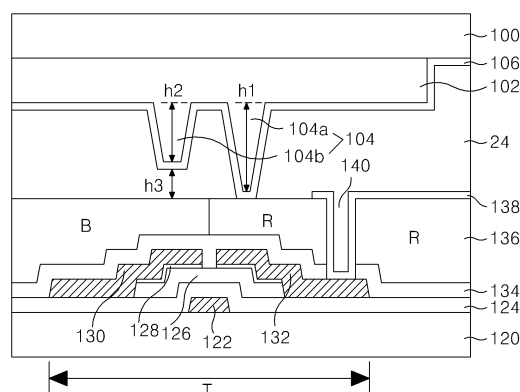
(57) 요약

본 발명은 하나의 마스크 공정으로 블랙매트릭스와 스페이서를 동시에 형성시킬 수 있는 액정표시장치 및 그 제조방법에 관한 것이다.

본 발명에 따른 액정표시장치는 상판과 대향하며 박막트랜지스터 및 컬러필터가 형성된 하판과, 상기 상/하판 사이에 형성되어 셀갭을 유지하며 서로 다른 높이로 형성된 듀얼 컬럼 스페이서와, 상기 컬러필터의 광간섭을 방지하며 상기 듀얼 컬럼 스페이서와 동시에 패터닝되는 블랙매트릭스 패턴을 구비하는 것을 특징으로 한다.

본 발명에 따른 액정표시장치 및 그 제조방법은 블랙매트릭스와 듀얼 컬럼 스페이서를 동일한 마스크 공정으로 형성할 수 있다.

대표도 - 도2



특허청구의 범위

청구항 1

상판과 대향하며 박막트랜지스터 및 컬러필터가 형성된 하판과,
상기 상/하판 사이에 형성되어 셀갭을 유지하며 서로 다른 높이로 형성된 듀얼 컬럼 스페이서와,
상기 컬러필터의 공간접을 방지하며 상기 듀얼 컬럼 스페이서와 동시에 패터닝되는 블랙매트릭스 패턴을 구비하고, 상기 듀얼 컬럼 스페이서는 동일 위치의 상기 블랙매트릭스 패턴 상에 서로 다른 높이로 형성되는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,
상기 듀얼 컬럼 스페이서는
제1 높이의 제1 컬럼 스페이서와,
상기 제1 높이보다 낮은 제2 높이의 제2 컬럼 스페이서로 구성되는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,
상기 제2 컬럼 스페이서는 제1 컬럼 스페이서보다 $0.1 \sim 0.4\mu\text{m}$ 정도 낮게 형성되는 것을 특징으로 하는 액정표시장치.

청구항 4

제 1 항에 있어서,
상기 듀얼 컬럼 스페이서와 블랙매트릭스 패턴은 상기 상판과 하판 중 어느 하나 상에 형성되는 것을 특징으로 하는 액정표시장치.

청구항 5

제 1 항에 있어서,
상기 하판은
기판 상에 형성된 상기 박막트랜지스터의 게이트전극 및 상기 게이트전극과 접속된 게이트라인과,
상기 게이트전극 및 게이트라인을 덮도록 형성된 게이트절연막과,
상기 게이트절연막 상에 상기 게이트전극과 중첩되도록 형성된 반도체패턴과,
상기 게이트절연막 상에 형성된 상기 박막트랜지스터의 소스전극, 드레인전극 및 상기 게이트라인과 교차하는 데이터라인과,
상기 박막트랜지스터를 보호하도록 형성되며 상기 컬러필터 하부에 형성된 보호막과,
상기 컬러필터 상에 상기 드레인전극과 접속된 화소전극을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 6

제 1 항에 있어서,
상기 하판은
기판 상에 형성된 상기 컬러필터와,
상기 컬러필터를 덮도록 형성된 하부 보호막과,
상기 하부 보호막 상에 형성된 상기 박막트랜지스터의 게이트전극 및 상기 게이트전극과 접속된

게이트라인과,

상기 게이트전극 및 게이트라인을 덮도록 형성된 게이트절연막과,

상기 게이트절연막 상에 상기 게이트전극과 중첩되도록 형성된 반도체패턴과,

상기 게이트절연막 상에 형성된 상기 박막트랜지스터의 소스전극, 드레인전극 및 상기 게이트라인과 교차하는 데이터라인과,

상기 박막트랜지스터를 보호하도록 형성된 적어도 한 층의 보호막과,

상기 적어도 한 층의 보호막 상에 상기 드레인전극과 접속된 화소전극을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 7

제 5 항에 있어서,

상기 듀얼 컬럼 스페이서는 상기 박막트랜지스터, 게이트라인, 데이터라인 중 적어도 어느 하나와 중첩되도록 형성되는 것을 특징으로 하는 액정표시장치.

청구항 8

박막트랜지스터, 컬러필터, 화소전극이 형성된 하판을 마련하는 단계와,

상기 하판과 대향되며 상기 화소전극과 전계를 이루는 공통전극이 형성된 상판을 마련하는 단계와,

상기 상/하판 사이에 형성되어 셀갭을 유지하며 서로 다른 높이의 듀얼 컬럼 스페이서와, 상기 듀얼 컬럼 스페이서와 상기 컬러필터의 광간섭을 방지하는 블랙매트릭스 패턴을 동시에 형성하는 단계를 포함하고, 상기 듀얼 컬럼 스페이서는 동일 위치의 상기 블랙매트릭스 패턴 상에 서로 다른 높이로 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 9

제 8 항에 있어서,

상기 듀얼 컬럼 스페이서와 블랙매트릭스 패턴을 동시에 형성하는 단계는

상기 하판 상에 수지를 도포하는 단계와,

상기 수지를 이중 하프톤 마스크를 이용한 포토리소그래피공정에 의해 패터닝하여 제1 및 제2 높이를 가지는 듀얼 컬럼 스페이서와 블랙매트릭스 패턴을 동시에 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 10

제 8 항에 있어서,

상기 듀얼 컬럼 스페이서와 블랙매트릭스 패턴은 상기 상판과 하판 중 어느 하나 상에 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 11

제 9 항에 있어서,

상기 이중 하프톤 마스크는 CrOx/Cr, SiNx/Cr 중 어느 하나의 이중 구조인 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 12

제 8 항에 있어서,

하판을 마련하는 단계는

기판 상에 상기 박막트랜지스터의 게이트전극 및 상기 게이트전극과 접속된 게이트라인을 형성하는 단계와,

상기 게이트전극 및 게이트라인을 덮도록 게이트절연막을 형성하는 단계와,

상기 게이트절연막 상에 상기 게이트전극과 중첩되도록 반도체패턴을 형성하는 단계와,

상기 게이트절연막 상에 상기 박막트랜지스터의 소스전극, 드레인전극 및 상기 게이트라인과 교차하는 데이터 라인을 형성하는 단계와,

상기 박막트랜지스터를 보호하도록 상기 컬러필터 하부에 보호막을 형성하는 단계와,

상기 컬러필터 상에 상기 드레인전극과 접속된 화소전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 13

제 8 항에 있어서,

상기 하판을 마련하는 단계는

기판 상에 상기 컬러필터를 형성하는 단계와,

상기 컬러필터를 덮도록 하부보호막을 형성하는 단계와,

상기 하부보호막 상에 상기 박막트랜지스터의 게이트전극 및 상기 게이트전극과 접속된 게이트라인을 형성하는 단계와,

상기 게이트전극 및 게이트라인을 덮도록 게이트절연막을 형성하는 단계와,

상기 게이트절연막 상에 상기 게이트전극과 중첩되도록 반도체패턴을 형성하는 단계와,

상기 게이트절연막 상에 상기 박막트랜지스터의 소스전극, 드레인전극 및 상기 게이트라인과 교차하는 데이터 라인을 형성하는 단계와,

상기 박막트랜지스터를 보호하도록 적어도 한 층의 보호막을 형성하는 단계와,

상기 적어도 한 층의 보호막 상에 상기 드레인전극과 접속된 화소전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0014] 본 발명은 액정표시장치에 관한 것으로서, 특히 하나의 마스크 공정으로 블랙매트릭스와 스페이서를 동시에 형성시킬 수 있는 액정표시장치 및 그 제조방법에 관한 것이다.
- [0015] 최근 정보화 사회로 시대가 발전함에 따라 박형화, 경량화, 저 소비전력화 등의 우수한 특성을 가지는 평판 표시 장치(flat panel display)의 필요성이 대두되었는데, 이 중 액정 표시 장치(liquid crystal display device)가 해상도, 컬러표시, 화질 등에서 우수하여 노트북이나 데스크탑 모니터에 활발하게 적용되고 있다.
- [0016] 일반적으로 액정 표시 장치는 일측에 전극이 각각 형성되어 있는 두 기판을, 두 전극이 형성되어 있는 면이 마주 대하도록 배치하고 두 기판 사이에 액정 물질을 주입한 다음, 두 전극에 전압을 인가하여 생성되는 전기장에 의해 액정 분자를 움직이게 함으로써, 이에 따라 달라지는 빛의 투과율에 의해 화상을 표현하는 장치이다.
- [0017] 액정표시장치의 하부 기판은 화소 전극에 신호를 인가하기 위한 박막 트랜지스터를 포함하는 어레이 기판으로 박막을 형성하고 사진 식각하는 공정을 반복함으로써 이루어지고, 상부 기판은 공통 전극 및 컬러필터를 포함하는 기판으로 컬러필터는 적(R), 녹(G), 청(B)의 세 가지 색이 순차적으로 배열되어 있다.
- [0018] 이러한 액정 표시 장치는 박막트랜지스터 어레이 기판과 컬러필터 어레이 기판을 각각 형성하고 박막트랜지스터 어레이 기판의 화소 전극과 컬러필터 어레이 기판의 컬러필터가 일대일 대응되도록 배치하는 공정을 통해

형성되는데, 기판을 배치하는 과정에서 오정렬(misalign)이 발생하여 빔샘과 같은 불량 발생이 생길 수 있다. 이를 방지하기 위해 상부 기판의 블랙 매트릭스 폭을 넓게 형성할 수 있는데, 이러한 경우 액정 표시 장치의 개구율이 낮아지게 된다.

- [0019] 따라서, 최근에는 액정 표시 장치의 오정렬을 방지하고 개구율을 향상시키기 위해 컬러필터를 박막트랜지스터 어레이 기판 상에 형성하는 방법이 제시되었는데, 컬러필터를 박막 트랜지스터의 상부에 형성하는 구조를 컬러필터 온 박막 트랜지스터(color filter on thin film transistor ; COT) 구조라고 한다.
- [0020] 도 1은 종래의 COT 구조를 갖는 액정표시장치에 대한 단면도이다.
- [0021] 도 1에 도시한 바와 같이, 투명한 하부기판(11) 위에 금속과 같은 도전 물질로 이루어진 게이트 전극(12)이 형성되어 있고, 게이트 전극(12) 위에 질화 실리콘(SiNx)이나 산화 실리콘(SiO₂)으로 이루어진 게이트 절연막(13)이 게이트 전극(12)을 덮고 있다.
- [0022] 게이트 절연막(13) 상에 게이트 전극(12)과 중첩되도록 비정질 실리콘으로 이루어진 활성층(14)이 형성되어 있으며, 그 위에 불순물이 도핑된 비정질 실리콘으로 이루어진 오믹 콘택층(15)이 형성되어 있다.
- [0023] 오믹 콘택층(15) 상부에는 금속과 같은 도전 물질로 이루어진 소스 전극(16a) 및 드레인 전극(16b)이 형성되어 있는데, 소스 및 드레인 전극(16a, 16b)은 게이트 전극(12)과 함께 박막트랜지스터(T)를 이룬다.
- [0024] 한편, 도면에는 도시하지 않았지만, 게이트 전극(12)은 게이트 라인과 연결되어 있고, 소스 전극(16a)은 데이터 라인과 연결되어 있으며, 게이트 라인과 데이터 라인은 서로 교차하여 화소 영역을 정의한다.
- [0025] 이어, 소스 및 드레인 전극(16a, 16b)을 포함한 하부기판(11)의 전면에는 실리콘 질화막이나 실리콘 산화막 또는 유기 절연막으로 이루어져 박막트랜지스터(T)를 보호하기 위한 제1 보호막(17)이 형성되어 있다.
- [0026] 제1 보호막(17) 상에 박막트랜지스터(T)와 대응되는 위치에 블랙매트릭스(22)가 형성된다. 이 블랙매트릭스(22)는 화소 전극(20)과 대응하는 부분에 개구부를 가지고 기판 전면에서 형성되어 있다. 따라서, 블랙 매트릭스(22)는 화소 전극(20) 이외의 부분에서 액정 분자가 틸트(tilt)됨으로써 발생하는 빔샘 현상을 막으며, 또한 박막트랜지스터(T)의 채널부로 빛이 입사되는 것을 차단하여, 광 누설 전류가 발생하는 것을 방지하는 역할을 한다.
- [0027] 다음, 상기 제1 보호막(17) 상부의 화소 영역에는 컬러필터(18)가 형성되어 있는데, 컬러필터(18)는 적, 녹, 청의 색이 순차적으로 배열되고 하나의 색이 하나의 화소 영역에 대응한다. 이 컬러필터(18)는 콘택홀(19)을 통해 노출될 드레인전극(16b)과 대응하는 부분에 잔류되지 않도록 형성된다. 그리고, 컬러필터(18) 상에 산화실리콘 또는 질화실리콘 등의 무기 절연막, 또는, 아크릴계 수지 또는 BCB 등의 유기절연막으로 이루어진 제2 보호막(24)이 형성된다. 제 2 보호막(24)은 컬러필터(18)에 의해 액정이 오염되는 것을 방지한다.
- [0028] 제2 보호막(24) 및 제1 보호막(17)을 관통하여 드레인 전극(16b)을 노출시키는 콘택홀(19)이 형성된다. 제2 보호막(24) 상의 화소영역에 콘택홀(19)을 통해 드레인 전극(16b)과 전기적으로 연결되는 투명 도전 물질로 이루어진 화소 전극(20)이 형성된다. 그리고, 제2 보호막(24) 상의 박막트랜지스터(T)와 대응하는 부분에 컬럼 스페이서(25)가 형성된다.
- [0029] 한편, 하부기판(11) 상부에는 컬럼 스페이서(25)에 의해 일정 간격을 가지고 이격되는 투명한 상부기판(21)이 배치되어 있다. 이 상부기판(21) 상에는 투명 도전 물질로 이루어진 공통 전극(23)이 형성되어 있다.
- [0030] 하부기판(11)과 하부기판(21)이 합착된 상태에서 화소 전극(20)과 공통 전극(23) 사이에는 액정이 주입되어 있으며, 이 액정의 액정 분자는 화소 전극(20)과 공통 전극(23)에 전압이 인가되면 생성되는 전기장에 의해 배열 상태가 변화된다. 상기에서 화소 전극(20) 상부와 공통 전극(23) 하부에는 각각 배향막(도시하지 않음)이 형성되어 액정 분자의 초기 배열 상태를 결정한다.
- [0031] 이러한 종래의 액정표시장치에 사용되는 컬럼 스페이서(25)는 포토리소그래피(photolithography) 공정에 의하여 형성된다. 이 경우, 컬럼 스페이서(25)를 형성하기 위해서 마스크 공정 하나가 더 필요하게 되어 제조비용이 상승하게 되므로 공정을 단순화할 수 있는 방안이 요구된다.

발명이 이루고자 하는 기술적 과제

- [0032] 따라서, 본 발명의 목적은 하나의 마스크 공정으로 블랙매트릭스와 스페이서를 동시에 형성시킬 수 있는 액정

표시장치 및 그 제조방법을 제공함에 있다.

발명의 구성 및 작용

- [0033] 상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시장치는 상판과 대향하며 박막트랜지스터 및 컬러필터가 형성된 하판과, 상기 상/하판 사이에 형성되어 셀갭을 유지하며 서로 다른 높이로 형성된 듀얼 컬럼 스페이서와, 상기 컬러필터의 광간섭을 방지하며 상기 듀얼 컬럼 스페이서와 동시에 패터닝되는 블랙매트릭스 패턴을 구비하는 것을 특징으로 한다.
- [0034] 상기 듀얼 컬럼 스페이서는 제1 높이의 제1 컬럼 스페이서와, 상기 제1 높이보다 낮은 제2 높이의 제2 컬럼 스페이서로 구성되는 것을 특징으로 한다.
- [0035] 상기 제2 컬럼 스페이서는 제1 컬럼 스페이서보다 0.1 ~ 0.4 μ m 정도 낮게 형성되는 것을 특징으로 한다.
- [0036] 상기 듀얼 컬럼 스페이서와 블랙매트릭스 패턴은 상기 상판과 하판 중 어느 하나 상에 형성되는 것을 특징으로 한다.
- [0037] 상기 하판은 기판 상에 형성된 상기 박막트랜지스터의 게이트전극 및 상기 게이트전극과 접속된 게이트라인과, 상기 게이트전극 및 게이트라인을 덮도록 형성된 게이트절연막과, 상기 게이트절연막 상에 상기 게이트전극과 중첩되도록 형성된 반도체패턴과, 상기 게이트절연막 상에 형성된 상기 박막트랜지스터의 소스전극, 드레인전극 및 상기 게이트라인과 교차하는 데이터라인과, 상기 박막트랜지스터를 보호하도록 형성되며 상기 컬러필터 하부에 형성된 보호막과, 상기 컬러필터 상에 상기 드레인전극과 접속된 화소전극을 포함하는 것을 특징으로 한다.
- [0038] 상기 하판은 기판 상에 형성된 상기 컬러필터와, 상기 컬러필터를 덮도록 형성된 하부 보호막과, 상기 하부 보호막 상에 형성된 상기 박막트랜지스터의 게이트전극 및 상기 게이트전극과 접속된 게이트라인과, 상기 게이트전극 및 게이트라인을 덮도록 형성된 게이트절연막과, 상기 게이트절연막 상에 상기 게이트전극과 중첩되도록 형성된 반도체패턴과, 상기 게이트절연막 상에 형성된 상기 박막트랜지스터의 소스전극, 드레인전극 및 상기 게이트라인과 교차하는 데이터라인과, 상기 박막트랜지스터를 보호하도록 형성된 적어도 한 층의 보호막과, 상기 적어도 한 층의 보호막 상에 상기 드레인전극과 접속된 화소전극을 포함하는 것을 특징으로 한다.
- [0039] 상기 듀얼 컬럼 스페이서는 상기 박막트랜지스터, 게이트라인, 데이터라인 중 적어도 어느 하나와 중첩되도록 형성되는 것을 특징으로 한다.
- [0040] 또한, 본 발명의 실시 예에 따른 액정표시장치의 제조방법은 박막트랜지스터, 컬러필터, 화소전극이 형성된 하판을 마련하는 단계와, 상기 하판과 대향되며 상기 화소전극과 전계를 이루는 공통전극이 형성된 상판을 마련하는 단계와, 상기 상/하판 사이에 형성되어 셀갭을 유지하며 서로 다른 높이의 듀얼 컬럼 스페이서와, 상기 듀얼 컬럼 스페이서와 상기 컬러필터의 광간섭을 방지하는 블랙매트릭스 패턴을 동시에 형성하는 단계를 포함하는 것을 특징으로 한다.
- [0041] 상기 듀얼 컬럼 스페이서와 블랙매트릭스 패턴을 동시에 형성하는 단계는 상기 하판 상에 수지를 도포하는 단계와, 상기 수지를 이중 하프톤 마스크를 이용한 포토리소그래피공정에 의해 패터닝하여 제1 및 제2 높이를 가지는 듀얼 컬럼 스페이서와 블랙매트릭스 패턴을 동시에 형성하는 단계를 포함하는 것을 특징으로 한다.
- [0042] 상기 듀얼 컬럼 스페이서와 블랙매트릭스 패턴은 상기 상판과 하판 중 어느 하나 상에 형성되는 것을 특징으로 한다.
- [0043] 상기 이중 하프톤 마스크는 CrOx/Cr, SiNx/Cr 중 어느 하나의 이중 구조인 것을 특징으로 한다.
- [0044] 하판을 마련하는 단계는 기판 상에 상기 박막트랜지스터의 게이트전극 및 상기 게이트전극과 접속된 게이트라인을 형성하는 단계와, 상기 게이트전극 및 게이트라인을 덮도록 게이트절연막을 형성하는 단계와, 상기 게이트절연막 상에 상기 게이트전극과 중첩되도록 반도체패턴을 형성하는 단계와, 상기 게이트절연막 상에 상기 박막트랜지스터의 소스전극, 드레인전극 및 상기 게이트라인과 교차하는 데이터라인을 형성하는 단계와, 상기 박막트랜지스터를 보호하도록 상기 컬러필터 하부에 보호막을 형성하는 단계와, 상기 컬러필터 상에 상기 드레인전극과 접속된 화소전극을 형성하는 단계를 포함하는 것을 특징으로 한다.
- [0045] 상기 하판을 마련하는 단계는 기판 상에 상기 컬러필터를 형성하는 단계와,

- [0046] 상기 컬러필터를 덮도록 하부보호막을 형성하는 단계와, 상기 하부보호막 상에 상기 박막트랜지스터의 게이트 전극 및 상기 게이트전극과 접속된 게이트라인을 형성하는 단계와, 상기 게이트전극 및 게이트라인을 덮도록 게이트절연막을 형성하는 단계와, 상기 게이트절연막 상에 상기 게이트전극과 중첩되도록 반도체패턴을 형성하는 단계와, 상기 게이트절연막 상에 상기 박막트랜지스터의 소스전극, 드레인전극 및 상기 게이트라인과 교차하는 데이터라인을 형성하는 단계와, 상기 박막트랜지스터를 보호하도록 적어도 한 층의 보호막을 형성하는 단계와, 상기 적어도 한 층의 보호막 상에 상기 드레인전극과 접속된 화소전극을 형성하는 단계를 포함하는 것을 특징으로 한다.
- [0047] 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 도면들을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.
- [0048] 이하, 첨부된 도면을 참고하여 본 발명을 상세히 설명하기로 한다.
- [0049] 도 2를 참조하면, 본 발명의 제1 실시 예에 따른 액정표시장치는 상판과 하판 사이의 셀갭을 유지하며 상부기판(100) 상에 블랙매트릭스 패턴(102)과 동시에 패터닝되는 듀얼 컬럼 스페이스(104)를 구비한다.
- [0050] 하판은 하부기판(120) 상에 도시되지 않은 게이트 라인 및 데이터 라인의 교차부에 형성된 박막 트랜지스터(T)와, 박막트랜지스터(T)와 접속된 화소전극(138)과, 박막트랜지스터(T)를 보호하기 위한 보호막(134)과, 보호막(134) 상의 화소 영역에 형성된 컬러필터(136)를 구비한다.
- [0051] 박막 트랜지스터(T)는 게이트 라인의 게이트 신호에 응답하여 데이터 라인의 화소 신호가 화소 전극(138)에 충전되어 유지되게 한다. 이를 위하여, 박막 트랜지스터(T)는 게이트 라인에 접속된 게이트 전극(122)과, 데이터 라인에 접속된 소스 전극(130)과, 화소 전극(138)에 접속된 드레인 전극(132)을 구비한다. 또한, 박막 트랜지스터(T)는 게이트 전극(122)과 게이트 절연막(124)을 사이에 두고 중첩되면서 소스 전극(130)과 드레인 전극(132) 사이에 채널을 형성하는 활성층(132)을 더 구비한다. 이러한 활성층(132) 위에는 소스 전극(130) 및 드레인 전극(132)과 오믹 접촉을 위한 오믹 접촉층(128)이 더 형성된다.
- [0052] 컬러필터(136)는 적, 녹, 청색이 순차적으로 배열되고 하나의 색이 하나의 화소 영역에 대응한다.
- [0053] 화소 전극(138)은 컬러필터(136) 및 보호막(134)을 관통하는 콘택홀(140)을 통해 박막 트랜지스터(T)의 드레인 전극(132)과 접속되어 화소 영역에 형성된다.
- [0054] 상판은 상부기판(100) 상에 형성된 블랙매트릭스 패턴(102)과, 블랙매트릭스 패턴(102)과 동시에 패터닝된 듀얼 컬럼 스페이스(104)와, 상기 블랙매트릭스 패턴(102) 및 듀얼 컬럼 스페이스(104) 상에 형성되며 화소전극(138)과 전계를 이루는 공통전극(106)을 구비한다.
- [0055] 블랙매트릭스 패턴(102)은 상부기판(100) 상에 매트릭스 형태로 형성되어 상부기판(100)의 표면을 다수의 화소 영역들로 나눔과 아울러 하부기판(120) 상에 형성된 컬러필터(136)의 적, 녹, 청색이 간섭되는 것을 방지한다.
- [0056] 듀얼 컬럼 스페이스(104)는 상기 블랙매트릭스 패턴(102)과 동시에 포토리소그래피 방법에 의하여 패터닝된다. 이때, 듀얼 컬럼 스페이스(104)는 박막 트랜지스터(T), 게이트라인 및 데이터라인과 중첩되는 영역에 형성된다. 여기서, 듀얼 컬럼 스페이스(104)는 블랙매트릭스 패턴(102) 상에 서로 다른 높이로 형성되는 제1 컬럼 스페이스(104a)와 제2 컬럼 스페이스(104b)로 구성된다. 듀얼 컬럼 스페이스(104)의 제1 높이(h1)를 가지는 제1 컬럼 스페이스(104a)는 하판과 닿아 셀갭을 유지한다. 그리고, 제2 컬럼 스페이스(104b)는 하판과 소정 간격으로 이격되어 액정표시장치에 외부 충격이 가해졌을 경우 충격을 완화시켜준다. 이때, 제2 컬럼 스페이스(104b)는 하판과 0.1 ~ 0.4 μ m 정도의 간격을 두고 이격된다.
- [0057] 이러한 블랙매트릭스 패턴(102)과 듀얼 컬럼 스페이스(104)는 이중 하프톤 마스크로 형성된다. 이 이중 하프톤 마스크는 크롬(Cr) 상에 CrOx 또는 SiNx 등의 이중 구조를 가진다.
- [0058] 상기 이중 하프톤 마스크를 이용하여 네거티브(negative)형 감광성물질을 패터닝함으로써 가장 광이 많이 조사된 영역에 제1 높이(h1)를 가지는 제1 컬럼 스페이스(104a)가 형성되며, 제1 컬럼 스페이스(104a)보다 적게 광이 조사된 영역에 제2 높이(h2)를 가지는 제2 컬럼 스페이스(104b)가 형성된다. 그리고, 제2 컬럼 스페이스(104b)보다 더 적게 광이 조사된 영역에 블랙매트릭스 패턴(102)이 형성된다. 이와 같이, 블랙매트릭스 패턴(102)과 듀얼 컬럼 스페이스(104)를 동시에 형성함으로써 공정을 단순화할 수 있다.
- [0059] 이러한 액정표시장치는 박막 트랜지스터(T)를 통해 화소 신호가 공급된 화소 전극(138)과 기준 전압이 공급된 공통 전극(106) 사이에 전계가 형성된다. 이러한 전계에 의해 상판과 하판 사이의 액정 분자들이 유전 이방

성에 의해 회전하게 된다. 그리고, 액정 분자들의 회전 정도에 따라 화소 영역을 투과하는 광 투과율이 달라지게 됨으로써 계조를 구현하게 된다.

- [0060] 도 3a 내지 도 3f는 본 발명의 실시 예에 따른 액정표시장치의 제조방법을 나타낸 공정단면도이다.
- [0061] 도 3a를 참조하면, 상부기관(100) 상에 수지를 도포한 후, 포토리소그래피 방법으로 동시에 블랙매트릭스 패턴(102)과 듀얼 컬럼 스페이서(104)를 형성한다.
- [0062] 이를 상세히 하면, 상부기관(100) 상에 수지를 도포한 후, 광의 투과를 제어하는 이중 하프톤 마스크를 정렬하여 광을 조사한다. 여기서, 이중 하프톤 마스크는 Cr의 저반사 금속과 CrOx, SiNx 등의 불투명한 금속의 이중구조, 예를 들면, CrOx/Cr의 구조를 가진다.
- [0063] 이에 따라, 이중 하프톤 마스크를 이용한 노광 및 현상 공정에 의하여 광이 가장 많이 조사된 노광 영역에는 제1 높이(h1)를 가지는 제1 컬럼 스페이서(104a)가 형성되며, 제1 컬럼 스페이서(104a)보다 적게 광이 조사된 영역에는 제2 컬럼 스페이서(104b)가 형성되고, 제2 컬럼 스페이서(104b)보다 적게 광이 조사된 영역에는 블랙매트릭스 패턴(102)이 형성된다.
- [0064] 이렇게 블랙매트릭스 패턴(102)과 듀얼 컬럼 스페이서(104)는 한번의 마스크 공정에 의해 형성하므로 공정이 감소된다. 그리고, 블랙매트릭스 패턴(102) 및 듀얼 컬럼 스페이서(104)를 큐어링(curing)하거나 열처리한다.
- [0065] 이와 같이, 블랙매트릭스 패턴(102)과 듀얼 컬럼 스페이서(104)가 형성된 상부기관(100) 상에 투명 도전성 금속을 증착하여 도 3b에 도시된 바와 같이 공통 전극(106)을 형성한다. 상기에서 상부기관(100) 상에 공통 전극(106)을 형성함으로써 액정표시장치의 상판이 완성된다.
- [0066] 도 3c를 참조하면, 하부기관(120) 상에 알루미늄 계열의 게이트금속층을 스퍼터링 방법에 의해 증착하고 포토리소그래피 방법으로 패터닝하여 게이트 전극(122)을 형성한다. 상기에서 게이트 전극(122)의 형성시 이 게이트 전극(122)과 연결된 게이트 라인도 함께 형성된다.
- [0067] 게이트 전극(122)을 덮도록 하부기관(120)의 전면에 질화실리콘 또는 산화실리콘 산화막 등의 무기 절연물질을 증착하여 게이트 절연막(124)을 형성한다. 그리고, 게이트 절연막(124)상에 비정질 실리콘층 및 불순물이 도핑된 비정질 실리콘층을 차례로 증착한 후 게이트 전극(122)과 대응하는 부분에만 잔류하도록 포토리소그래피 방법으로 패터닝하여 액티브층(126)과 오믹컨택층(128)을 형성한다.
- [0068] 도 3d를 참조하면, 하부기관(120)의 전면에 Mo, W, Cr 또는 Ti 등의 금속을 CVD 방법으로 증착한 후 오믹컨택층(128)과 포토리소그래피 방법으로 패터닝하여 소스 전극(130) 및 드레인 전극(132)을 형성한다. 상기에서 소스 전극(130) 및 드레인 전극(132)의 형성시 상기 소스 전극(130)과 연결되어 게이트 라인과 교차하여 화소 영역을 정의하는 데이터라인도 함께 형성된다. 이 때, 소스 전극(130) 및 드레인 전극(132) 사이의 오믹컨택층(128)도 패터닝되어 제거되어 채널을 형성한다.
- [0069] 도 3e를 참조하면, 소스 및 드레인 전극(130, 132) 상에 질화실리콘이나 산화실리콘 등의 무기 절연물질을 증착하여 보호막(134)을 형성한다.
- [0070] 보호막(134) 상에 적(R), 녹(G), 청(B)의 세 가지 색의 광 중 어느 하나, 예를 들면, 적색(R) 광을 필터링할 수 있는 감광성 물질을 도포하고 노광 및 현상하여 패터닝함으로써 박막트랜지스터(T)를 포함하는 화소 영역에 컬러필터(136)를 형성한다. 상기에서 컬러필터(136)가 적, 녹, 청의 세 가지 색으로 이루어지므로, 이러한 도포와 노광 및 현상 공정을 세 번 반복하여 각각의 색을 구현하는 컬러필터(136)를 형성할 수 있다.
- [0071] 도 3f를 참조하면, 보호막(136) 및 컬러필터(136)를 포토리소그래피 방법으로 패터닝하여 드레인 전극(132)을 노출시키는 컨택홀(140)을 형성하고, 보호막(134) 상에 컨택홀(140)을 통해 드레인 전극(132)과 전기적으로 연결되는 화소 전극(138)을 형성한다.
- [0072] 상기에서 하부기관(120) 상에 박막트랜지스터(T), 컬러필터(136) 및 화소전극(138)을 형성하므로써 액정표시장치의 하판이 완성된다.
- [0073] 그리고, 도시되지 않지만 상판과 하판을 합착하여 듀얼 컬럼 스페이서(104)에 의해 형성되는 공간에 액정을 주입하므로써 액정표시장치가 완성된다.
- [0074] 도 4는 본 발명의 제2 실시 예에 따른 TOC 구조를 갖는 액정표시장치를 나타내는 단면도이다.
- [0075] 도 4에 도시된 TOC 구조를 갖는 액정표시장치는 하부기관(120) 상에 블랙매트릭스 패턴(152)과 동시에 패터닝

되는 듀얼 컬럼 스페이스(154)를 구비한다. 블랙매트릭스 패턴(152) 및 듀얼 컬럼 스페이스(154)는 박막트랜지스터와 대응하는 부분에 형성되고, 컬러필터(156) 상에 하부보호막(158) 및 박막트랜지스터가 형성되는 것을 제외하고는 도 2와 동일한 구성을 가진다.

[0076] 듀얼 컬럼 스페이스(154)는 블랙매트릭스 패턴(152)과 일체화되어 서로 다른 높이로 형성되는 제1 컬럼 스페이스(154a)와 제2 컬럼 스페이스(154b)로 구성된다. 듀얼 컬럼 스페이스(154)의 제1 높이(h1)를 가지는 제1 컬럼 스페이스(154a)는 상판과 닿아 셀갭을 유지한다. 그리고, 제2 컬럼 스페이스(154b)는 상판과 소정 간격으로 이격되어 액정표시장치에 외부 충격이 가해졌을 경우 충격을 완화시켜준다. 이때, 제2 컬럼 스페이스(154b)는 하판과 0.1 ~ 0.4 μ m 정도의 간격을 두고 이격된다.

[0077] 상기에서 하부보호막(158)은 질화실리콘이나 산화실리콘 등의 무기 절연물질, 또는, 아크릴계 수지 또는 BCB 등의 유기절연물질로 형성되는 것으로 상부에 박막트랜지스터가 형성된다.

[0078] 이러한 TOC 구조의 액정표시장치도 블랙매트릭스 패턴(102)과 듀얼 컬럼 스페이스(104)를 동시에 형성함으로써 공정을 단순화할 수 있다.

[0079] TOC 구조의 액정표시장치의 제조방법을 간단히 살펴보자.

[0080] 먼저, 하부기판(120) 상에 적색, 녹색 및 청색 컬러수지를 순차적으로 형성하여 적색, 녹색 및 청색 컬러필터(156)를 형성한다. 컬러필터(156)가 형성된 하부기판(120) 상에 유기절연물질을 코팅하여 하부 보호막(158)을 형성한다. 하부 보호막(158)이 형성된 하부기판(120) 상에 게이트금속층을 증착한 후 포토리소그래피공정과 식각공정으로 게이트금속층을 패터닝함으로써 게이트라인, 게이트전극(122)을 포함하는 게이트패턴이 형성된다. 이 게이트패턴을 덮도록 절연물질을 증착함으로써 게이트절연막(124)이 형성된다. 게이트절연막(124) 상에 제1 및 제2 반도체물질을 순차적으로 증착한 후 패터닝함으로써 활성층(126) 및 오믹접촉층(128)을 포함하는 반도체패턴이 형성된다. 반도체패턴이 형성된 게이트절연막(124) 상에 데이터금속층을 증착한 후 패터닝함으로써 소스전극(130), 드레인전극(132), 데이터라인을 포함하는 데이터패턴이 형성된다. 데이터패턴이 형성된 게이트절연막(124) 상에 절연물질을 증착한 후 패터닝함으로써 콘택홀(160)을 가지는 보호막(134)이 형성된다. 보호막(134) 상에 IT0, IZO 등을 포함하는 투명도전막을 증착한 후 패터닝함으로써 화소전극(138)이 형성된다.

[0081] 이 화소전극(138)이 형성된 하부기판(120) 상에 블랙매트릭스 패턴(152)과 듀얼 컬럼 스페이스(154)가 이중 하프톤 마스크로 동시에 패터닝됨으로써 형성된다. 이때, 이중 하프톤 마스크는 크롬(Cr) 상에 CrOx 또는 SiNx 등의 이중 구조를 가진다.

[0082] 상기 이중 하프톤 마스크를 이용하여 네거티브(negative)형 감광성물질을 패터닝함으로써 가장 광이 많이 조사된 영역에 제1 높이(h1)를 가지는 제1 컬럼 스페이스(154a)가 형성되며, 제1 컬럼 스페이스(154a)보다 적게 광이 조사된 영역에 제2 높이(h2)를 가지는 제2 컬럼 스페이스(154b)가 형성된다. 그리고, 제2 컬럼 스페이스(154b)보다 더 적게 광이 조사된 영역에 블랙매트릭스 패턴(152)이 형성된다.

[0083] 이와 같이, 본 발명은 박막트랜지스터 및 컬러필터가 형성되는 하부기판 상에 블랙매트릭스와 동일한 마스크 공정에 의해 듀얼 컬럼 스페이스가 형성된다.

[0084] 한편, 본 발명은 인플레인스위칭모드(In Plane Switching Mode : IPS 모드)나 트위스티드 네마틱 모드(Twisted Nematic Mode : TN 모드)는 물론 그 이외의 다른 액정모드에도 적용될 수 있다.

발명의 효과

[0085] 따라서, 본 발명에 따른 액정표시장치 및 그 제조방법은 블랙매트릭스와 듀얼 컬럼 스페이스를 동일한 마스크 공정으로 형성할 수 있다. 이에 따라, 본 발명은 수율이 향상될 뿐만 아니라, 제조비용을 절감할 수 있게 된다.

[0086] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

[0001] 도 1은 종래의 COT 구조를 갖는 액정표시장치의 단면도이다.

[0002] 도 2는 본 발명의 제1 실시예에 따른 COT 구조를 갖는 액정표시장치의 단면도이다.

[0003] 도 3a 내지 도 3f는 도 2에 도시된 액저표시장치의 제조방법을 나타내는 공정단면도이다.

[0004] 도 4는 본 발명의 제2 실시예에 따른 TOC 구조를 갖는 액정표시장치의 단면도이다.

[0005] <도면의 주요 부분에 대한 부호의 설명>

[0006] 21, 100 : 상부기판

23, 106 : 공통전극

[0007] 11, 120 : 하부기판

12, 122 : 게이트 전극

[0008] 13, 124 : 게이트 절연막

14, 126 : 액티브층

[0009] 15, 128 : 오믹 콘택츠

16a, 130 : 소스전극

[0010] 16b, 132 : 드레인전극

17, 24, 134, 158 : 보호막

[0011] 18, 136, 156 : 컬러필터

19, 140, 160 : 컨택홀

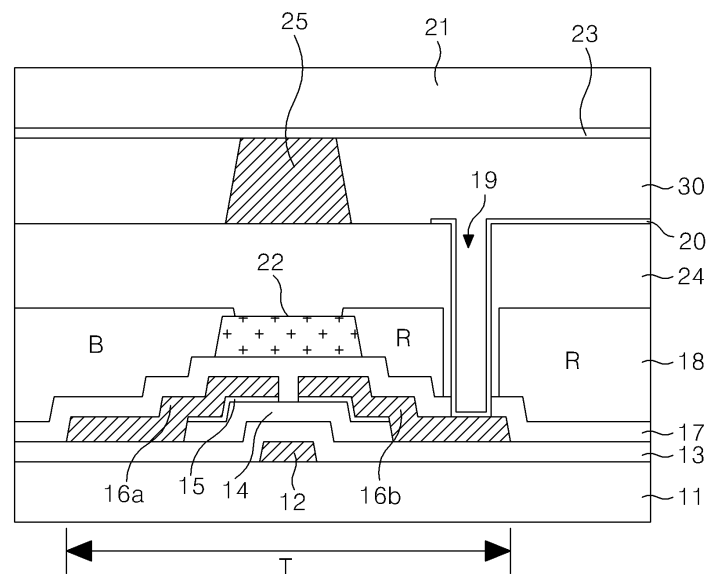
[0012] 20, 138 : 화소전극

22, 102, 152 : 블랙매트릭스 패턴

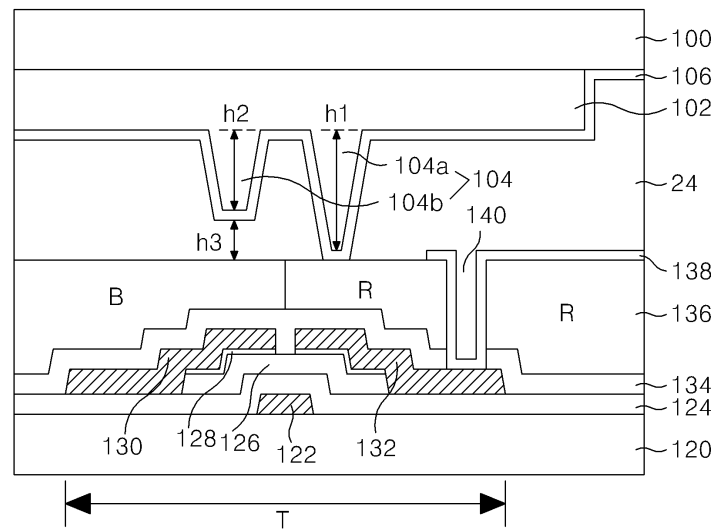
[0013] 25, 104, 154 : 컬럼 스페이서

도면

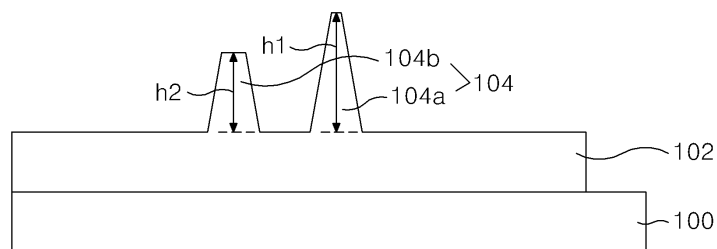
도면1



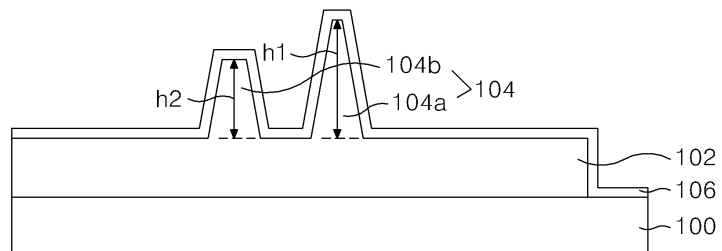
도면2



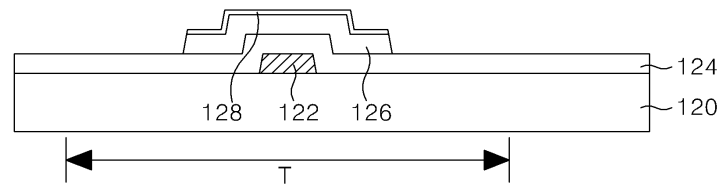
도면3a



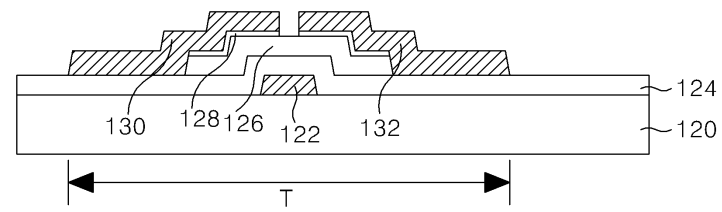
도면3b



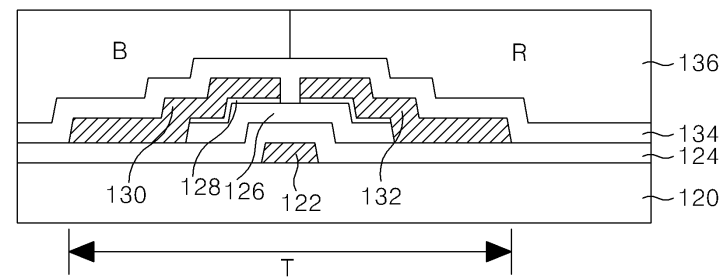
도면3c



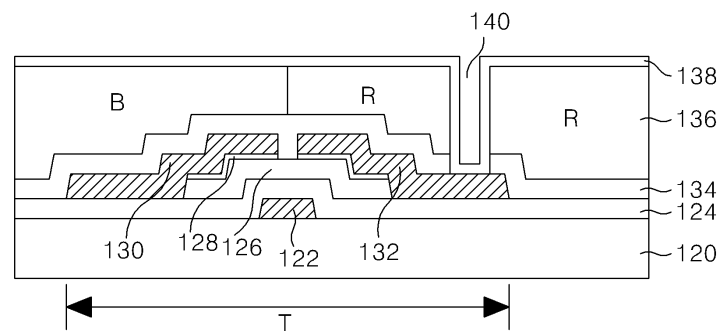
도면3d



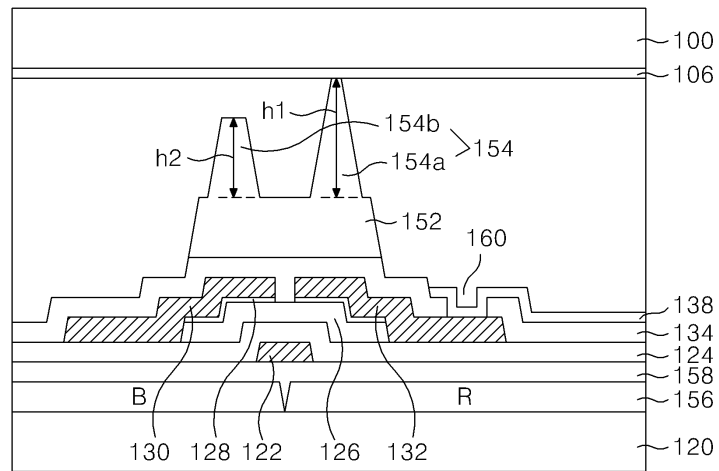
도면3e



도면3f



도면4



专利名称(译)	标题：液晶显示装置及其制造方法		
公开(公告)号	KR101158872B1	公开(公告)日	2012-06-25
申请号	KR1020050057957	申请日	2005-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK JUNE HO 박준호 PARK SUNG IL 박성일		
发明人	박준호 박성일		
IPC分类号	G02F1/1335 G02F G02F1/1339		
CPC分类号	G02F1/13394 G02F1/134363 G02F1/136209 G02F2001/136222 G02F2001/136236		
其他公开文献	KR1020070002421A		
外部链接	Espacenet		

摘要(译)

提供一种LCD及其制造方法，通过在包括薄膜晶体管，滤色器和像素电极的下基板上施加树脂并通过光刻图案化树脂，通过一次掩模工艺同时形成黑矩阵和间隔物使用双半色调面罩的过程。下基板（120）面向上基板（100），并包括薄膜晶体管（T）和滤色器（136）。双柱间隔物（104）形成在上基板和下基板之间，保持单元间隙，并且具有不同的高度。黑矩阵图案（102）防止滤色器的光干涉，并且与双柱间隔物同时形成图案。

