



특허청구의 범위

청구항 1

기관상에 실질적으로 수직으로 배열되어 복수의 화소를 정의하는 복수의 게이트라인 및 데이터라인;

상기 각 화소내에 형성되며, 상기 기관위에 형성된 게이트전극과, 상기 게이트전극이 형성된 기관 전체에 걸쳐 적층된 절연층과, 상기 절연층위에 형성된 반도체층과, 상기 반도체층위에 형성된 소스전극 및 드레인전극; 및 상기 소스전극 및 드레인전극이 형성된 기관 전체에 걸쳐 적층된 보호층으로 구성되는 박막트랜지스터로 이루어진 구동소자; 및

상기 각 화소내에 실질적으로 평행하게 배치되어 6개의 블록을 형성하며 횡전계를 생성하는 3개의 공통전극 및 2개의 화소전극으로 구성되고, 상기 공통전극은 화소전극의 개수보다 하나 더 구비되며, 상기 3개의 공통전극 및 2개의 화소전극들중 하나의 공통전극과 화소전극 일부가 서로 오버랩되되, 상기 오버랩되는 공통전극은 상기 데이터라인에 인접하여 배열되며, 상기 공통전극 및 화소전극의 오버랩은 축적용량을 형성하는 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

제1항에 있어서,

상기 화소내에 배치되어 공통전극과 전기적으로 접속되는 제1라인; 및

상기 화소내에 배치되어 화소전극과 전기적으로 접속되는 제2라인을 추가로 포함하는 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 9

제8항에 있어서, 상기 제1라인은 공통라인이고 제2라인은 화소전극라인인 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 10

제8항에 있어서, 상기 제1라인과 제2라인은 서로 오버랩되어 축적용량을 생성하는 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 11

삭제

청구항 12

삭제

청구항 13

제1항에 있어서, 상기 공통전극은 절연층 위에 형성되는 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 14

제1항에 있어서, 상기 공통전극은 보호층 위에 형성되는 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 15

제1항에 있어서, 상기 화소전극은 절연층 위에 형성되는 것을 특징으로 하는 횡전계모드 액정표시소자.

청구항 16

제1항에 있어서, 상기 화소전극은 보호층 위에 형성되는 것을 특징으로 하는 횡전계모드 액정표시소자.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <19> 본 발명은 횡전계모드 액정표시소자에 관한 것으로, 특히 화소내에 형성되는 화소전극과 공통전극을 겹치게 형성함으로써 개구율을 대폭 향상시킬 수 있는 횡전계모드 액정표시소자에 관한 것이다.
- <20> 근래, 핸드폰(Mobile Phone), PDA, 노트북컴퓨터와 같은 각종 휴대용 전자기기가 발전함에 따라 이에 적용할 수 있는 경박단소용의 평판표시장치(Flat Panel Display Device)에 대한 요구가 점차 증대되고 있다. 이러한 평판표시장치로는 LCD(Liquid Crystal Display), PDP(Plasma Display Panel), FED(Field Emission Display), VFD(Vacuum Fluorescent Display) 등이 활발히 연구되고 있지만, 양산화 기술, 구동수단의 용이성, 고화질의 구현이라는 이유로 인해 현재에는 액정표시소자(LCD)가 각광을 받고 있다.
- <21> 이러한 액정표시소자는 액정분자의 배열에 따라 다양한 표시모드가 존재하지만, 현재에는 흑백표시가 용이하고 응답속도가 빠르며 구동전압이 낮다는 장점때문에 주로 TN모드의 액정표시소자가 사용되고 있다. 이러한 TN모드 액정표시소자에서는 기판과 수평하게 배향된 액정분자가 전압이 인가될 때 기판과 거의 수직으로 배향된다. 따라서, 액정분자의 굴절율 이방성(refractive anisotropy)에 의해 전압의 인가시 시야각이 좁아진다는 문제가 있었다.
- <22> 이러한 시야각문제를 해결하기 위해, 근래 광시야각특성(wide viewing angle characteristic)을 갖는 각종 모드의 액정표시소자가 제안되고 있지만, 그중에서도 횡전계모드(In Plane Switching Mode)의 액정표시소자가 실제 양산에 적용되어 생산되고 있다. 상기 IPS모드 액정표시소자는 전압을 인가했을 때 평면상의 횡전계를 형성하여 액정분자를 평면상으로 배향함으로써 시야각특성을 향상시킨 것으로, 도 1에 그 기본적인 개념이 도시되어 있다.
- <23> 도 1(a)에 도시된 바와 같이, IPS모드의 액정패널(1)에서는 공통전극(5)과 화소전극(7)이 화소내에 평행하게 배열된다. 화소전극(7)에 전압이 인가되지 않았을 때(신호의 입력이 없을 때) 액정분자(3)는 상기 공통전극(5) 및 화소전극(7)과 실질적으로 평행하게 배치되어 있다. 엄밀하게 얘기하자면, 상기 액정분자(3)는 공통전극(5) 및 화소전극(7)의 연장방향과는 일정한 각도로 배향된다. 액정분자(3)가 공통전극(5) 및 화소전극(7)과 완전히 평행하게 배향되는 경우 액정분자의 회전방향이 일정하게 되지 않게 되므로, 화소전극(7)에 중간계조의 신호가 인가되는 경우 액정층 전체에 걸쳐서 액정분자의 배향이 불균일하게 된다. 따라서, 상기와 같이 실제 액정분자(3)는 공통전극(5) 및 화소전극(7)과 일정한 각도로 배향되어야만 하지만, 도면에서는 설명의 편의를 위해 액정분자(3)가 공통전극(5) 및 화소전극(7)과 평행하게 배향되어 있다.

- <24> 상기와 같이 액정분자(3)가 공통전극(5) 및 화소전극(7)과 실질적으로 평행하게 배향된 액정패널(1)의 화소전극(7)에 도 1(b)에 도시된 바와 같이 전압을 인가하면(즉, 신호를 인가하면), 공통전극(5)과 화소전극(7) 사이에는 액정패널(1)과 실질적으로 평행한 횡전계(9)가 발생하며, 액정분자(3)는 상기 횡전계(9)를 따라 회전하게 된다. 다시 말해서, 전압이 인가되는 경우 액정분자(3)는 횡전계(9)를 따라 동일 평면상에서 회전하게 되며, 그 결과 액정분자(3)의 굴절률 이방성에 의한 계조반전을 방지할 수 있게 된다.
- <25> 도 2는 상기와 같은 IPS모드가 적용된 실제의 액정패널의 구조를 나타내는 것으로, 도 2(a)는 액정패널의 한화소의 구조를 나타내는 도면이고 도 2(b)는 도 2(a)의 A-A'선 단면도이다.
- <26> 도 2(a)에 도시된 바와 같이, 액정패널(1)의 화소는 종횡으로 배치된 데이터라인(10) 및 게이트라인(20)에 의해 정의된다. 도면에는 한화소만을 도시하고 있지만 실제의 액정패널(1)에는 상기한 데이터라인(10)과 게이트라인(20)이 각각 n개 및 m개 배치되어 액정패널(1) 전체에 걸쳐서 $n \times m$ 개의 화소를 형성한다. 상기 화소내의 데이터라인(10)과 게이트라인(20)의 교차영역에는 박막트랜지스터(11)가 형성되어 있다. 상기 박막트랜지스터(11)는 게이트라인(20)으로부터 주사신호가 인가되는 게이트전극(18)과, 상기 게이트전극(18) 위에 형성되어 주사신호가 인가됨에 따라 활성화되어 채널층을 형성하는 반도체층(16)과, 상기 반도체층(16) 위에 형성되어 데이터라인(10)을 통해 화상신호가 인가되는 드레인전극(12) 및 소스전극(14)으로 구성되어 외부로부터 입력되는 화상신호를 액정층(50)에 인가한다.
- <27> 화소내에는 데이터라인(10)과 실질적으로 평행하게 배열된 제1~제3공통전극(5a~5c)과 제1 및 제2화소전극(7a,7b)이 배치되어 있다. 또한, 화소의 중간에는 상기 제1~제3공통전극(5a~5c)과 접촉하는 공통라인(22)과 제1 및 제2화소전극(7a,7b)과 접촉되는 화소전극라인(24)이 배치되어 있다.
- <28> 상기 공통전극(5a~5c)과 화소전극(7a,7b)은 동일 평면에 형성되지 않는다. 도 2(b)에 도시된 바와 같이, 공통전극(5a~5c)은 투명한 유리 등으로 이루어진 하부기판(30) 위에 형성되어 있으며, 화소전극(7a,7b)은 게이트절연층(32) 위에 형성된다. 한편, 공통전극(5a~5c)과 화소전극(7a,7b)은 각각 공통라인(22)과 화소전극라인(24)에 접속되기 때문에, 상기 공통라인(22)과 화소전극라인(24) 역시 하부기판(30) 위와 게이트절연층(32) 위에 각각 형성되는 것이 바람직하다.
- <29> 도면에는 도시하지 않았지만, 박막트랜지스터의 게이트전극(18)은 기판(30) 위에 형성되어 있으며, 반도체층(16)은 게이트절연층(32) 위에 형성되어 있다. 또한, 소스전극(12) 및 드레인전극(14)은 상기 반도체층(16) 위에 형성되어 있다. 화소영역내에 형성되는 공통전극(5a~5c)과 화소전극(7a,7b)은 각각 박막트랜지스터와는 다른 공정에 의해 형성될 수도 있지만, 동일한 공정에 의해 형성되는 것이 바람직하다. 즉, 공통전극(5a~5c)은 박막트랜지스터의 게이트전극(18) 공정시 형성되고 화소전극(7a,7b)은 소스전극(12) 및 드레인전극(14) 공정시 형성됨으로써 전체적인 공정을 신속하게 진행할 수 있게 된다.
- <30> 상기와 같이 구성된 액정패널(1)에서 게이트라인(20)을 통해 박막트랜지스터로 주사신호가 인가되면 상기 박막트랜지스터가 온되어 데이터라인(10)을 통해 화상신호가 화소전극(7a,7b)으로 입력되어 상기 공통전극(5a~5c)과 화소전극(7a,7b) 사이에 기판과 실질적으로 수평한 횡방향의 전계가 발생하게 되며, 상기 전계방향을 따라 액정분자가 회전하게 된다.
- <31> 한편, 화소전극(7a,7b)에 화상신호가 입력되는 경우, 전계는 공통전극(5a~5c)과 화소전극(7a,7b) 사이에서만 발생하는 것이 아니라 화소전극(7a,7b)과 데이터라인(10a,10b) 사이에도 발생하게 된다. 그러나, 화소전극(7a,7b)과 데이터라인(10a,10b) 사이에서 발생하는 전계는 화소내의 전체 횡전계를 왜곡하게 되며 이에 따라 신호인가후의 액정분자가 완전하게 기판과 수평으로 배향되지 않게 되어, 그 결과 수직방향으로의 크로스토크(cross talk)가 발생하게 된다.
- <32> 이러한 문제를 해결하기 위해서, 제1공통전극(5a)과 제3공통전극(5c)을 각각 상기 제1화소전극(7a)과 데이터라인(10a) 사이 및 제2화소전극(7b)과 데이터라인(10b) 사이에 배치하여 데이터라인(10a,10b)으로부터 발생하는 전계를 차단(shielding)해야만 한다. 이 경우, 전계의 효율적인 차단을 위해서는 상기 제1공통전극(5a)과 제3공통전극(5c)을 각각 데이터라인(10a,10b)에 근접하게 배치해야만 한다. 따라서, 상기 제1공통전극(5a)과 데이터라인(10a) 사이의 영역 및 제3공통전극(5c)과 데이터라인(10b) 사이의 영역은 매우 작게 되는데, 실제적으로 이 영역은 액정표시소자의 화상이 표시되지 않는 영역이다.
- <33> 상부기판(40)상에는 화소내의 박막트랜지스터 영역 및 화소와 화소 사이에 광이 누설되는 것을 방지하기 위한 블랙매트릭스(black matrix;42) 및 실제 컬러를 구현하기 위한 컬러필터층(44)이 형성되어 있으며, 상기 하부기판(30)과 상부기판(40) 사이에 액정층(50)이 형성되어 IPS모드의 액정패널이 완성된다. 블랙매트릭스(42)는 도

면에 도시된 바와 같이, 데이터라인(10a,10b) 뿐만 아니라 그 근방의 제1공통전극(5a)과 제3공통전극(5c)까지 연장되어 공통전극(5a,5c)과 데이터라인(10a,10b) 사이의 영역으로 광이 누설되는 것을 방지한다.

<34> 상기와 같은 구조로 이루어진 IPS모드의 액정표시소자는 TN모드의 액정표시소자에 비해 개구율을 갖는다. 그 이유는 TN모드의 액정표시소자에서는 액정층에 신호를 인가하는 화소전극과 공통전극이 모두 투명한 금속인 ITO(Indium Tin Oxide)로 이루어진 반면에 IPS모드의 액정표시소자에서는 공통전극(5a~5c)과 화소전극(7a,7b)이 모두 불투명한 금속(게이트금속 또는 소스금속)으로 이루어지므로 상기 공통전극(5a~5c)과 화소전극(7a,7b)이 형성되는 영역 만큼 개구율이 저하되기 때문이다. 특히, 데이터라인(10a,10b) 근처에 공통전극(5a,5c)을 형성하기 때문에 하나의 화소내에 배치되는 공통전극의 수가 화소전극의 수 보다 많게 되며, 그 결과 개구율이 더욱 저하되는 문제가 있었다.

발명이 이루고자 하는 기술적 과제

<35> 본 발명은 상기한 문제를 해결하기 위한 것으로, 화소내에 배치되는 적어도 하나의 공통전극과 화소전극 일부를 오버랩시켜 광투과영역을 증가시킴으로서 개구율을 향상시킬 수 있는 횡전계모드 액정표시소자를 제공하는 것을 목적으로 한다.

<36> 상기한 목적을 달성하기 위해, 본 발명에 따른 횡전계모드 액정표시소자는 실질적으로 수직으로 배열되어 복수의 화소를 정의하는 복수의 게이트라인 및 데이터라인과, 상기 화소내에 형성된 구동소자와, 상기 화소내에 실질적으로 평행하게 배치된 복수의 공통전극 및 화소전극으로 구성되며, 적어도 하나의 공통전극 및 화소전극이 서로 오버랩되어 화소내의 광투과영역을 증가시키는 것을 특징으로 한다.

<37> 공통전극과 화소전극의 오버랩에 의해 오버랩 영역 만큼 광투과영역이 증가하여 액정표시소자의 개구율이 향상된다. 상기와 같은 오버랩에 의해 광투과영역인 블럭이 감소하는데, 본 발명의 횡전계모드 액정표시소자는 종래의 4블럭 액정표시소자, 6블럭 액정표시소자, 8블럭 액정표시소자 등과 같은 다양한 블럭의 액정표시소자에 적용될 수 있다.

<38> 공통전극과 화소전극의 오버랩 영역에는 축적용량이 생성된다. 따라서 공통라인과 화소전극라인에 의해 생성되는 축적용량을 감소시킬 수 있으며, 그 결과 공통라인과 화소전극라인의 폭을 감소시킬 수 있게 되어 개구율을 더욱 향상시킬 수 있게 된다.

발명의 구성 및 작용

<39> 일반적으로 IPS모드의 액정표시소자에서는 공통전극과 화소전극 사이의 영역으로 광이 투과한다. 이러한 투과영역은 공통전극과 화소전극의 형성 갯수에 따라 달라지는데, 통상적으로 이 투과영역은 블럭으로 표현된다. 예를 들어, 도 2에 도시된 IPS모드 액정표시소자에는 각각 3개의 공통전극과 2개의 화소전극 형성되어 있으며, 광이 투과되는 광투과영역은 4개로 이루어져 있다. 이와 같이, 투과영역이 4개 형성된 IPS모드 액정표시소자를 통상적으로 4블럭 액정표시소자라 칭한다. 이러한 명칭은 단지 설명의 편의를 위해 사용하는 것으로, 액정표시소자의 특정 구조를 한정하기 위한 것은 아니다.

<40> 본 발명의 IPS모드 액정표시소자는 4블럭이나 6블럭 혹은 8블럭 IPS모드 액정표시소자 뿐만 아니라 모든 블럭의 액정표시소자에 적용될 수 있을 것이다. 이하의 설명에서는 특정 블럭의 IPS모드 액정표시소자에 대해 설명하고 있지만, 이것은 설명의 편의를 위한 것으로 본 발명의 IPS모드 액정표시소자의 구조를 한정하는 것은 아니다.

<41> 본 발명에서는 광이 투과하는 투과영역, 각 블럭의 영역을 넓힘으로써 전체적인 IPS모드 액정표시소자의 개구율을 향상시킨다. 특히, 본 발명에서는 공통전극과 화소전극의 일부를 겹치게 형성함으로써 개구율을 향상시킨다. 한편, 상기 공통전극 및 화소전극이 겹치는 영역에는 축적용량(storage capacitance)이 형성된다. 통상적으로 종래의 IPS모드 액정표시소자에서는 공통라인과 화소전극라인을 화소내에 오버랩되도록 배치하여 축적용량을 형성한다. 따라서, 설정된 축적용량을 확보하기 위해서는 공통라인과 화소전극라인이 오버랩되는 영역을 일정 영역 이상으로 해야만 하며, 그 결과 공통라인과 화소전극라인이 일정 폭 이상으로 형성되어야만 한다. 그러나, 본 발명에서는 축적용량의 일부가 공통전극과 화소전극의 겹침에 의해 형성되기 때문에, 공통라인과 화소전극라인이 겹치는 영역을 감소시킬 수 있게 된다. 따라서, 공통라인과 화소전극라인의 폭을 감소시킬 수 있으며, 결국 액정표시소자의 개구율을 더욱 향상시킬 수 있게 된다.

<42> 공통전극과 화소전극의 오버랩에 의해 하나의 블럭이 감소하게 된다. 예를 들어, 4개의 블럭이 형성되는 종래 4블럭 IPS모드 액정표시소자의 경우에는 블럭이 한개 감소하여 3블럭 IPS모드 액정표시소자로 되며, 6개의 블럭

이 형성되는 6블럭 IPS모드 액정표시소자는 5블럭 IPS모드 액정표시소자로 되는 것이다. 상기와 같이, 광투과영역인 블럭이 한개 감소하는 대신에 다른 블럭의 광투과영역은 증가한다. 이때, 광투과영역의 증가분은 감소된 블럭의 광투과영역 뿐만 아니라 공통전극과 화소전극의 오버랩영역까지 포함되기 때문에 액정표시소자 전체적으로 광투과영역이 증가하는 것으로, 결국 개구율이 향상되는 효과를 가져온다.

<43> 이하, 첨부한 도면을 참조하여 본 발명에 따른 IPS모드 액정표시소자를 상세히 설명한다.

<44> 도 3(a)는 본 발명의 제1실시예에 따른 IPS모드 액정표시소자의 단면도이고 도 3(b)는 도 3(a)의 B-B'선 단면도로서, 상기 도면에 도시된 IPS모드 액정표시소자는 4블럭 액정표시소자이다. 실질적으로 본 실시예의 IPS모드 액정표시소자는 도면에 도시된 바와 같이 3블럭 액정표시소자인지만, 설명의 편의를 위해 종래 액정표시소자와 마찬가지로 4블럭 액정표시소자로 칭하기로 한다. 일반적으로 액정표시소자는 복수의 데이터라인(110) 및 게이트라인(120)이 배치되어 복수의 화소를 포함하고 있지만, 상기 도면에서는 설명의 편의를 위해 단지 하나의 화소만을 도시하였다.

<45> 도면에 도시된 바와 같이, 데이터라인(110a)과 게이트라인(120)의 교차점에는 박막트랜지스터(111)가 형성되어 있다. 박막트랜지스터(111)는 게이트라인(120)으로부터 연장된 게이트전극(118)과, 상기 게이트전극(118) 위에 형성된 반도체층(116)과, 상기 데이터라인(110)으로부터 연장되어 반도체층(116) 위에 배치되는 소스전극(112) 및 드레인전극(114)으로 구성된다.

<46> 한편, 화소내에는 3개의 공통전극(105a~105c)과 2개의 화소전극(107a,107b)이 실질적으로 평행하게 배치되어 있다. 상기 제1~제3공통전극(105a~105c)은 화소내에 배치된 공통라인(122)과 접속되어 있으며, 제1 및 제2화소전극(107a,107b)은 화소내에 배치된 화소전극라인(124)과 접속되어 있다.

<47> 도 3(b)에 도시된 바와 같이, 제1~제3공통전극(105a~105c)은 유리와 같은 투명한 물질로 이루어진 제1기판(130) 위에 형성되어 있으며, 제1 및 제2화소전극(107a,107b)은 제1기판(130)에 형성된 게이트절연층(132) 위에 형성되어 있다. 또한, 도면에는 도시하지 않았지만, 상기 제1기판(130) 위에는 박막트랜지스터(111)의 게이트전극(118)이 형성되어 있고 게이트절연층(132) 위에는 반도체층(116)이 형성되어 있으며, 상기 반도체층(134) 위에는 소스전극(112) 및 드레인전극(114)이 형성되어 있다. 상기와 같이, 공통전극(105a~105c)과 게이트전극(118)은 제1기판(130) 위에 형성되는 것으로, Cu, Al, Al합금과 같은 금속을 스퍼터링(sputtering)이나 증착(evaporation)방법에 적층하고 에칭한 단일층 또는 복수의 층으로 형성된다. 물론, 이때, 상기 공통전극(105a~105c)과 게이트전극(118)은 다른 금속으로 이루어질 수도 있지만, 동일한 공정에 의해 동일한 금속으로 이루어지는 것이 바람직하다.

<48> 또한, 화소전극(107a,107b)과 소스전극(112) 및 드레인전극(114)은 각각 반도체층(116) 및 게이트절연층(132) 위에 형성된다. 상기 화소전극(107a,107b)과 소스전극(112) 및 드레인전극(114)은 Cr, Mo, Cu, Al, Al합금 등의 금속을 스퍼터링이나 증착방법에 의해 적층하고 에칭에 의해 에칭된 단일층 또는 복수의 층으로 형성되는 것으로, 동일한 물질을 동일 공정에 적층 및 에칭하여 형성될 수도 있지만 서로 다른 물질을 다른 공정을 통해 형성될 수도 있다.

<49> 한편, 제1기판(130)과 대향하는 제2기판(140)에는 화소와 화소사이 또는 박막트랜지스터 영역으로 광이 누설되는 것을 방지하기 위한 블랙매트릭스(black matrix;142) 및 실제 컬러를 구현하기 위한 컬러필터층(144)이 형성되어 있으며, 상기 제1기판(130)과 제2기판(140) 사이에 액정이 주입되어 액정층(150)이 형성된다. 일반적으로 액정층(150)의 형성은 진공주입법에 의해 합착된 제1기판(130) 및 제2기판(140) 사이에 액정을 주입함으로써 이루어지지만, 상기 제1기판(130) 또는 제2기판(140) 상에 액정을 직접 적하한 후 제1기판(130) 및 제2기판(140)의 합착에 의해 기판 전체에 걸쳐 분포시키는 액정적하방법에 의해 형성할 수도 있다.

<50> 상기한 바와 같은 구조의 4블럭의 IPS모드 액정표시소자는 도면에 도시된 바와 같이 3개의 공통전극(105a~105c)과 2개의 화소전극(107a,107b)이 화소내에 배치되어 있다. 이때, 3개의 공통전극(105a~105c) 중 2개의 공통전극, 즉 제1 및 제3공통전극(105a,105c)은 데이터라인(110a,110b)과 근접하여 배치되어 데이터라인(110a,110b)으로부터의 전계영향을 최소화한다. 특히, 본 발명의 IPS모드 액정표시소자에서는 인접하는 화소의 데이터라인(110b) 근방에 배치되는 제3공통전극(105c)과 제2화소전극(107b)의 일부를 오버랩(overlap)되게 형성한다. 상기 제3공통전극(105c)과 제2화소전극(107b)의 오버랩에 의해 2개의 블럭이 하나로 합쳐져서 종래의 4블럭 액정표시소자가 실질적으로 3블럭 액정표시소자로 변경되며, 해당 오버랩 영역만큼 개구율이 향상된다.

<51> 이러한 공통전극(105c)과 화소전극(107b)의 오버랩은 축적용량을 생성한다. 다시 말해서, 본 발명에서는 공통라인(122)과 화소전극라인(124) 사이 뿐만 아니라 오버랩된 공통전극(105c)과 화소전극(107b) 사이에도 축적용량

이 생성되는 것이다. 따라서, 한 화소에 필요한 축적용량이 특정값으로 설정되어 있기 때문에, 상기 오버랩된 공통전극(105c)과 화소전극(107b) 사이의 축적용량을 차감한 축적용량만이 공통라인(122)과 화소전극라인(124)에 의해 생성되면 된다. 이것은 공통라인(122)과 화소전극라인(124)에 의해 생성되는 축적용량을 감소시킬 수 있다는 것을 의미하는 것으로, 결국 상기 공통라인(122)과 화소전극라인(124)의 폭을 감소시킬 수 있다는 것을 의미하는 것이다. 도 2에 도시된 종래 IPS모드 액정표시소자에서는 공통라인(122)의 폭이 t_1 인 반면에 도 3에 도시된 본 발명의 IPS모드 액정표시소자에서는 공통라인(122)의 폭의 약 t_2 로서, 결국 t_1-t_2 만큼의 폭 감소효과를 얻을 수 있다. 이때, 화소전극라인(124)의 폭 역시 감소할 수 있다. 통상적으로 화소전극라인(124)은 공통라인(122) 보다 작은 폭이나 동일한 폭으로 형성되기 때문에, 화소전극라인(124)이 공통라인(122)과 동일한 폭으로 형성되는 경우 상기 화소전극라인(124)의 폭 역시 감소할 것이다. 이러한 공통라인(및 화소전극라인)의 폭 감소에 의해, 광투과영역이 더욱 확장된다.

<52> 상기한 바와 같이, 본 실시예에서는 공통전극(105c)과 화소전극(107b)의 오버랩에 의해 광투과영역이 확장되므로, 종래의 IPS모드 액정표시소자에 비해 개구율이 향상된다. 이때, 공통전극(105c)과 화소전극(107b)의 오버랩 정도는 특별히 한정되지는 않는다. 통상적으로 데이터라인(110a, 110b) 근방에 배치되는 제1 및 제3공통전극(105a, 105c)은 각각 제1 및 제2화소전극(107a, 107b)과 데이터라인(110a, 110b) 사이에 위치하여 상기 데이터라인(110a, 110b)이 제1 및 제2화소전극(107a, 107b)에 영향을 미치는 것을 방지하기 때문에, 상기 제3공통전극(105c)의 적어도 일부가 제2화소전극(107b)과 데이터라인(110b) 사이에 위치하고 있어야만 한다. 이러한 점을 감안할 때, 상기 공통전극(105c)과 화소전극(107b)은 서로 완전히 오버랩되지 않는 것이 바람직하다. 또한, 상기 공통전극의 수가 화소전극의 수 보다 하나 많게 배열하는 것도 가능할 것이다.

<53> 도 3에서 제1~제3공통전극(105a~105c) 및 공통라인(122)은 기판(130) 위에 형성되고 제1 및 제2화소전극(107a, 107b)과 화소전극라인(124)은 게이트절연층(132) 위에 형성되어 있지만, 본 발명이 이러한 구조에 한정되는 것이 아니다. 도 4는 본 발명의 제2실시예로서 도 3에 도시된 IPS모드 액정표시소자와는 다른 구조로 이루어진 IPS모드 액정표시소자의 구조를 나타내는 도면이다.

<54> 도면에 도시된 바와 같이, 제1~제3공통전극(205a~205c)은 보호층(234) 위에 형성되어 있으며, 제1 및 제2화소전극(207a, 207b) 및 데이터라인(210)은 게이트절연층(232) 위에 형성되어 있다. 도면에는 도시하지 않았지만, 공통라인은 제1기판(230) 위에 형성되거나 보호층(234) 위에 형성되어 있다. 공통라인이 제1기판(230) 위에 형성되는 경우 상기 공통라인은 박막트랜지스터의 게이트전극과 동일한 금속으로 형성되는 것이 바람직하며, 보호층(234) 위에 형성되는 경우에는 상기 공통전극(205a~205c)과 동일한 공정에 의해 동일 금속으로 형성되는 것이 바람직하다. 이때, 공통라인이 공통전극(205a~205c)과 다른 층(즉, 제1기판) 위에 형성되는 경우에는 상기 공통라인과 공통전극(205a~205c)은 게이트절연층(232) 및 보호층(234)에 형성된 콘택홀(도면표시하지 않음)을 통해 전기적으로 연결될 것이다.

<55> 상기 실시예에서도 데이터라인(210b)에 인접한 제3공통전극(205c)과 제2화소전극(207b)이 서로 오버랩되어 광이 투과하는 영역이 확장되며, 그 결과 IPS모드 액정표시소자의 개구율을 향상시킬 수 있게 된다.

<56> 도 5는 본 발명의 제3실시예에 따른 IPS모드 액정표시소자의 구조를 나타내는 도면이다. 도면에 도시된 바와 같이, 이 실시예의 IPS모드 액정표시소자에서는 제1~제3공통전극(305a~305c)이 게이트절연층(332) 위에 형성되어 있으며, 제1 및 제2화소전극(307a, 307b)은 제1기판(330)상에 형성되어 있다. 이때에도, 상기 제3공통전극(305c)과 제2화소전극(307b)은 그 일부가 오버랩되어 있기 때문에, 액정표시소자의 개구율 향상을 실현할 수 있게 된다.

<57> 상기한 제1~3실시예에 따르면, 본 발명의 IPS모드 액정표시소자는 데이터라인에 근접한 공통전극과 화소전극을 오버랩시켜 광투과영역을 확장함으로써 액정표시소자의 개구율을 향상시킬 수 있게 된다. 이때, 도면에 도시된 바와 같이, 공통전극과 화소전극은 제1기판, 게이트절연층, 보호층 위 어디에도 형성될 수 있다. 그런데, 상기 실시예들에서 공통전극과 화소전극의 형성 위치를 특정 위치로 한정하는 것은 본 발명의 일례를 나타내는 것으로서, 본 발명을 한정하는 것은 아니다. 다시 말해서, 본 발명의 공통전극과 화소전극은 가능한 모든 위치(층) 위에 형성될 수 있는 것이다. 또한, 개구율을 더욱 향상시키기 위해 상기 공통전극과 화소전극 중 적어도 하나를 투명금속인 ITO(Indium Tin Oxide)나 IZO(Indium Zinc Oxide)로 형성할 수도 있다.

<58> 한편, 본 발명의 IPS모드 액정표시소자에서는 오버랩되는 공통전극과 화소전극이 특정 공통전극과 화소전극에 한정될 필요는 없다. 즉, 한 화소내에 배치되는 공통전극과 화소전극 중 어떠한 공통전극과 화소전극도 서로 오버랩될 수 있는 것으로, 이러한 공통전극과 화소전극의 오버랩에 의해 IPS모드 액정표시소자의 개구율이 향상되는 것이다. 또한, 본 발명의 IPS모드 액정표시소자에서는 2개 이상의 공통전극과 화소전극을 오버랩시킬 수도

있다. 상기한 구조 및 하기 구조의 액정표시소자에서는 비록 하나의 공통전극과 화소전극만이 오버랩되어 있지만, 이것은 발명의 한예에 불과한 것으로 실질적으로 본 발명에서는 한개 이상의 공통전극과 화소전극이 오버랩될 수 있을 것이다.

<59> 도 6 및 도 7은 본 발명의 제4 및 제5실시예에 따른 IPS모드 액정표시소자의 구조를 나타내는 것으로, 도 6은 제2공통전극(405b)과 제1화소전극(407a)이 오버랩된 구조의 액정표시소자를 나타내는 도면이고 도 7은 제1공통전극(505a)과 제1화소전극(507a)이 오버랩된 구조의 액정표시소자를 나타내는 도면으로서, 상기 도면에 도시된 바와 같이 본 발명의 IPS모드 액정표시소자에서는 가능한 모든 공통전극과 화소전극이 오버랩되어 액정표시소자의 개구율 향상을 실현할 수 있게 된다.

<60> 또한, 본 발명에 따른 IPS모드 액정표시소자는 4블럭(3개의 공통전극과 2개의 화소전극이 형성된) 액정표시소자에만 한정되는 것이 아니라 도 8에 도시된 6블럭(4개의 공통전극과 3개의 화소전극)에도 적용될 수 있다. 이러한 6블럭(실질적으로는 5블럭) IPS모드 액정표시소자에서도 적어도 한개의 공통전극(605d)과 화소전극(607c)이 오버랩되어 화소내에서의 광투과영역이 증가하며 그 결과 액정표시소자의 개구율 향상을 실현할 수 있게 된다.

<61> 상술한 바와 같이, 본 발명의 IPS모드 액정표시소자에서는 화소내에 배열되는 적어도 하나의 공통전극과 화소전극을 서로 오버랩시킴으로써 액정표시소자의 개구율을 향상시킬 수 있게 된다. 상술한 실시예에서는 비록 IPS모드 액정표시소자의 구조를 특정시켜 설명하고 있지만, 본 발명이 특정한 구조의 IPS모드 액정표시소자에 한정되는 것은 아니다. 적어도 하나의 공통전극과 화소전극이 오버랩되어 액정표시소자의 개구율을 향상시킬 수 있다면, 본 발명의 가능한 모든 구조의 IPS모드 액정표시소자에 적용 가능할 것이다.

발명의 효과

<62> 상술한 바와 같이, 본 발명의 IPS모드 액정표시소자에서는 화소내에 배치되는 공통전극과 화소전극중 적어도 하나의 공통전극과 화소전극을 오버랩되도록 형성함으로써 화소내에 광투과영역을 증가시키며 그 결과 액정표시소자의 개구율을 향상시킬 수 있게 된다.

도면의 간단한 설명

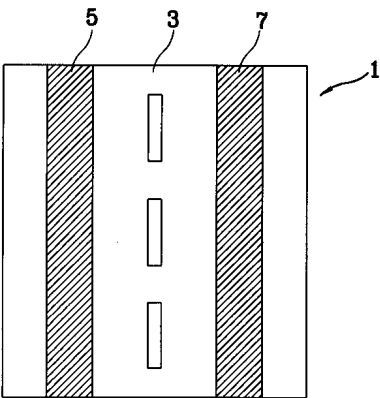
- <1> 도 1은 횡전계모드 액정표시소자의 기본적인 개념을 나타내는 도면.
- <2> 도 2는 종래 횡전계모드 액정표시소자의 구조를 나타내는 도면.
- <3> 도 3은 본 발명의 제1실시예에 따른 횡전계모드 액정표시소자의 구조를 나타내는 도면.
- <4> 도 4는 본 발명의 제2실시예에 따른 횡전계모드 액정표시소자의 구조를 나타내는 도면.
- <5> 도 5는 본 발명의 제3실시예에 따른 횡전계모드 액정표시소자의 구조를 나타내는 도면.
- <6> 도 6은 본 발명의 제4실시예에 따른 횡전계모드 액정표시소자의 구조를 나타내는 도면.
- <7> 도 7은 본 발명의 제5실시예에 따른 횡전계모드 액정표시소자의 구조를 나타내는 도면.
- <8> 도 8은 본 발명의 제6실시예에 따른 횡전계모드 액정표시소자의 구조를 나타내는 도면.

<9> * 도면의 주요 부분에 대한 부호의 설명 *

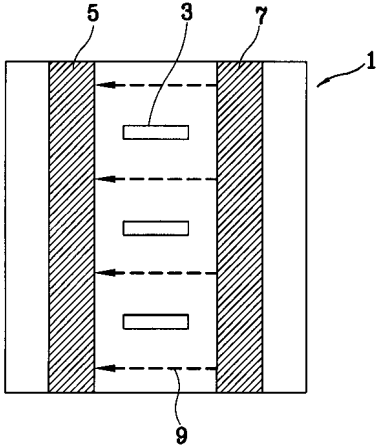
- | | |
|-------------------|---------------|
| <10> 105 : 공통전극 | 107 : 화소전극 |
| <11> 110 : 데이터라인 | 111 : 박막트랜지스터 |
| <12> 112: 소스전극 | 114 : 드레인전극 |
| <13> 116 : 반도체층 | 118 : 게이트전극 |
| <14> 120 : 게이트라인 | 122 : 공통라인 |
| <15> 124 : 화소전극라인 | 130,140 : 기관 |
| <16> 132 : 게이트절연층 | 134 : 보호층 |
| <17> 142 : 블랙매트릭스 | 144 : 컬러필터층 |
| <18> 150 : 액정층 | |

도면

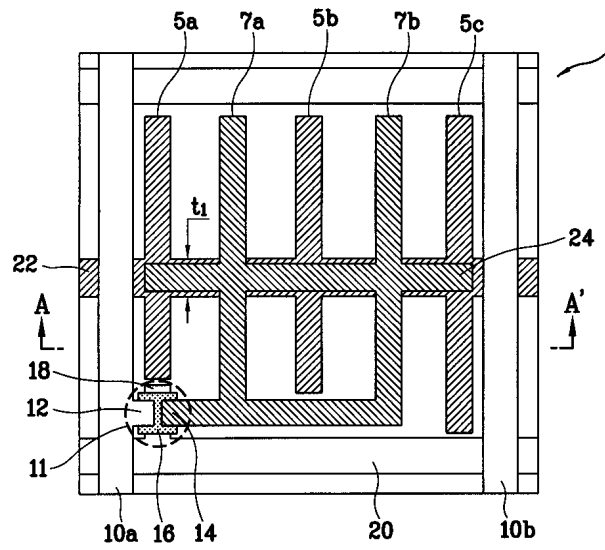
도면1a



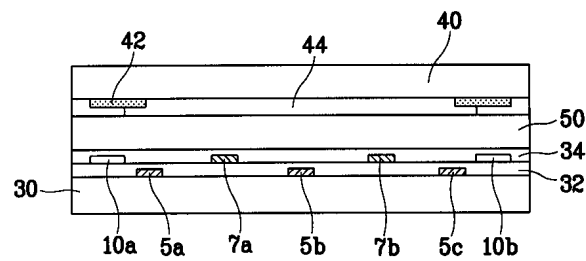
도면1b



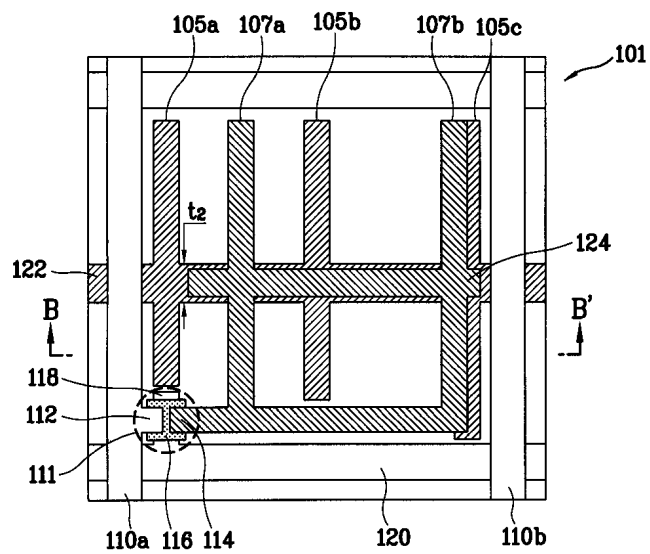
도면2a



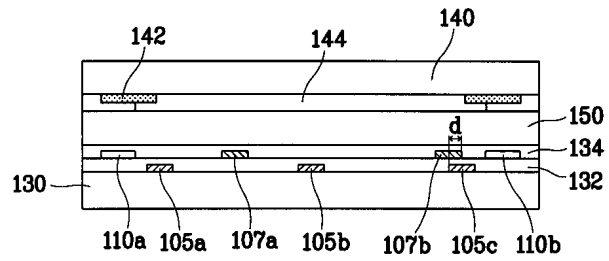
도면2b



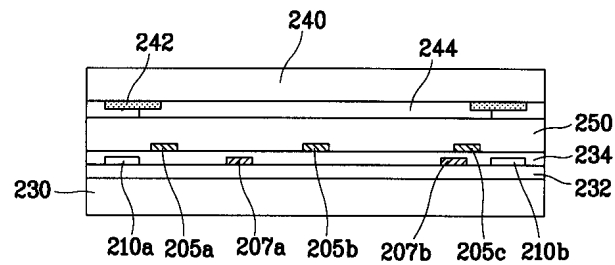
도면3a



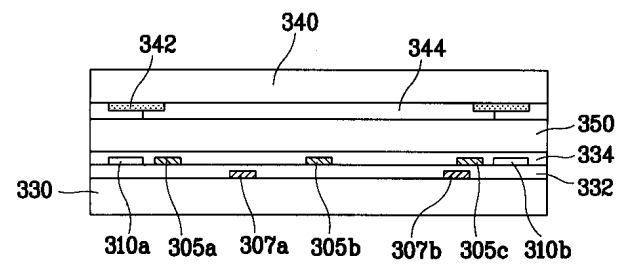
도면3b



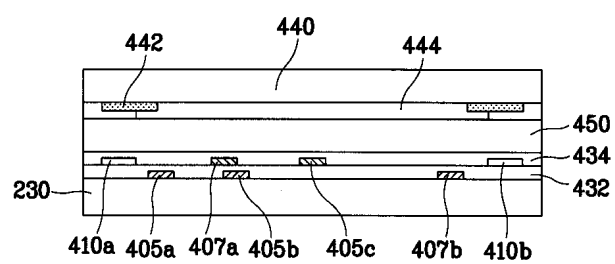
도면4



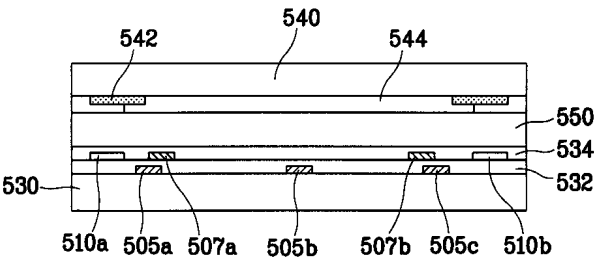
도면5



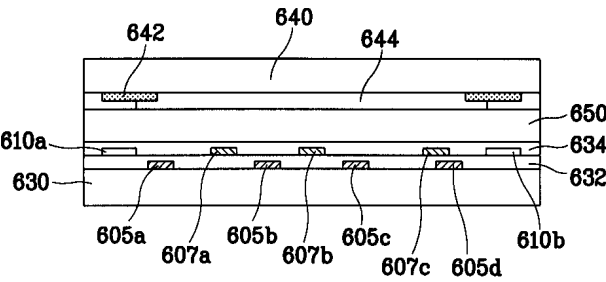
도면6



도면7



도면8



专利名称(译)	横向电场模式液晶显示元件		
公开(公告)号	KR100885841B1	公开(公告)日	2009-02-27
申请号	KR1020020035764	申请日	2002-06-25
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HONG HYUNGKI 홍형기 CHUNG JINYOUL 정진열		
发明人	홍형기 정진열		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/134363 G02F1/136286 G02F1/1368 G02F2201/121 G02F2201/123 H01L29/786		
代理人(译)	PARK , JANG WON		
其他公开文献	KR1020040000811A		
外部链接	Espacenet		

摘要(译)

本发明的横向电场模式液晶显示元件通过将多个公共电极和像素电极中的至少一个的公共电极和像素电极重叠在像素中来增加光透射区域，可以提高液晶显示元件的开口率。

