



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년01월24일
(11) 등록번호 10-0797522
(24) 등록일자 2008년01월17일

(51) Int. Cl.

G02F 1/133 (2006.01)

(21) 출원번호 10-2002-0053634

(22) 출원일자 2002년09월05일

심사청구일자 2006년06월02일

(65) 공개번호 10-2004-0022358

(43) 공개일자 2004년03월12일

(56) 선행기술조사문헌

KR1020020066962 A

(뒷면에 계속)

전체 청구항 수 : 총 7 항

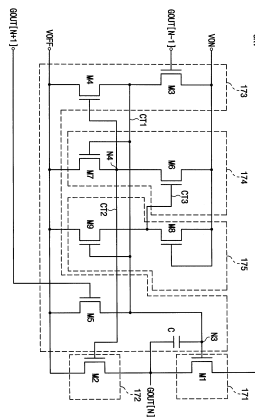
심사관 : 이동윤

(54) 쉬프트 레지스터와 이를 구비하는 액정 표시 장치

(57) 요약

신뢰성 및 수명 문제를 해결하기 위한 쉬프트 레지스터와 이를 구비하는 액정 표시 장치를 개시한다. 쉬프트 레지스터의 홀수번째 스테이지들에는 제1 클럭과, 제1 클럭의 출력을 제거하기 위한 제1 제어신호가 제공되고, 짝수번째 스테이지들에는 제1 클럭에 위상 반전된 제2 클럭과, 제2 클럭의 출력을 제거하기 위한 제2 제어신호가 제공된다. 이때 풀업부는 출력단자에 제1 및 제2 클럭 중 대응되는 클럭을 제공하고, 풀다운부는 출력단자에 제1 전원전압을 제공하며, 풀업구동부는 풀업부의 입력노드에 연결되고, 이전 스테이지의 출력신호의 선단에 응답하여 풀업부를 턴-온시키고, 제1 제어신호 또는 제2 제어신호의 선단에 응답하여 풀업부를 턴-오프시킨다. 또한 제어부는 풀업부의 입력노드에 연결되고, 풀업부의 턴-온에 응답하여 제3 제어신호를 출력하고, 풀다운구동부는 풀다운부의 입력노드에 연결되고, 입력신호의 선단에 응답하여 풀다운부를 턴-오프시키고, 제3 제어신호에 응답하여 풀다운부를 턴-온시킨다.

대표도 - 도13



(56) 선행기술조사문헌

JP14055644 A

KR20000050311 A

KR20000055633 A

KR20020066962 A

특허청구의 범위

청구항 1

복수의 스테이지들이 종속 연결되고, 첫 번째 스테이지에는 개시신호가 입력단자에 결합되고, 각 스테이지들의 출력신호들을 순차적으로 출력하는 쉬프트 레지스터에 있어서,

상기 쉬프트 레지스터의 홀수번째 스테이지들에는 제1 클럭과, 상기 제1 클럭의 출력을 제거하기 위한 제1 제어신호가 제공되고, 짝수번째 스테이지들에는 상기 제1 클럭에 위상 반전된 제2 클럭과, 상기 제2 클럭의 출력을 제거하기 위한 제2 제어신호가 제공되며,

상기 각 스테이지는

출력단자에 상기 제1 및 제2 클럭 중 대응되는 클럭을 제공하는 풀업부;

상기 출력단자에 제1 전원전압을 제공하는 풀다운부;

상기 풀업부의 입력노드에 연결되고, 이전 스테이지의 출력신호의 선단에 응답하여 상기 풀업부를 턴-온시키고, 상기 제1 제어신호 또는 제2 제어신호의 선단에 응답하여 상기 풀업부를 턴-오프시키는 풀업구동부;

상기 풀업부의 입력노드에 연결되고, 상기 풀업부의 턴-온에 응답하여 제3 제어신호를 출력하는 제어부; 및

상기 풀다운부의 입력노드에 연결되고, 입력신호의 선단에 응답하여 상기 풀다운부를 턴-오프시키고, 상기 제3 제어신호에 응답하여 상기 풀다운부를 턴-온시키는 풀다운구동부를 포함하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 2

제1항에 있어서, 상기 풀업구동부는,

상기 풀업부의 입력노드와 상기 출력단자 사이에 연결된 캐패시터;

드레인 및 게이트가 공통되어 상기 입력단자에 연결되고, 소오스가 상기 풀업부의 입력노드에 연결된 제1 트랜지스터;

드레인이 상기 풀업부의 입력노드에 연결되고, 게이트가 상기 풀다운부의 입력노드에 연결되며, 소오스가 제1 전원전압에 연결된 제2 트랜지스터; 및

드레인이 상기 풀업부의 입력노드에 연결되고, 게이트가 상기 제어단자에 연결되며, 소오스가 상기 제1 전원전압에 연결된 제3 트랜지스터를 포함하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 3

제1항에 있어서, 상기 제어부는,

드레인과 게이트가 공통되어 제2 전원전압에 연결된 제4 트랜지스터; 및

드레인이 상기 제4 트랜지스터의 소오스에 연결되고, 게이트가 상기 입력신호에 결합되고, 소오스가 상기 제1 전원전압에 연결된 제5 트랜지스터를 포함하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 4

제3항에 있어서, 상기 제4 트랜지스터와 제5 트랜지스터의 채널폭 비율은 1:1이고, 채널길이 비율은 1:2 이상인 것을 특징으로 하는 쉬프트 레지스터.

청구항 5

제1항에 있어서, 상기 풀다운구동부는,

드레인이 제2 전원전압에 결합되고, 게이트가 다음 스테이지의 출력신호에 결합되고, 소오스가 상기 풀다운부의 입력노드에 결합된 제6 트랜지스터; 및

드레인이 상기 풀다운부의 입력노드에 연결되고, 게이트가 상기 입력신호에 결합되고, 소오스가 제1 전원전압에

연결된 제7 트랜지스터를 포함하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 6

제5항에 있어서, 상기 제6 트랜지스터와 제7 트랜지스터의 채널폭은 1:1인 것을 특징으로 하는 쉬프트 레지스터.

청구항 7

투명기관 상에 형성된 표시 셀 어레이 회로, 데이터 구동회로, 게이트 구동회로를 포함하고, 상기 표시 셀 어레이 회로는 복수의 데이터 라인들과 복수의 게이트 라인을 포함하고, 각 표시 셀회로는 대응하는 데이터 및 게이트 라인 쌍에 연결된 액정표시장치에 있어서,

상기 게이트 구동회로는 복수의 스테이지들이 종속 연결되고, 첫 번째 스테이지에는 개시신호가 입력단자에 결합되고, 각 스테이지들의 출력신호들을 순차적으로 출력하는 쉬프트 레지스터로 구성하고, 상기 쉬프트 레지스터의 홀수번째 스테이지들에는 제1 클럭과, 상기 제1 클럭의 출력을 제거하기 위한 제1 제어신호가 제공되고, 짝수번째 스테이지들에는 상기 제1 클럭에 위상 반전된 제2 클럭과, 상기 제2 클럭의 출력을 제거하기 위한 제2 제어신호가 제공되며,

상기 각 스테이지는,

출력단자에 상기 제1 및 제2 클럭 중 대응되는 클럭을 제공하는 풀업부;

상기 출력단자에 제1 전원전압을 제공하는 풀다운부;

상기 풀업부의 입력노드에 연결되고, 이전 스테이지의 출력신호의 선단에 응답하여 상기 풀업부를 턴-온시키고, 상기 제1 제어신호 또는 제2 제어신호의 선단에 응답하여 상기 풀업부를 턴-오프시키는 풀업구동부;

상기 풀업부의 입력노드에 연결되고, 상기 풀업부의 턴-온에 응답하여 제3 제어신호를 출력하는 제어부; 및

상기 풀다운부의 입력노드에 연결되고, 입력신호의 선단에 응답하여 상기 풀다운부를 턴-오프시키고, 상기 제3 제어신호에 응답하여 상기 풀다운부를 턴-온시키는 풀다운구동부를 포함하는 것을 특징으로 하는 액정 표시 장치.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <26> 본 발명은 쉬프트 레지스터와 이를 구비하는 액정 표시 장치에 관한 것으로, 보다 상세하게는 신뢰성 및 수명 문제를 해결하기 위한 쉬프트 레지스터와 이를 구비하는 액정 표시 장치에 관한 것이다.
- <27> 최근 들어 정보 처리 기기는 다양한 형태, 다양한 기능, 더욱 빨라진 정보 처리 속도를 갖도록 급속하게 발전되고 있다. 이러한 정보처리 장치에서 처리된 정보는 전기적인 신호 형태를 갖는다. 사용자가 정보처리 장치에서 처리된 정보를 육안으로 확인하기 위해서는 인터페이스 역할을 하는 디스플레이 장치를 필요로 한다.
- <28> 최근에 액정 표시 장치가 대표적인 CRT방식의 디스플레이 장치에 비하여, 경량, 소형이면서, 고해상도, 저전력 및 친환경적인 잇점을 가지며 풀 컬러화가 가능하여 차세대 디스플레이 장치로 부각되고 있다.
- <29> 액정 표시 장치는 액정의 특정한 분자배열에 전압을 인가하여 다른 분자배열로 변환시키고, 이러한 분자 배열에 의해 발광하는 액정셀의 복굴절성, 선광성, 2색성 및 광산란특성 등의 광학적 성질의 변화를 시각 변화로 변환하는 것으로, 액정셀에 의한 빛의 변조를 이용한 디스플레이이다.
- <30> 액정 표시 장치는 크게 TN(Twisted Nematic) 방식과 STN(Super-Twisted Nematic)방식으로 나뉘고, 구동방식의 차이로 스위칭 소자 및 TN액정을 이용한 액티브 매트릭스(Active matrix)표시방식과 STN 액정을 이용한 패시브 매트릭스(passive matrix)표시 방식이 있다.
- <31> 이 두 방식의 큰 차이점은 액티브 매트릭스 표시 방식은 TFT-LCD에 사용되며, 이것은 TFT를 스위치로 이용하여

LCD를 구동하는 방식이며, 패시브 매트릭스 표시방식은 트랜지스터를 사용하지 않기 때문에 이와 관련한 복잡한 회로를 필요로 하지 않는다.

- <32> TFT-LCD는 a-Si TFT LCD와, poly-Si TFT LCD로 구분된다. poly-Si TFT LCD는 소비전력이 작고, 가격이 저렴하지만 a-Si TFT와 비교하여 TFT 제조 공정이 복잡한 단점이 있다. 그래서, poly-Si TFT LCD는 IMT-2000 폰의 디스플레이와 같이 소형 디스플레이 장치에 주로 적용된다.
- <33> a-Si TFT LCD는 대면적이 용이하고 수율이 높아서 주로 노트북 PC, LCD 모니터, HDTV 등의 대화면 디스플레이 장치에 적용된다.
- <34> 도 1은 poly-TFT LCD의 TFT 기관의 구성을 나타낸 개략도이고, 도 2는 종래의 a-Si LCD의 TFT 기관의 구성을 나타낸 개략도이다.
- <35> 도 1에 도시한 바와 같이, poly-Si TFT LCD는 픽셀 어레이가 형성된 유리기관(10) 상에 데이터 구동회로(12) 및 게이트 구동회로(14)를 형성하고, 단자부(16)와 통합 인쇄 회로 기관(20)을 필름 케이블(18)로 연결한다. 이와 같은 구조는 제조 원가를 절감하고 구동회로의 일체화로 전력손실을 최소화할 수 있으며, 슬림한 표시장치를 제공할 수 있는 잇점을 갖는다.
- <36> 그러나, 도 2에 도시한 바와 같이, a-Si TFT LCD는 연성 인쇄회로기관(32) 상에 COF(Chip On Film)방식으로 데이터 구동칩(34)을 형성하고, 연성 인쇄 회로 기관(32)을 통하여 데이터 인쇄회로기관(36)과 픽셀 어레이의 데이터 라인 단자부를 연결한다. 또한, 연성 인쇄 회로 기관(38) 상에 상기 COF 방식으로 게이트 구동칩(40)을 형성하고, 연성 인쇄 회로 기관(40)을 통하여 게이트 인쇄 회로 기관(42)과 픽셀 어레이의 게이트 라인 단자부를 연결한다.
- <37> 즉, a-Si TFT LCD에서는 a-Si 공정의 장점인 높은 생산성에도 불구하고, poly Si-TFT LCD에서의 비용 측면과 슬림한 구조 측면에서 불리한 위치에 있다.

발명이 이루고자 하는 기술적 과제

- <38> 이에 본 발명의 기술과 과제는 이러한 종래의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 a-Si TFT 액정 표시 장치의 게이트 구동장치에 채용되어 온도 환경과 인가 전압에 둔감하면서 수명 문제를 해결하기 위한 쉬프트 레지스터를 제공하는 것이다.
- <39> 또한, 본 발명의 다른 목적은 상기한 쉬프트 레지스터를 갖는 액정 표시 장치를 제공하는 것이다.

발명의 구성 및 작용

- <40> 상기한 본 발명의 목적을 실현하기 위한 하나의 특징에 따른 쉬프트 레지스터는, 복수의 스테이지들이 종속 연결되고, 첫 번째 스테이지에는 개시신호가 입력단자에 결합되고, 각 스테이지들의 출력신호들을 순차적으로 출력하는 쉬프트 레지스터에 있어서, 상기 쉬프트 레지스터의 홀수번째 스테이지들에는 제1 클럭과, 상기 제1 클럭의 출력을 제거하기 위한 제1 제어신호가 제공되고, 짝수번째 스테이지들에는 상기 제1 클럭에 위상 반전된 제2 클럭과, 상기 제2 클럭의 출력을 제거하기 위한 제2 제어신호가 제공되며, 상기 각 스테이지는
- <41> 출력단자에 상기 제1 및 제2 클럭 중 대응되는 클럭을 제공하는 풀업부; 상기 출력단자에 제1 전원전압을 제공하는 풀다운부; 상기 풀업부의 입력노드에 연결되고, 이전 스테이지의 출력신호의 선단에 응답하여 상기 풀업부를 턴-온시키고, 상기 제1 제어신호 또는 제2 제어신호의 선단에 응답하여 상기 풀업부를 턴-오프시키는 풀업구동부; 상기 풀업부의 입력노드에 연결되고, 상기 풀업부의 턴-온에 응답하여 제3 제어신호를 출력하는 제어부; 및 상기 풀다운부의 입력노드에 연결되고, 입력신호의 선단에 응답하여 상기 풀다운부를 턴-오프시키고, 상기 제3 제어신호에 응답하여 상기 풀다운부를 턴-온시키는 풀다운구동부를 포함하여 이루어진다.
- <42> 또한, 상기한 본 발명의 목적을 실현하기 위한 하나의 특징에 따른 액정 표시 장치는, 투명기관 상에 형성된 표시 셀 어레이 회로, 데이터 구동회로, 게이트 구동회로를 포함하고, 상기 표시 셀 어레이 회로는 복수의 데이터 라인들과 복수의 게이트 라인을 포함하고, 각 표시 셀회로는 대응하는 데이터 및 게이트 라인 쌍에 연결된 액정 표시장치에 있어서, 상기 게이트 구동회로는 복수의 스테이지들이 종속 연결되고, 첫 번째 스테이지에는 개시신호가 입력단자에 결합되고, 각 스테이지들의 출력신호들을 순차적으로 출력하는 쉬프트 레지스터로 구성하고, 상기 쉬프트 레지스터의 홀수번째 스테이지들에는 제1 클럭과, 상기 제1 클럭의 출력을 제거하기 위한 제1 제어신호가 제공되고, 짝수번째 스테이지들에는 상기 제1 클럭에 위상 반전된 제2 클럭과, 상기 제2 클럭의 출력을

제거하기 위한 제2 제어신호가 제공되며, 상기 각 스테이지는,

- <43> 출력단자에 상기 제1 및 제2 클럭 중 대응되는 클럭을 제공하는 풀업부; 상기 출력단자에 제1 전원전압을 제공하는 풀다운부; 상기 풀업부의 입력노드에 연결되고, 이전 스테이지의 출력신호의 선단에 응답하여 상기 풀업부를 턴-온시키고, 상기 제1 제어신호 또는 제2 제어신호의 선단에 응답하여 상기 풀업부를 턴-오프시키는 풀업구동부; 상기 풀업부의 입력노드에 연결되고, 상기 풀업부의 턴-온에 응답하여 제3 제어신호를 출력하는 제어부; 및 상기 풀다운부의 입력노드에 연결되고, 입력신호의 선단에 응답하여 상기 풀다운부를 턴-오프시키고, 상기 제3 제어신호에 응답하여 상기 풀다운부를 턴-온시키는 풀다운구동부를 포함하여 이루어진다.
- <44> 이하, 첨부한 도면을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.
- <45> 도 3은 본 발명에 의한 a-Si TFT 액정 표시 장치의 분해 사시도를 나타낸다.
- <46> 도 3을 참조하면, 액정 표시장치(100)는 크게 액정표시패널 어셈블리(110), 백라이트 어셈블리(120), 샤시(130) 및 커버(140)를 포함한다.
- <47> 액정표시패널 어셈블리(110)는 액정표시패널(112), 연성 인쇄회로기판(116), 통합 제어 및 데이터 구동칩(118)을 포함한다. 액정표시패널(112)은 TFT 기판(112a)과 칼라필터기판(112b)을 포함한다. TFT 기판(112a)에는 a-Si TFT 공정에 의해 표시셀 어레이 회로, 데이터 구동회로, 게이트 구동회로 및 외부연결단자들이 형성된다. 칼라필터기판(112b)에는 칼라필터 및 투명공통전극들이 형성된다. TFT 기판(112a)과 칼라필터기판(112b)은 서로 대향되고 이들 사이에 액정이 주입된 다음에 봉입된다.
- <48> 연성 인쇄회로기판(116)에 설치된 통합 제어 및 데이터 구동칩(118)과 TFT 기판(112a)의 회로들은 연성 인쇄회로기판(116)에 의해 전기적으로 연결된다. 연성인쇄회로기판(116)은 데이터신호, 데이터 타이밍신호, 게이트 타이밍신호 및 게이트 구동전압들을 TFT 기판(112a)의 데이터 구동회로 및 게이트 구동회로에 제공한다.
- <49> 백라이트 어셈블리(120)는 램프 어셈블리(122), 도광판(124), 광학시트들(126), 반사판(128) 및 몰드 프레임(129)을 포함하여 이루어진다.
- <50> 도 4는 본 발명에 의한 a-Si TFT LCD의 TFT 기판의 구성을 나타낸 도면이다.
- <51> 도 4를 참조하면, 본 발명의 TFT 기판(112a) 위에는 표시 셀 어레이 회로(150), 데이터 구동회로(160), 게이트 구동회로(170), 데이터 구동회로 외부연결단자(162, 163), 게이트 구동회로 외부연결단자부(169)가 TFT 공정시 함께 형성된다.
- <52> 표시 셀 어레이 회로(150)는 컬럼 방향으로 연장된 m 개의 데이터 라인들(DL1~DLm)과 로우방향으로 연장된 n 개의 게이트 라인들(GL1~GLn)을 포함한다.
- <53> 본 발명의 실시예는 2인치 액정표시패널에서 데이터 라인 및 게이트 라인의 수는 525(즉, 176×3)×192 해상도를 가진다.
- <54> 데이터 라인들과 게이트 라인들의 각 교차점들에는 스위칭 트랜지스터(ST)가 형성된다. 스위칭 트랜지스터(STi)의 드레인은 데이터 라인(DLi)에 연결되고, 게이트는 게이트 라인(GLi)에 연결된다. 스위칭 트랜지스터(STi)의 소오스는 투명화소전극(PE)에 연결된다. 투명화소전극(PE)과 칼라필터 기판(112b)에 형성된 투명공통전극(CE)의 사이에 액정(LC)이 위치하게 된다.
- <55> 그러므로, 투명화소전극(PE)과 투명공통전극(CE) 사이에 인가된 전압에 의해 액정배열이 제어되어 통과되는 광량을 제어하여 각 픽셀의 계조 표시를 하게 된다.
- <56> 데이터 구동회로(160)는 쉬프트 레지스터(164)와 528개의 스위칭 트랜지스터들(SWT)을 포함한다. 528개의 스위칭 트랜지스터들(SWT)은 66개씩 8개의 데이터 라인블록(BL1~BL8)을 형성한다.
- <57> 각 데이터 라인블록(BLi)은 66개의 데이터 입력단자로 구성된 외부입력단자(163)에 66개의 입력단자들이 공통으로 연결되고, 대응하는 66개의 데이터 라인들에 66개의 출력단자들이 연결된다. 또한, 쉬프트 레지스터(164)의 8개의 출력단자들 중 대응하는 하나의 출력단자에 블록선택단자가 연결된다.
- <58> 528개의 스위칭 트랜지스터들(SWT) 각각은 대응하는 데이터 라인에 소오스가 연결되고, 66개의 데이터 입력단자들 중 대응하는 입력단자에 드레인이 연결되고, 게이트에 블록선택단자에 연결된 a-Si TFT MOS 트랜지스터로 구성된다.
- <59> 따라서, 528개의 데이터 라인들은 66개씩 8개의 블록으로 분할되고, 쉬프트 레지스터(164)의 8개의 블록선택신

호에 의해 순차적으로 각 블록들이 선택된다.

- <60> 쉬프트 레지스터(164)는 3단자의 외부연결단자(162)를 통하여 제1 클럭(CKH), 제2 클럭(CKHB), 블록선택 개시신호(STH)를 제공받는다. 쉬프트 레지스터(164)의 출력단자들은 각각 대응하는 라인 블록들의 블록선택단자에 연결된다.
- <61> 도 5는 상기 도 4의 데이터 구동회로의 쉬프트 레지스터의 블록도이다.
- <62> 도 5를 참조하면, 본 발명에 의한 쉬프트 레지스터(164)는 9개의 스테이지(SRH1~SRH9)들이 연결된다. 즉, 각 스테이지의 출력단자(OUT)가 다음 스테이지의 입력단자(IN)에 연결된다. 스테이지들의 수는 데이터 라인 블록들에 대응하는 8개의 스테이지(SRH1~SRH8)와 하나의 더미 스테이지(SRH9)로 구성된다. 각 스테이지는 입력단자(IN), 출력단자(OUT), 제어단자(CT), 클럭 입력단자(CK), 제1 전원전압단자(VSS), 제2 전원전압단자(VDD)를 가진다. 8개의 스테이지들(SRH1~SRH8)은 각 데이터 라인 블록들(BL1~BL8)의 블록선택단자에 블록선택 개시신호(DE1~DE8)들을 각각 제공한다. 블록선택 개시신호는 각 라인 블록들의 인에이블 신호이다.
- <63> 홀수번째 스테이지들(SRH1, SRH3, SRH5, SRH7, SRH9)에는 제1 클럭(CKH)이 제공되고, 짝수번째 스테이지들(SRH2, SRH4, SRH6, SRH8)에는 제2 클럭(CKHB)이 제공된다. 제1 클럭(CKH)과 제2 클럭(CKHB)은 서로 반대되는 위상을 가진다. 클럭 CKH, CKHB의 듀티 기간은 1/66ms 이하로 한다.
- <64> 각 스테이지들의 각 제어단자(CT)에는 다음 스테이지의 출력신호가 제어신호로 제어단자(CT)에 입력된다. 즉, 제어단자(CT)에 입력되는 제어신호는 자신의 출력신호의 듀티 기간만큼 지연된 신호가 된다.
- <65> 따라서, 각 스테이지의 출력신호들이 순차적으로 액티브 구간(즉, 하이상태)을 가지고 발생되므로, 각 출력신호의 액티브 구간에서 대응되는 데이터 라인 블록들이 선택되어 인에이블되게 된다.
- <66> 더미 스테이지(SRH9)는 이전 스테이지(SRH8)의 제어단자(CT)에 제어신호를 제공하기 위한 것이다.
- <67> 도 6은 상기 도 4의 게이트 구동회로에 채용되는 쉬프트 레지스터를 설명하기 위한 블록도이다.
- <68> 도 6을 참조하면, 상기 도 4의 게이트 구동회로(170)는 하나의 쉬프트 레지스터로 구성되고, 상기 쉬프트 레지스터는 복수의 스테이지들(SRC1~SRC193)이 연결된다. 즉, 각 스테이지의 출력단자(OUT)가 다음 스테이지의 입력단자(IN)에 연결된다. 스테이지들은 게이트 라인들에 대응하는 192개의 스테이지들(SRC1~SRC192)과 하나의 더미 스테이지(SRC193)로 구성된다. 각 스테이지는 입력단자(IN), 출력단자(OUT), 제어단자(CT), 클럭 입력단자(CK), 제1 전원전압단자(VSS), 제2 전원전압단자(VDD)를 가진다.
- <69> 첫 번째 스테이지(SRC1)의 입력단자(IN)에는 스캔개시신호(STV)가 입력된다. 여기서 스캔개시신호(STV)는 수직 동기신호(Vsync)에 동기된 펄스이다.
- <70> 각 스테이지의 출력신호(GOUT1~GOUT192)는 대응되는 각 게이트 라인에 연결된다. 홀수번째 스테이지들(SRC1, SRC3, ...)에는 제1 클럭(CKV)이 제공되고, 짝수번째 스테이지들(SRC2, SRC4, ...)에는 제2 클럭(CKVB)이 제공된다. 여기서, 제1 클럭(CKV)과 제2 클럭(CKVB)은 서로 반대되는 위상을 가진다. 또한 제1 클럭(CKV)과 제2 클럭(CKVB)의 듀티 기간은 16.6/192ms의 기간이 될 것이다.
- <71> 각 스테이지(SRC1, SRC2, SRC3, ...)의 각 제어단자(CT)에는 다음 스테이지(SRC2, SRC3, SRC4, ...)의 출력신호(GOUT2, GOUT3, GOUT4)가 제어신호로 제어단자(CT)에 입력된다. 즉, 제어단자(CT)에 입력되는 제어신호는 자신의 출력신호의 듀티 기간만큼 지연된 신호가 된다.
- <72> 따라서, 각 스테이지의 출력신호들이 순차적으로 액티브 구간(하이상태)을 가지고 발생되므로, 각 출력신호의 액티브 구간에서 대응되는 수평라인이 선택되게 된다.
- <73> 도 7은 본 발명의 일 실시예에 따른 쉬프트 레지스터의 각 스테이지의 구성을 설명하기 위한 도면으로, 특히, 상기 도 6에 도시한 쉬프트 레지스터의 각 스테이지의 구체적인 회로 구성을 나타낸 것이다. 도 8은 상기 도 7에 의한 출력 파형도이다.
- <74> 도 7을 참조하면, 본 발명의 일 실시예에 따른 쉬프트 레지스터(170)의 각 스테이지는 풀업부(171), 풀다운부(172), 풀업구동부(173) 및 풀다운구동부(174)를 포함한다.
- <75> 풀업부(171)는 파워 클럭 입력단자(CKV)에 드레인이 연결되고, 제3 노드(N3)에 게이트가 연결되고, 출력단자(GOUT[N])에 소오스가 연결된 제1 NMOS 트랜지스터(M1)로 구성된다.
- <76> 풀다운부(172)는 출력단자(GOUT[N])에 드레인이 연결되고, 제4 노드(N4)에 게이트가 연결되고, 소오스가 제1 전

원전압(VSS)에 연결된 제2 NMOS 트랜지스터(M2)로 구성된다.

- <77> 풀업구동부(173)는 캐패시터(C), 제3 내지 제5 NMOS 트랜지스터(M3~M5)로 구성된다. 캐패시터(C)는 제3 노드(N3)와 출력단자(GOUT[N]) 사이에 연결된다. 제3 트랜지스터(M3)는 드레인이 제2 전원 전압(VON)에 연결되고, 게이트가 입력단자(IN), 즉 이전 스테이지의 출력 신호(GOUT[N-1])에 연결되며, 소오스가 제3 노드(N3)에 연결된다. 제4 트랜지스터(M4)는 드레인이 제3 노드(N3)에 연결되고, 게이트가 제4 노드(N4)에 연결되며, 소오스가 제1 전원전압(VOFF)에 연결된다. 제5 트랜지스터(M5)는 드레인이 제3 노드(N3)에 연결되고, 게이트가 제4 노드(N4)에 연결되며, 소오스가 제1 전원전압(VOFF)에 연결된다. 이때, 제3 트랜지스터(M3)의 사이즈는 제5 트랜지스터(M5)의 사이즈보다 2배정도 크게 형성된다.
- <78> 풀다운구동부(174)는 제6 및 제7 NMOS 트랜지스터들(M6, M7)로 구성된다. 제6 트랜지스터(M6)는 드레인과 게이트가 공통되어 제2 전원전압(VON)에 연결되고, 소오스가 제4 노드(N4)에 연결된다. 제7 트랜지스터(M7)는 드레인이 제4 노드(N4)에 연결되고, 게이트가 제3 노드(N3)에 연결되며, 소오스가 제1 전원전압(VOFF)에 연결된다. 이때, 제6 트랜지스터(M6)의 사이즈는 제7 트랜지스터(M7)의 사이즈보다 16배정도 크게 형성된다.
- <79> 도 8에 도시한 바와 같이, 제1 및 제2 파워 클럭(CKV, CKVB)과 스캔개시신호(ST)가 쉬프트 레지스터에 공급되면, 첫 번째 스테이지(SRC1)에서는 스캔개시신호(ST)의 선단에 응답하여 제1 파워 클럭(CKV)의 하이레벨 구간을 소정 시간(Tdr1) 지연시켜서 출력단자(OUT)에 출력신호(GOUT1)로 발생한다.
- <80> 이상에서 설명한 바와 같이, 어레이 기판이 배치되는 글라스상의 쉬프트 레지스터에는 스캔개시신호(STV)와 함께 제1 및 제2 파워 클럭(CKV, CKVB)이 공급되어 게이트 구동 회로로서 동작을 수행한다.
- <81> 도 9는 상기 도 6에 의한 구동 파형을 설명하기 위한 파형도이다.
- <82> 도 9를 참조하면, 상기 쉬프트 레지스터는 입력되는 2H를 1주기로 하여 제1 파워 클럭(CKV) 또는 상기 제1 파워 클럭(CKV)에 위상이 반전하는 제2 파워 클럭(CKVB) 중 어느 하나를 인가받아 복수의 게이트 신호(GOUT1, GOUT2, GOUT3, ...)를 TFT-LCD 게이트 라인에 순차적으로 출력한다. 이때 상기 제1 및 제2 파워 클럭(CKV, CKVB)은 a-TFT를 구동하기 위해 타이밍 컨트롤러(미도시)의 출력인 0 내지 3V 진폭의 신호를, 예를 들어, -8 내지 24V 진폭의 신호로 증폭된 신호이다.
- <83> 하지만, 상기 쉬프트 레지스터를 게이트 구동회로로 이용하는 경우에는 $525(176 \times 3) \times 192$ 해상도를 갖는 액정 표시패널에 대해서 설명한 바와 같이, 소형 또는 중소형 화면에는 적합하나 고해상도를 갖는 대화면에는 적합하지 않다.
- <84> 왜냐하면, 대화면에 해당하는 게이트 라인을 감당하기 위해서는 풀업/풀다운 기능을 수행하는 각 트랜지스터(M1/M2) 크기를 증가시켜야하나, 쉬프트 레지스터를 일정 공간에 집적하여 설계하기에는 부담스러운 크기가 된다.
- <85> 따라서, 게이트 라인을 충분히 구동하지 못하는 풀업/풀다운 트랜지스터(M1/M2)의 크기와 아몰퍼스 특성상 온도 및 공정적으로 TFT의 임계 전압(V_{th}) 변화가 다결정 실리콘(POLY-Si) 또는 단결정 실리콘 소자에 비해 무척 커서 신뢰성 및 수율에 문제가 된다.
- <86> 그러면, 상기 도 7에 도시한 바와 같이, 상기 아몰퍼스-실리콘(a-Si) 타입 TFT를 이용하여 액정 표시 장치의 게이트 드라이버용 쉬프트 레지스터를 구현할 때 발생하는 신뢰성 문제에 대해서 설명한다.
- <87> 상기 도 7을 참조하면, 항상 턴-온 상태가 되는 제6 트랜지스터(M6)와 CT1 전압에 응답하여 온/오프 동작을 수행하는 제7 트랜지스터(M7)로 구성되는 인버터(174)는 제7 트랜지스터(M7)가 턴-오프이면 CT2 전압은 하기하는 수학적 식 1과 같다.

수학적 식 1

<88>
$$CT2_{high} = VON - V_{th(M6)}$$

- <89> 한편, 제7 트랜지스터(M7)가 턴-온이면 상기 CT2 전압은 하기하는 수학적 식 2와 같이, 인버터 기능을 하는 두 트랜지스터(M6, M7)의 턴-온시의 저항비에 의해 결정된다.

수학식 2

$$CT2_{low} = VON - V_{th}(M6) - V_{OFF} \cdot \frac{Ron(M7)}{Ron(M7) + Ron(M6)} + V_{OFF}$$

<90>

<91>

상기 CT2 전압은 상기 도 7에서 볼 수 있듯이 제2 트랜지스터(M2) 및 제4 트랜지스터(M4)를 컨트롤하는 전압이므로 CT2_{low} 전위가 충분히 낮지 않으면 두 트랜지스터(M2, M4)의 턴-오프 동작에 문제를 발생시켜 쉬프트 레지스터의 회로 전체에 심각한 오동작을 유발시키게 된다.

<92>

따라서, 상기 수학식 2에서 Ron(M7)/Ron(M6) 비는 충분히 작아야 하고 제2 트랜지스터(M2) 및 제4 트랜지스터(M4)를 턴-오프시키는 각 트랜지스터의 게이트 전압인 CT2_{low} 전압과 소오스 전압인 제1 전원전압(V_{OFF}) 간의 전압차가 하기하는 수학식 3에 기재한 바와 같이, 트랜지스터의 문턱전압(V_{th}) 보다 낮아야 하고, 이를 다시 정리하면 하기하는 수학식 4와 같다.

수학식 3

$$CT2_{low} - V_{OFF} \leq V_{th} = V_{th}(M6) = V_{th}(M1) = V_{th}(M7)$$

<93>

수학식 4

$$CT2_{low} - V_{OFF} = (VON - V_{th} - V_{OFF}) \cdot \frac{Ron(M7)}{Ron(M7) + Ron(M6)} \leq V_{th}$$

<94>

<95>

상기 수학식 4를 다시 정리하면, 제7 트랜지스터(M7)와 제6 트랜지스터(M6)의 턴-온시의 저항비(Ron(M7)/Ron(M6))는 하기하는 수학식 5와 같다.

수학식 5

$$\frac{Ron(M7)}{Ron(M6)} \leq \frac{V_{th}}{(VON - 2 \cdot V_{th} - V_{OFF})}$$

<96>

<97>

예를들어, a-Si TFT LCD에서 많이 사용하는 VON=22V, V_{OFF}=-7V, 그리고 TFT의 문턱전압(V_{th})을 1.7V라고 하면 제7 트랜지스터(M7)와 제6 트랜지스터(M6)의 턴-온시의 저항비(Ron(M7)/Ron(M6))는 하기하는 수학식 6과 같다.

수학식 6

$$\frac{Ron(M7)}{Ron(M6)} \leq \frac{1.7}{[22 - 2 \cdot 1.7 - (-7)]} \approx \frac{1}{15}$$

<98>

<99>

상기 수학식 6에서 기재한 바와 같이, 인버터 기능을 수행하는 풀다운구동부(174)에 구비되는 제7 트랜지스터(M7)와 제6 트랜지스터(M6)와의 턴-온시 저항비(Ron(M7)/Ron(M6))가 대략 1:15 보다 작은 트랜지스터의 조합으로 구성되어야 한다.

<100>

상기 수학식 6에서 제7 트랜지스터(M7)의 턴-온시 게이트-소오스간 전압(V_{gs7})인 VON-V_{OFF}일 때, CT2_{low}가 V_{th}+V_{OFF}가 되고, 이때 제6 트랜지스터(M6)의 게이트-소오스간 전압(V_{gs6})은 VON-(V_{th}+V_{OFF})이므로 충분히 큰 VON-V_{OFF} 값에 대해 문턱전압(V_{th})을 무시할 수 있어 V_{gs7}≒V_{gs6}으로 정의할 수 있다.

<101>

이러한 경우에 풀다운구동부(174)에 구비되는 트랜지스터들의 채널길이(L)가 같다고 할 때, 제7 트랜지스터(M7)의 채널폭 W(M7)와 제6 트랜지스터(M6)의 채널폭 W(M6)의 비가 15:1 이상이면 상기 수학식 6의 조건을 만족시킬 수 있다.

<102>

한편, 실제적인 TFT-LCD 모듈에서는 TFT의 사이즈나 제1 전원전압(V_{OFF}) 및 제2 전원전압(VON)은 하드웨어적으로 고정이다. 이러한 상황에서 상기 도 7에 도시한 a-Si TFT 액정 표시 장치에 채용되는 게이트 드라이버용 쉬프트 레지스터의 인버터에는 신뢰성 문제가 발생한다.

<103>

즉, 상기 도 7에 도시한 게이트 드라이버용 쉬프트 레지스터는 동작시 온도 환경과 인가 전압에 민감하다는 문제점이 있고, 수명이 매우 짧은다는 문제점이 있다.

- <104> 통상적으로 온도와 TFT의 문턱 전압은 반비례 관계에 있다.
- <105> 도 10은 상기 도 7의 풀다운구동부, 즉 인버터에 구비되는 트랜지스터의 비율과 문턱 전압과의 관계를 설명하기 위한 도면이다. 특히, 상기 수학적 식 6에 의해 설계된 a-Si TFT로 만들어지는 게이트 드라이버용 쉬프트 레지스터의 인버터에서 문턱 전압에 따라 필요한 제7 트랜지스터(M7)와 제6 트랜지스터(M6)의 턴-온시의 저항비($R_{on}(M7)/R_{on}(M6)$)를 계산한 결과를 나타낸 도면이다.
- <106> 도 10을 참조하면, $R_{on}(M7)/R_{on}(M6)=1/15$ (≈ 0.067) 보다 작은 비율이 요구되는 문턱전압 조건에서는 제2 트랜지스터(M2)와 제4 트랜지스터(M4)를 충분히 턴-오프 시켜주지 못하기 때문에 상기 도 7에 도시한 쉬프트 레지스터는 오동작이 유발되게 된다.
- <107> 그리고, 발생 회로 구조상 산포가 큰 제1 전원전압(VOFF) 및 제2 전원전압(VON) 환경에 민감하므로 상기 제1 전원전압(VOFF) 및 제2 전원전압(VON)이 조금만 변해도 오동작이 발생할 수 있다.
- <108> 도 11은 제2 전원전압(VON)이 증가할 때 요구되는 저항비를 나타낸 도면이다.
- <109> 도 11을 참조하면, REQUEST Max Ratio 2 파형은 VON 전압이 22[V]에서 24[V]로 증가되는 경우, 요구되는 저항비로서 22[V]시보다 하향 쉬프트된 커브를 보임으로써 동일한 문턱전압 조건에서도 인가전압에 따라 오동작이 발생할 수 있는 가능성을 보여주고 있다. 즉, 도 7에 도시한 기술로 구현되는 쉬프트 레지스터는 온도 및 전압 환경적인 신뢰성에 문제가 있다.
- <110> 한편, 상기 도 7에 도시한 본 발명의 일 실시예에 따라 구현되는 쉬프트 레지스터의 다른 문제는 수명문제이다. 즉, 제7 트랜지스터(M7)와 제6 트랜지스터(M6)의 턴-온시의 저항비($R_{on}(M7)/R_{on}(M6)$)가 일정 비, 즉 1/15 이하로 설계되어야 하는 인버터에 있어서, 항상 턴-온 상태로 있는 제6 트랜지스터(M6)에 비해 온/오프 동작을 수행하는 제7 트랜지스터(M7)가 15배 이상 커야 한다는 회로 구조에서 발생하는 현상이다.
- <111> 상기 신뢰성 문제는 두 트랜지스터(M7, M6)의 크기 차이가 클수록 문제는 더욱 심각하고, 동작 온도 환경이 높을수록 문제 발생 확률이 높아진다.
- <112> 상기 현상은 도 7의 회로구조상, 항상 턴-온 상태로 있는 제6 트랜지스터(M6)의 부하로서의 제7 트랜지스터(M7)에 의해 전류량이 결정되기 때문이다. 따라서 제6 트랜지스터(M6)는 제7 트랜지스터(M7)의 턴-오프시의 누설 전류가 흐르게 된다.
- <113> 즉, 한 프레임인 16.7msec 중 XGA 경우 50us 정도 짧은 시간 동안에 전류가 흐르는 경우에는 수명 문제가 거의 발생하지 않는다. 하지만 항상 전류가 흐르는 경우는 TFT의 열화 과정이 발생되는데 두 트랜지스터의 사이즈 차이가 커야하는 도 7의 회로 구조에서는 당연히 트랜지스터의 수명 저하 상황이 발생된다.
- <114> 하기하는 표 1은 동일한 전압 조건에서 상기 제7 트랜지스터(M7)와 제6 트랜지스터(M6)의 채널폭이 $W(M7):W(M6)=15:1$ 의 비율을 갖는 경우, 상기 제7 트랜지스터(M7)와 제6 트랜지스터(M6)의 단위 채널폭(1um) 당 흐르는 전류를 온도 조건별로 비교한 것이다.

표 1

	M7	M6
채널폭 비율	15	1
25℃	0.08nA	5.78nA
60℃	1.02nA	33nA

- <116> 다른 트랜지스터들도 제7 트랜지스터(M7)와 비슷한 전류량을 보이며, 제6 트랜지스터(M6)만 상온 동작시 60배, 고온동작시 30배 이상의 큰 전류량을 보인다. 이러한 현상은 인버터 기능을 수행하는 풀다운구동부(174)의 동작 마진을 좋게 하기 위해 제7 트랜지스터(M7) 크기를 키우면 더욱 심해진다.
- <117> 특히, 고온 동작시 트랜지스터의 단위 채널폭당 흐르는 전류량은 일반적인 픽셀 사이즈인 30um 폭으로 환산하면 0.99uA 수준으로 거의 턴-온 상태이다.
- <118> 이처럼 TFT에 항상 턴-온 수준의 전류가 흐르게 되면 아몰퍼스 박막 특성이 감쇄(Degradation)되어 전류 구동 능력이 매우 떨어지고 이에 따라 문턱전압이 매우 높아지게 된다. 이러한 상황은 상기 수학적 식 1에 표기한 바와 같이 $CT2_{high}$ 전압이 낮아지는 결과를 초래하고, 결국에는 제2 트랜지스터(M2)와 제4 트랜지스터(M4)를 턴-온

시키기에 불충분한 전압이 되어 상기 도 7에 도시한 기술로 구현되는 a-Si TFT로 만들어지는 게이트 드라이버용 쉬프트 레지스터는 오동작을 일으키게 된다.

- <119> 도 12a는 제6 트랜지스터(M6)가 정상일 때 출력 파형을 설명하기 위한 시뮬레이션 파형도이고, 도 12b는 제6 트랜지스터(M6)가 열화되었을 때 출력 파형을 설명하기 위한 시뮬레이션 파형도이다.
- <120> 먼저, 도 12a에 도시한 바와 같이, 제6 트랜지스터(M6)가 정상일 때에는 인버터 기능을 수행하는 풀다운구동부(174)의 출력 전압(V_{CT2})은 풀다운부(174)의 제2 트랜지스터(M2)나 풀업구동부(173)의 제4 트랜지스터(M4)를 턴-온시키기에 충분하므로 쉬프트 레지스터로부터 출력되는 파형은 정상적이다.
- <121> 하지만, 도 12b에 도시한 바와 같이, 제6 트랜지스터(M6)에 열화가 발생되면 제6 트랜지스터(M6)의 문턱 전압이 높아지고, 이에 따라 풀다운구동부(174)의 출력 전압(V_{CT2})은 오동작을 일으켜 쉬프트 레지스터로부터 출력되는 파형은 비정상적임을 확인할 수 있다.
- <122> 즉, 풀다운구동부(174)의 출력 전압(V_{CT2})은 풀다운부(174)의 제2 트랜지스터(M2)나 풀업구동부(173)의 제4 트랜지스터(M4)를 턴-온시키기에는 불충분한 전압이 되므로 전단 캐리를 받아들이지 못하고, 게이트 오프 전압인 제1 전원전압(VOFF)을 액정 표시 패널의 게이트 라인에 정상적으로 인가하지 못하는 상황이 발생된다.
- <123> 이러한 비정상적인 파형들은 결국 상기 액정 표시 패널에 구비되는 스위칭 소자를 정상적으로 턴-온시키지 못하게 되어 정상적인 화면을 디스플레이하지 못하는 요인이 된다.
- <124> 이상에서 설명한 바와 같이, 본 발명의 일 실시예에 따라 구현되는 상기 도 7에 도시한 게이트 드라이버용 쉬프트 레지스터는 상기 신뢰성 문제들로 인해 원하나 구조적인 장점에도 불구하고 실제 적용이 어려웠다.
- <125> 이에 본 발명의 다른 실시예에서는 a-Si TFT로 만들어지는 게이트 드라이버용 트랜지스터의 신뢰성 문제와 수명 문제를 해결하기 위한 게이트 드라이버용 쉬프트 레지스터를 제공한다.
- <126> 도 13은 본 발명의 다른 실시예에 따른 쉬프트 레지스터의 각 스테이지의 구성을 설명하기 위한 도면으로, 특히 상기 도 6에 도시된 쉬프트 레지스터의 각 스테이지의 구체적인 회로 구성을 나타낸 것이다.
- <127> 도 13을 참조하면, 본 발명의 다른 실시예에 따른 쉬프트 레지스터(170)의 각 스테이지는 풀업부(171), 풀다운부(172), 풀업구동부(173), 제어부(175) 및 풀다운구동부(174)를 포함한다. 여기서, 상기 도 7과 비교할 때 동일한 구성 요소에 대해서는 동일한 도면 번호를 부여하고, 그 상세한 설명은 생략한다.
- <128> 제어부(175)는 제1 인버터로서, 제8 및 제9 NMOS 트랜지스터(M8, M9)로 구성되어, 풀업부(171)의 입력노드(N3)에 연결되고, 풀업부(171)의 턴-온에 응답하여 제3 제어 신호(CT3)를 풀다운구동부(174)에 출력한다.
- <129> 여기서, 제8 트랜지스터(M8)는 드레인과 게이트가 공통되어 제2 전원전압(VON)에 연결되고, 소오스가 제6 트랜지스터(M6)의 게이트에 연결된다. 또한, 제9 트랜지스터(M9)는 드레인이 제8 트랜지스터(M8)의 소오스에 연결되고, 게이트가 제3 노드(N3)에 연결되며, 소오스가 제1 전원전압(VOFF)에 연결된다. 이때 제9 트랜지스터(M9)의 사이즈는 제8 트랜지스터(M8)의 사이즈보다 2배정도 크도록 형성된다. 즉, 제8 트랜지스터(M8)와 제9 트랜지스터(M9)의 채널폭(W)을 1:1로 할 때, 채널 길이(L)는 1:2 인 것이 바람직하다.
- <130> 풀다운구동부(174)는 상기 제1 인버터의 동작을 제어하는 제2 인버터로서, 제6 및 제7 NMOS 트랜지스터(M6, M7)로 구성되어, 풀다운부(172)의 입력노드(N4)에 연결되고, 상기 입력신호의 선단에 응답하여 풀다운부(172)를 턴-오프시키고, 제3 제어신호(CT3)에 응답하여 풀다운부(172)를 턴-온시킨다.

여기서, 제6 트랜지스터(M6)는 드레인이 제2 전원전압(VON)에 연결되고, 소오스가 제4 노드(N4)에 연결된다. 또한, 제7 트랜지스터(M7)는 드레인이 제4 노드(N4)에 연결되고, 게이트가 제3 노드(N3)에 연결되며, 소오스가 제1 전원전압(VOFF)에 연결된다. 이때, 제6 트랜지스터(M6)의 사이즈는 제7 트랜지스터(M7)의 사이즈와 동일하도록 형성된다. 즉, 제6 트랜지스터의 채널폭(W)과 제7 트랜지스터의 채널폭(W)은 1:1인 것이 바람직하다.
- <131> 삭제
- <132> 이상에서 설명한 바와 같이, nMOS 트랜지스터로 구현될 수밖에 없는 a-Si TFT의 인버터 회로 구조상 상기 도 7에서 도시된 다이오드 구조의 제6 트랜지스터(M6)를 상기 도 13에 도시된 바와 같이 스위칭 구조로 변경하고, 상기 제6 트랜지스터(M6)를 제어하는 별도의 인버터를 구성하므로써, a-Si TFT로 만들어지는 게이트 드라이버용

쉬프트 레지스터를 구성할 수 있다.

<133> 그러면, 상기 도 13에 의한 쉬프트 레지스터에 대해서 다양한 수학적식들을 이용하여 보다 상세히 설명한다.

<134> 먼저, 제8 트랜지스터(M8)와 제9 트랜지스터(M9)로 구성되는 제어부(175)를 제1 인버터로 하고, 제6 트랜지스터(M6)와 제7 트랜지스터(M7)로 구성되는 풀다운구동부(174)를 제2 인버터로 하며, 상기 제1 인버터의 출력전압을 CT3으로 정의하면, 상기 제1 인버터의 하이 레벨 출력전압(CT3_high) 및 로우 레벨 출력전압(CT3_low)과 상기 제2 인버터의 하이 레벨 출력 전압(CT2_high) 및 로우 레벨 출력전압(CT2_low)과의 관계는 하기하는 수학적식 7 내지 10과 같이 정의된다.

수학적식 7

<135>
$$CT3_{high} = VON - Vth(M8)$$

수학적식 8

<136>
$$CT3_{low} = [VON - Vth(M8) - VOFF] \cdot \frac{Ron(M9)}{Ron(M9) + Ron(M8)} + VOFF$$

수학적식 9

<137>
$$CT2_{high} = VON - Vth(M8) - Vth(M6)$$

수학적식 10

<138>
$$CT2_{low} = (CT3_{low} - Vth(M6) - VOFF) \cdot \frac{Ron(M7)}{Ron(M7) + Ron(M6)} + VOFF$$

<139> 한편, 동일 공정하에서 제조되는 a-Si TFT이므로 모든 TFT의 문턱전압을 Vth라고 할 수 있다, 그러므로, 제2 트랜지스터(M2)와 제4 트랜지스터(M4)를 턴-오프시키는 각 트랜지스터의 게이트 전압인 상기 제2 인버터의 로우 레벨 출력 전압(CT2_low)과 소오스 전압인 VOFF 간의 전압차는 하기하는 수학적식 11과 같이, 트랜지스터의 문턱 전압(Vth) 보다 낮아야 한다.

수학적식 11

<140>
$$CT2_{low} - VOFF \leq Vth$$

<141> 상기 수학적식 11을 정리하면 하기하는 수학적식 12의 관계를 갖는다.

수학적식 12

<142>
$$CT2_{low} - VOFF = (CT3_{low} - Vth - VOFF) \cdot \frac{Ron(M7)}{Ron(M7) + Ron(M6)} \leq Vth$$

<143> 상기 수학적식 12를 정리하면, 하기하는 수학적식 13과 같다.

수학적식 13

<144>
$$\frac{Ron(M7)}{Ron(M6)} \leq \frac{Vth}{CT3_{low} - 2 * Vth - VOFF}$$

<145> 상기 도 7에 대응하는 수학적식 5와 상기 수학적식 13을 비교하면, VON이 CT3_low로 변경되는 것을 확인할 수 있다. 이때 제8 트랜지스터(M8)와 제9 트랜지스터(M9)의 채널폭(W)의 비가 1:1이고, 제8 트랜지스터(M8)와 제9 트랜지스터(M9)의 채널길이(L)의 비를 3:1로 하면, 하기하는 수학적식 14와 같다.

수학식 14

$$CT3_{low} = \frac{VON - Vth + VOFF}{4}$$

<146>

<147> 상기 수학식 14의 결과를 상기 수학식 13에 대입하면 하기하는 수학식 15와 같이 정리된다.

수학식 15

$$\frac{Ron(M7)}{Ron(M6)} \leq 4 \cdot \frac{Vth}{VON - 9 \cdot Vth - 3 \cdot VOFF}$$

<148>

<149> 그리고 본 발명의 실시예에 의한 제6 트랜지스터(M6)와 제5 트랜지스터(M5)의 턴-온시의 저항비는 a-Si TFT LCD에서 많이 사용하는 VON=22V, VOFF=-7V, 그리고 TFT의 문턱전압을 Vth=1.7V라고 하면 하기하는 수학식 16과 같다.

수학식 16

$$\frac{Ron(M7)}{Ron(M6)} \leq 4 \cdot \frac{1.7}{22 - 9 \cdot 1.7 - 3 \cdot (-7)} \doteq \frac{1}{4}$$

<150>

<151> 상기 수학식 16을 참조하면, 상기 도 7에서 도시한 경우와는 달리 a-Si TFT로 만들어지는 게이트 드라이버용 쉬프트 레지스터의 인버터는 요구되는 턴-온시의 저항비를 크게 할 수 있다.

<152>

도 14는 상기 도 7의 인버터에 구비되는 트랜지스터의 비율과 문턱전압과의 제1 관계와, 상기 도 13의 인버터에 구비되는 트랜지스터의 비율과 문턱전압과의 제2 관계를 설명하기 위한 도면이다. 여기서, <REQUEST Max Ratio 1>는 상기 도 7의 인버터에 구비되는 트랜지스터의 비율과 문턱전압과의 제1 관계에 따른 커브이고, <REQUEST Max Ratio 2>는 본 발명에 따라 인버터에 구비되는 트랜지스터의 비율과 문턱전압과의 제2 관계에 따른 커브이다.

<153>

도 14를 참조하면, 동일한 TFT 사이즈비에서 정상 동작할 수 있는 문턱전압 마진이 증가하는 결과를 확인할 수 있다.

<154>

하지만, 상기 본 발명의 효과는 제6 트랜지스터(M6)의 턴-온시의 Vgs6 전압이 상기 도 7에 도시한 기술의 경우와 같이 Vgs7 전압(=VON-VOFF)이 거의 같다고 본 경우이므로 실질적으로는 제6 트랜지스터(M6)에 인가되는 게이트 전압은 CT3_low 이므로 하기하는 수학식 17과 같다.

수학식 17

$$\begin{aligned} Vgs6 &= CT3_{low} - VOFF \\ &= \frac{VON - Vth + VOFF}{2} - VOFF \\ &\doteq \frac{VON - VOFF}{2} \end{aligned}$$

<155>

<156> 여기서, 문턱전압(Vth)은 VON-VOFF에 비해 상대적으로 작으므로 무시한다.

<157>

그리고 실질적으로 CT1이 VON-VOFF 진폭의 파워 클럭에 의해 붓스트랩(Bootstrap)되어 VON+(VON-VOFF)이므로 Vgs7 전압은 하기하는 수학식 18과 같다.

수학식 18

$$Vgs7 = CT1 - VOFF = 2 \cdot (VON - VOFF)$$

<158>

<159> 즉, 본 발명의 다른 실시예에 의한 회로구조에서 Vgs6 : Vgs7 = 1 : 4 정도인 것이다.

<160>

이를 하기하는 수학식 19의 TFT 포화영역에서의 전류식을 이용하여 제6 트랜지스터(M6)와 제7 트랜지스터(M7)가 동시에 턴-온될 때의 전류량을 비교하면 하기하는 수학식 20과 같이 된다. (즉, Vgs > Vth라 가정하면)

수학식 19

$$I_{ds} = \frac{W}{2 \cdot L} \cdot \mu \cdot (V_{gs} - V_{th})^2$$

수학식 20

$$\frac{I_{ds7}}{I_{ds6}} = 8 \cdot \frac{W(M7)}{W(M6)}$$

즉, 제6 트랜지스터(M6)의 폭과 제7 트랜지스터(M7)의 채널폭을 동일하게 하더라도 상대적인 전류 구동 능력비가 8배이다. 다시 말해, 두 트랜지스터가 동시에 턴-온될 때, 등가적으로 저항비가 '8' 이라는 뜻이다.

결과적으로, 제6 트랜지스터(M6)의 폭과 제7 트랜지스터(M7)의 폭을 동일하게 하더라도 상기 수학식 16에서 원하는 $R_{on}(M7)/R_{on}(M6)$ 비율 이하로 맞출 수 있다. 이를 정리하면, 하기하는 수학식 21과 같다.

수학식 21

$$\frac{R_{on}(M7)}{R_{on}(M6)} = \frac{1}{8} \leq \frac{1}{6}$$

이와 같이 본 발명의 다른 실시예에 의한 회로구조에서는 상기 본 발명의 일 실시예에 의한 회로구조에서 신뢰성 문제를 유발하였던 인버터를 구성하는 제6 트랜지스터(M6), 제7 트랜지스터(M7)의 채널폭(W) 차이를 최소화할 수 있다. 또한, 고온 동작시 제6 트랜지스터(M6)에 과전류가 흐르는 현상을 제거함으로써 트랜지스터가 열화되는 과정을 차단할 수 있다.

하기하는 표 1과 도 15는 상기 효과를 제1 인버터에 구비되는 제6 트랜지스터(M6), 제7 트랜지스터(M7)와 제2 인버터에 구비되는 제8 트랜지스터(M8), 제9 트랜지스터(M9)의 채널폭(W)을 동일하게 두었을 때 단위 폭[1 μ m]당 흐르는 전류량을 시뮬레이션 한 결과이다.

표 2

	도 7의 결과		본 발명의 결과			
	M6	M7	M6	M7	M8	M9
W Ratio	$W(M7)/W(M6)=15$		$W(M7)/W(M6)=1$		$W(M9)/W(M8)=1$	
L Ratio	$L(M7)/L(M6)=1$		$L(M7)/L(M6)=1$		$L(M9)/L(M8)=1$	
25℃	5.78nA	0.08nA	0.12nA	0.07nA	0.017nA	0.016nA
60℃	33nA	1.02nA	1.16nA	1.11nA	1.26nA	1.25nA

상기 표 1과 도 15에서 볼 수 있듯이, 고온 동작에서도 모든 트랜지스터의 누설 전류치를 1[nA] 수준으로 낮출 수 있으므로 상기 도 7에서 33[nA] 이상 흘러서 발생하던 트랜지스터의 열화 문제를 극복할 수 있다.

이상에서 설명한 바와 같이, 상기 도 7의 기술로 구현되는 a-Si TFT로 만들어지는 게이트 드라이버용 스위치 레지스터의 신뢰성 문제 즉, 온도 환경과 인가 전압에 민감하고, 수명이 짧은 문제점을 상기 도 13에서 도시한 본 발명의 다른 실시예로서 극복할 수 있음을 확인할 수 있다.

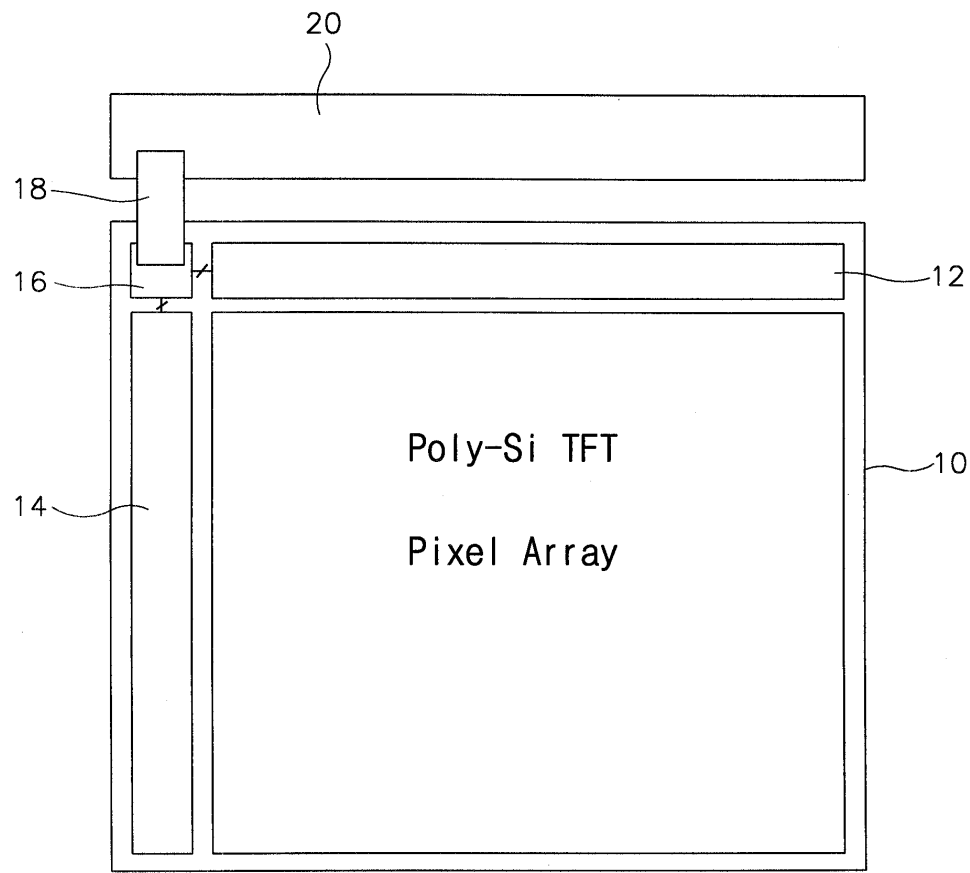
이상에서는 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

발명의 효과

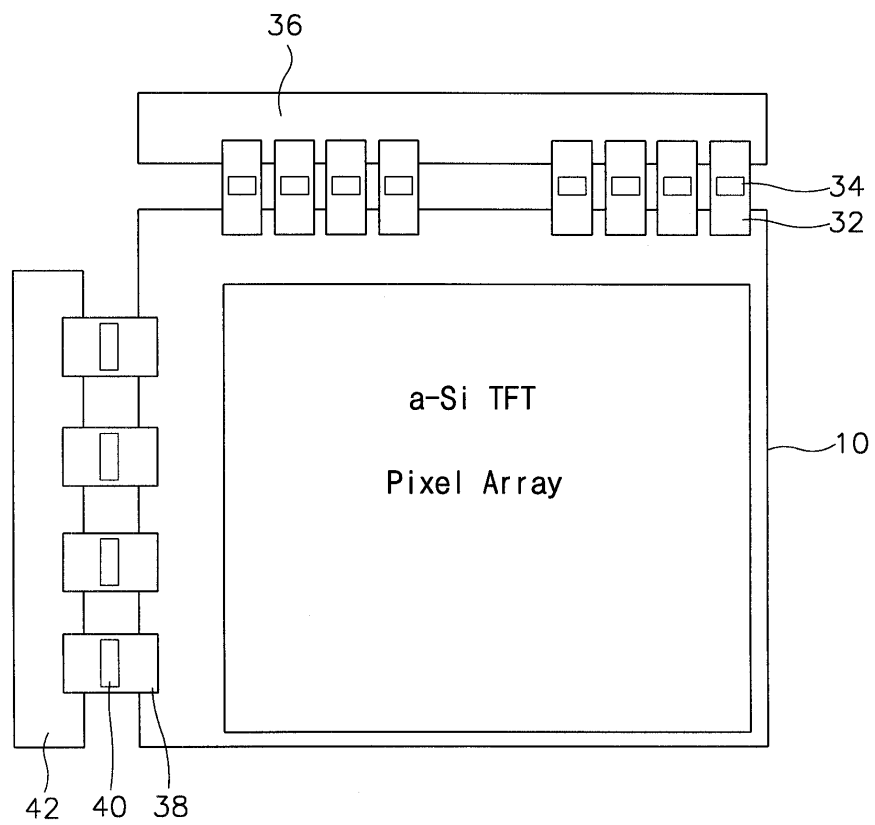
이상에서 설명한 바와 같이, 본 발명에 따르면 a-Si TFT 액정 표시 장치에 채용되는 게이트 구동 회로에 있어서, 풀다운구동부에 구비되어 신뢰성 문제를 유발하였던 다이오드 구조의 트랜지스터를 스위칭 구조로 변경하고, 상기 스위칭 구조로 변경된 트랜지스터의 동작을 제어하는 별도의 인버터를 배치함으로써, 고온 동작시 상기 풀다운구동부에 구비되어 항상 턴-온 상태인 트랜지스터에 과전류가 흐르는 현상을 제거할 수 있어 트랜지

도면

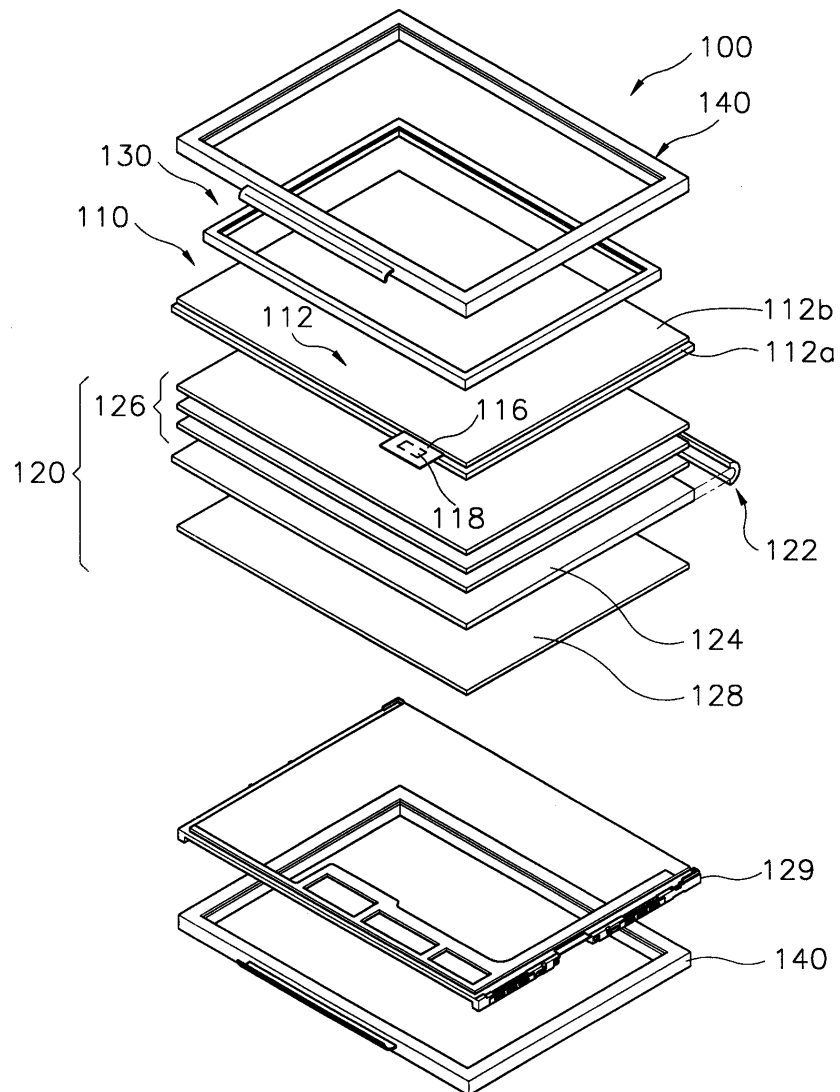
도면1



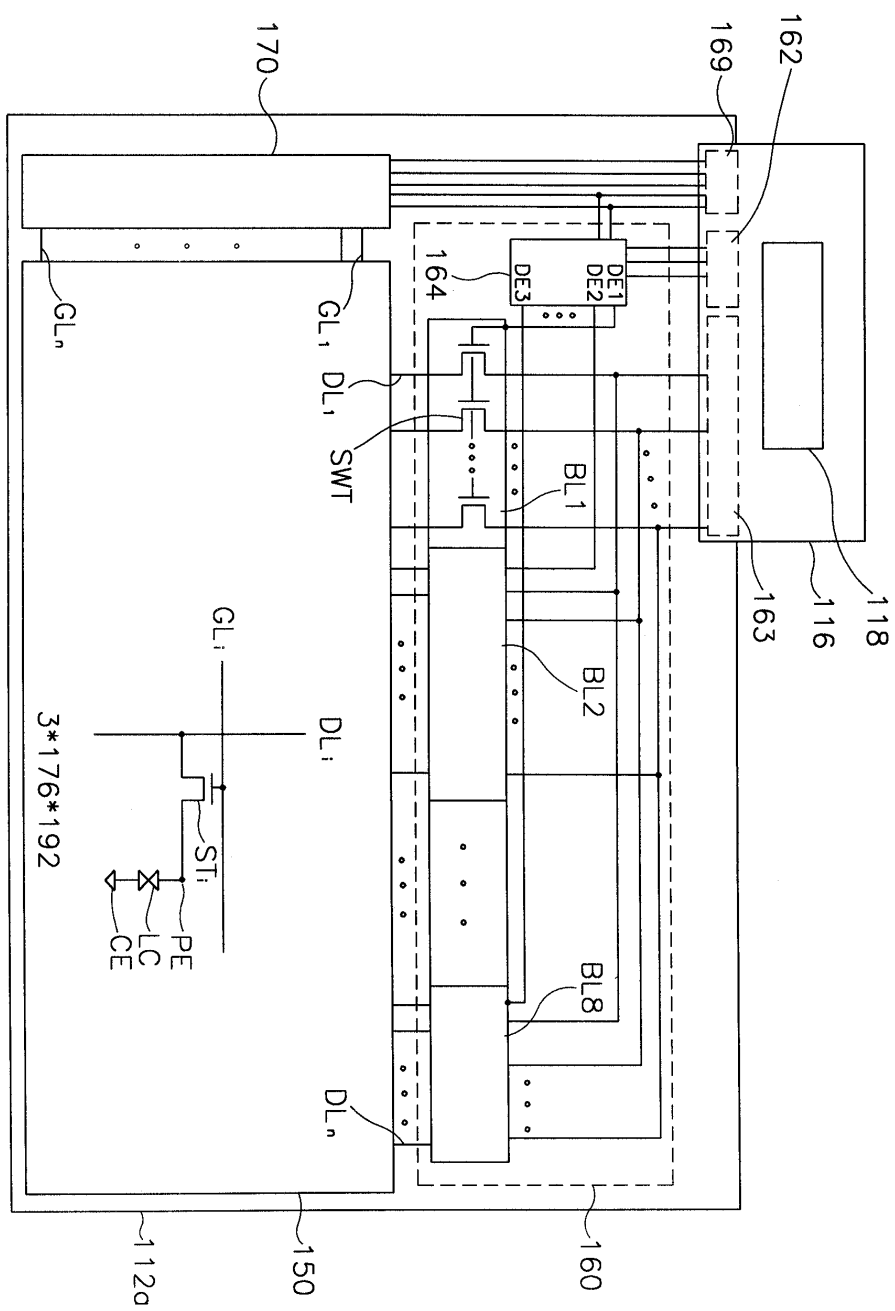
도면2



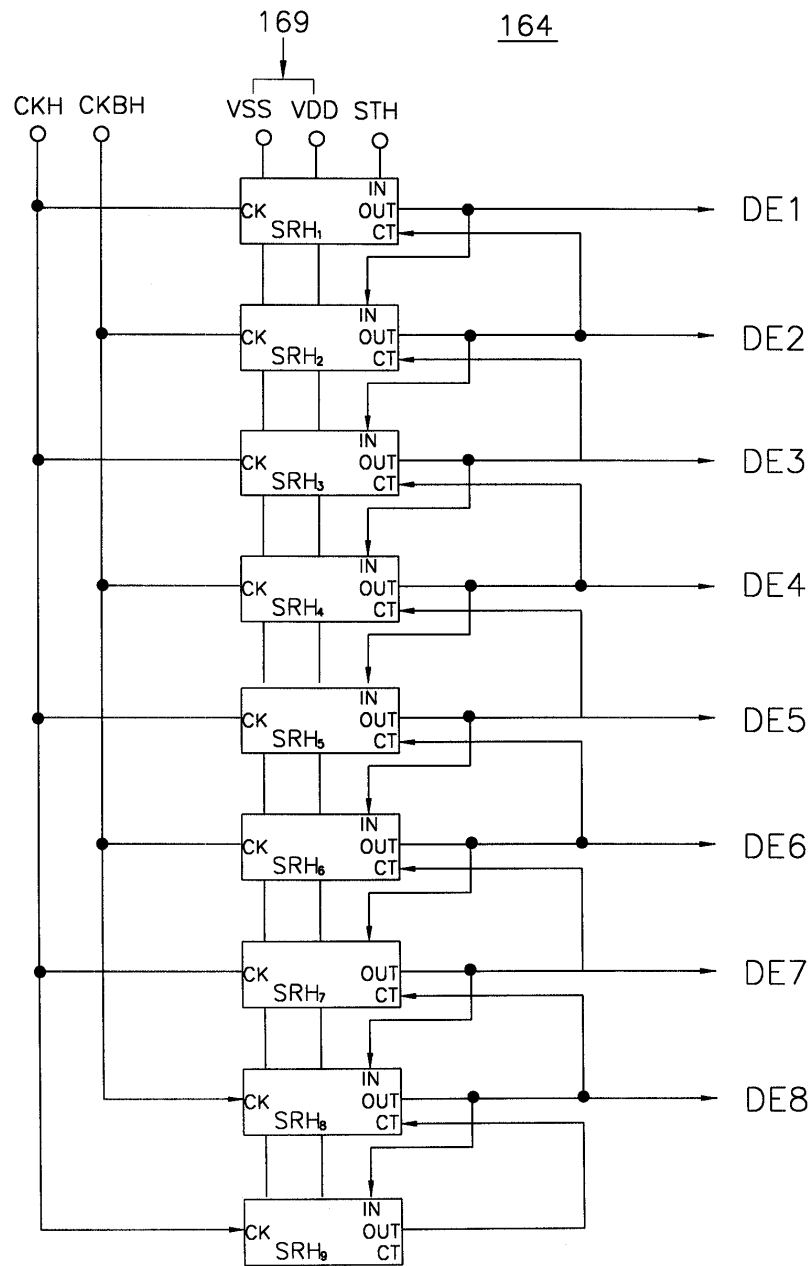
도면3



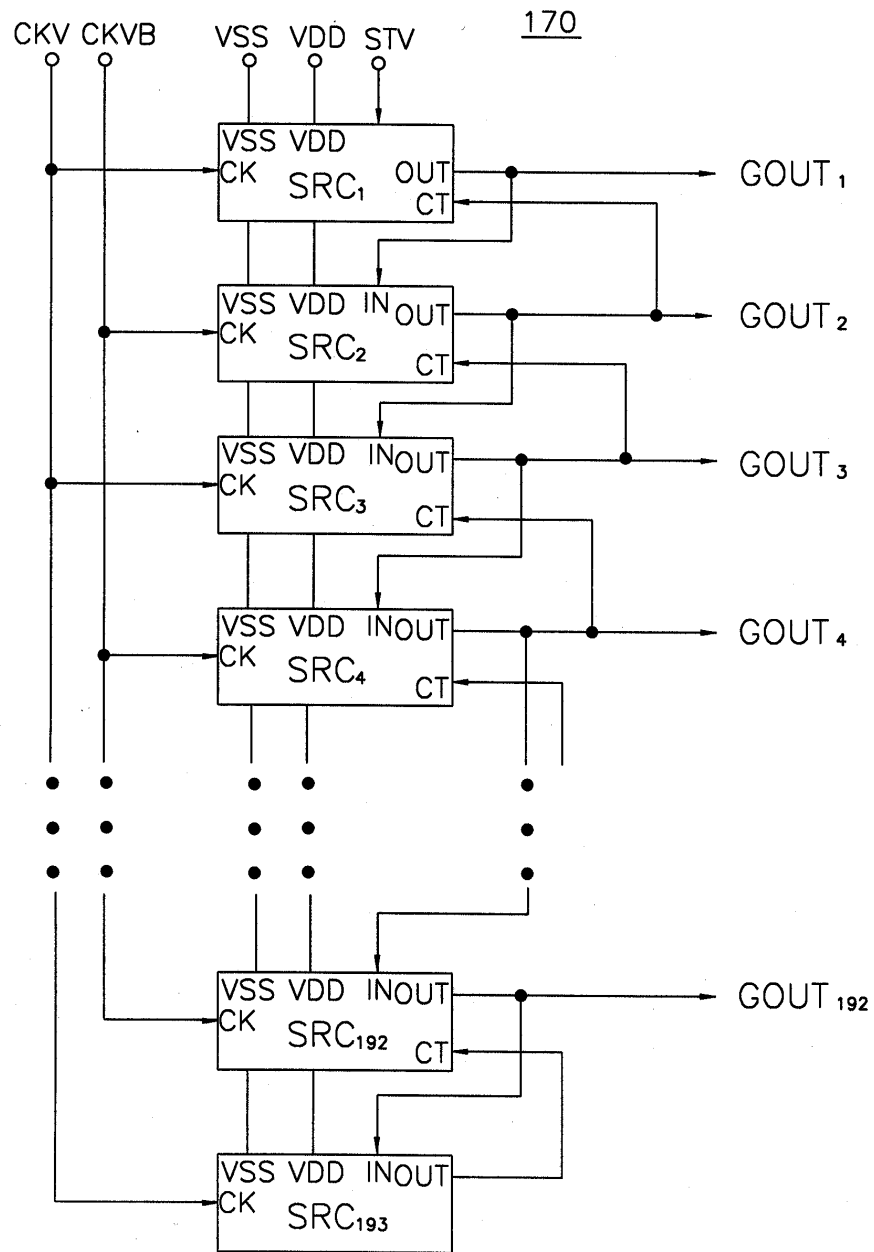
도면4



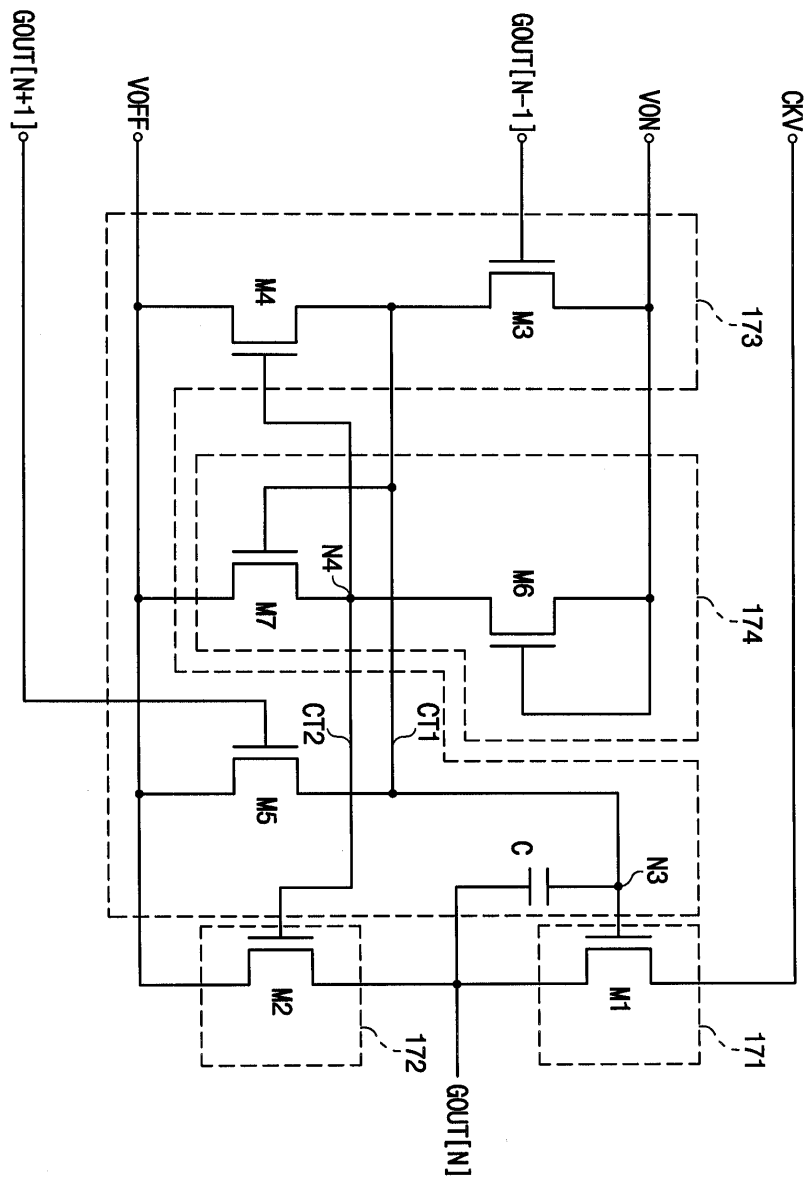
도면5



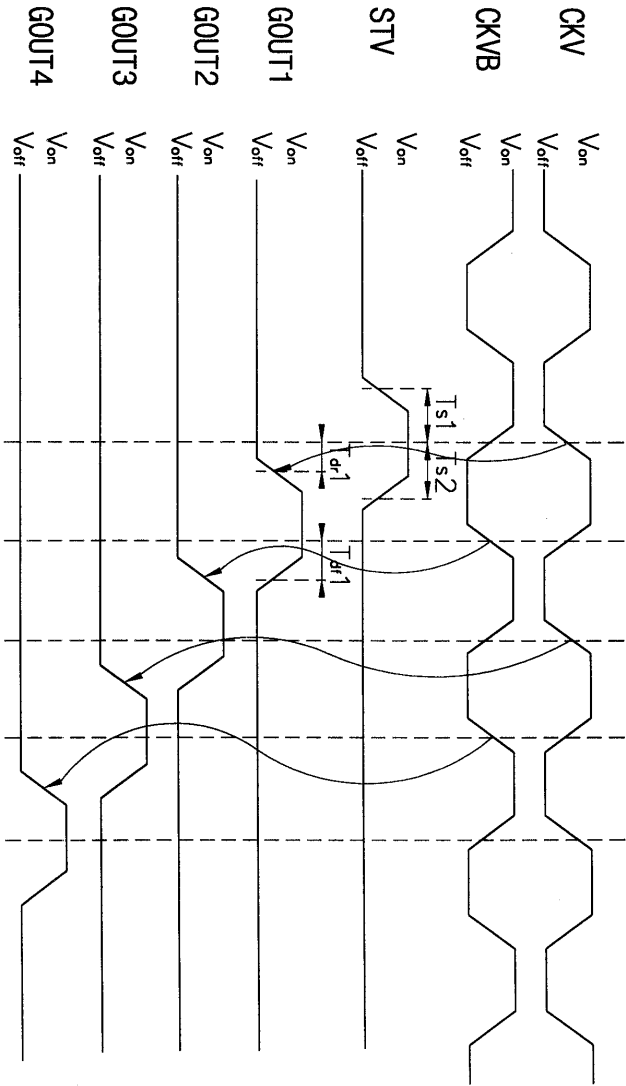
도면6



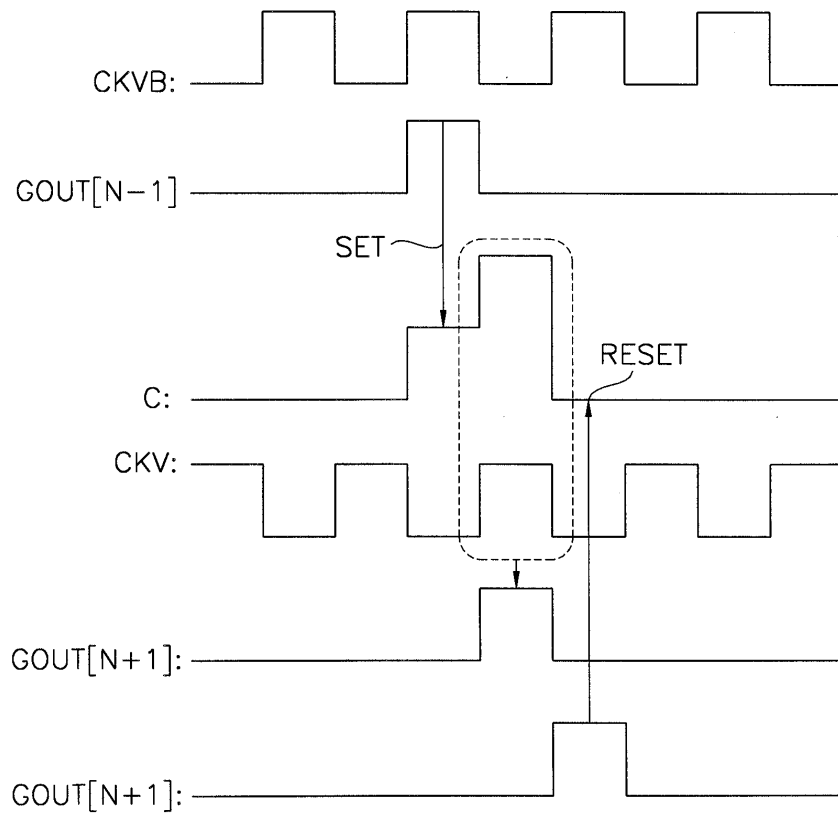
도면7



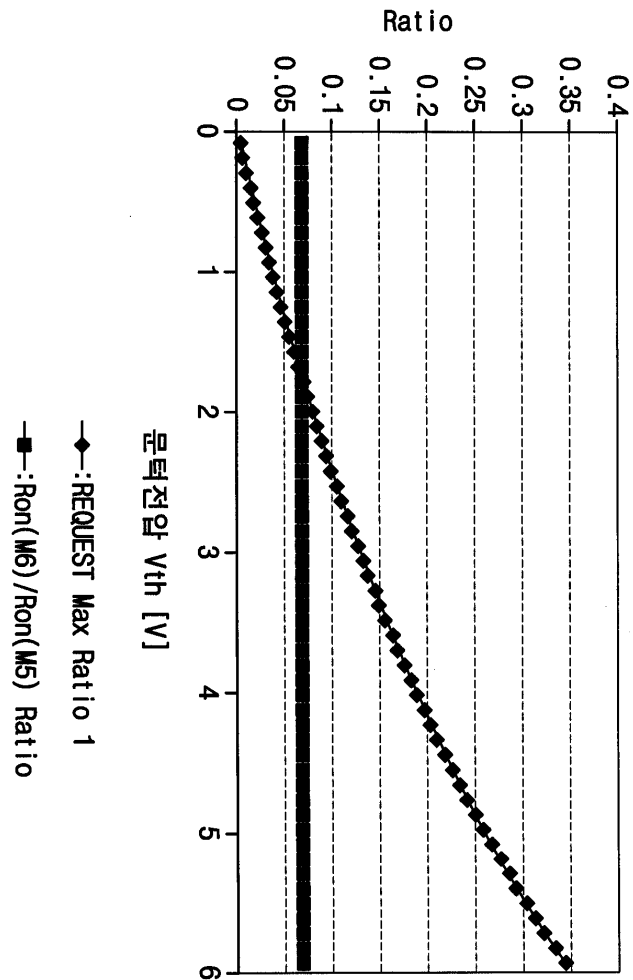
도면8



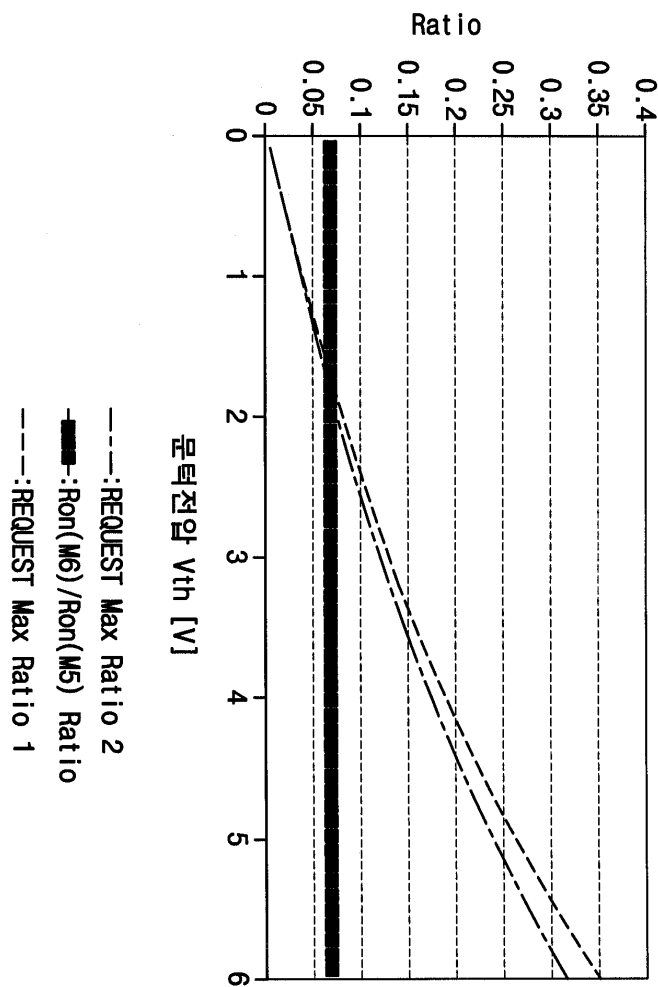
도면9



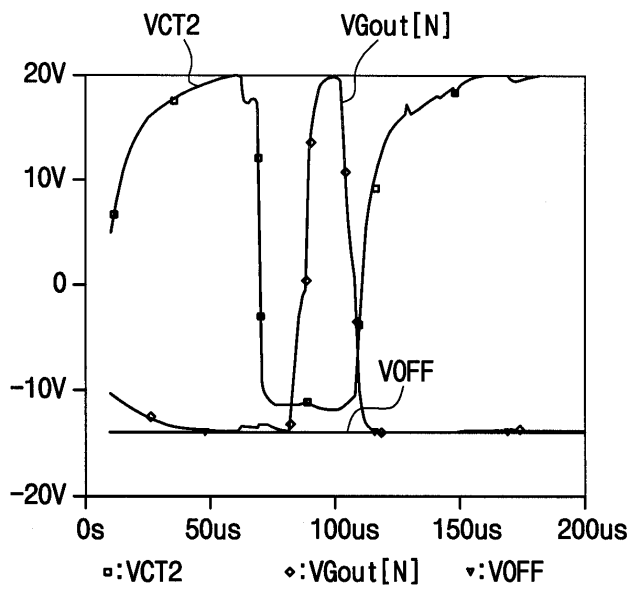
도면10



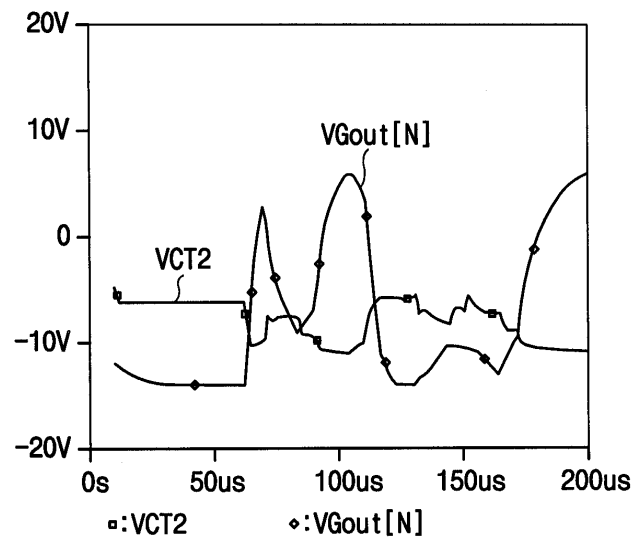
도면11



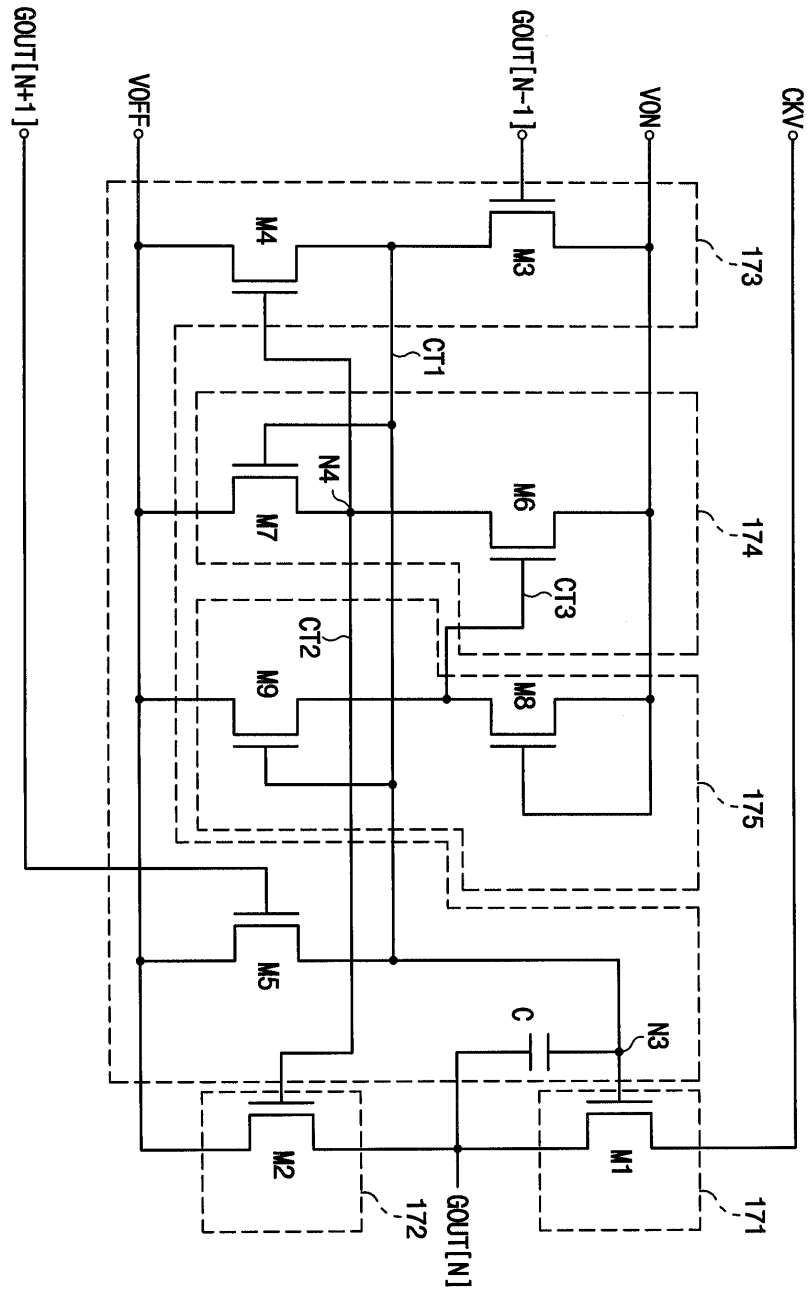
도면12a



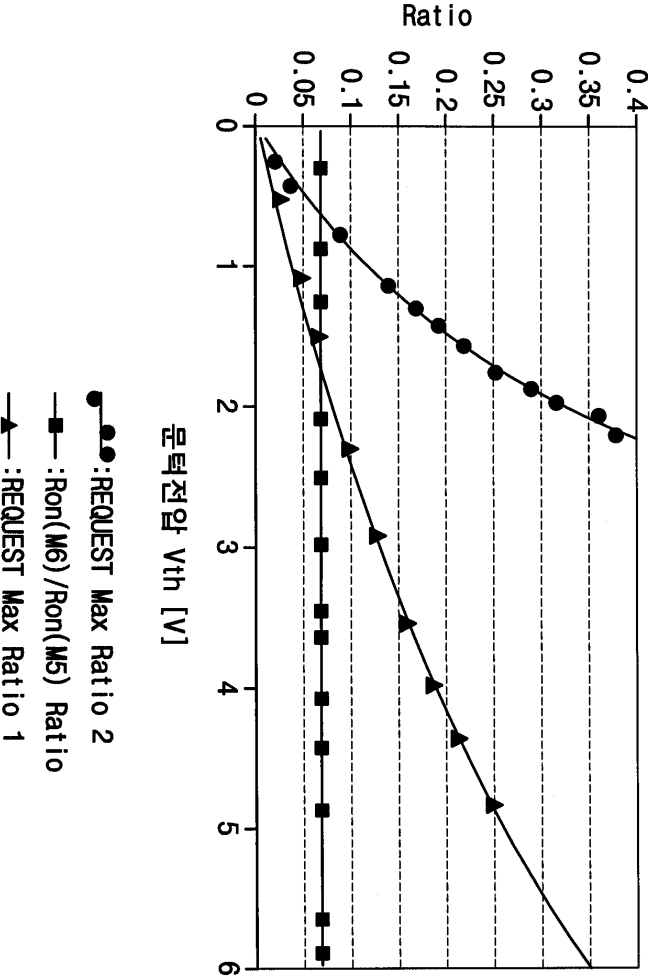
도면12b



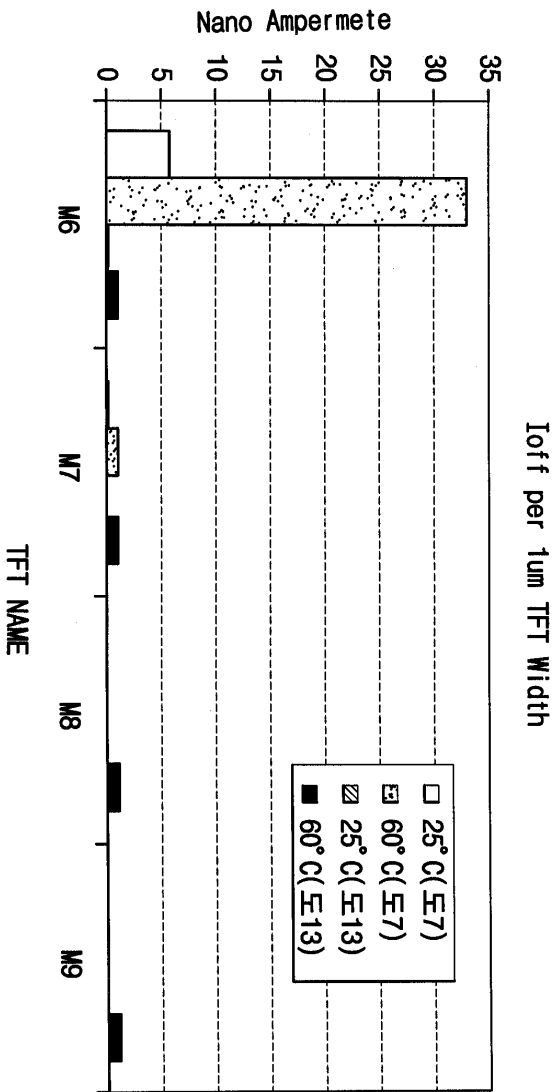
도면13



도면14



도면15



专利名称(译)	移位寄存器和具有它的液晶显示器件		
公开(公告)号	KR100797522B1	公开(公告)日	2008-01-24
申请号	KR1020020053634	申请日	2002-09-05
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	MOON SEUNGHWAN		
发明人	MOON,SEUNGHWAN		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 G11C19/00 G11C19/28		
CPC分类号	G11C19/28 G09G3/3688 G09G3/3677		
代理人(译)	PARK , YOUNG WOO		
其他公开文献	KR1020040022358A		
外部链接	Espacenet		

摘要(译)

公开了一种移位寄存器和具有移位寄存器的液晶显示装置，用于解决可靠性和寿命问题。移位寄存器的奇数级提供有第一时钟和第一控制信号，用于消除第一时钟的输出。偶数级包括与第一时钟相位相反的第二时钟，的输出提供用于取消的第二控制信号。上拉部分为输出端提供第一电源电压，上拉驱动部分连接到上拉部分的输入节点，前一级的输出信号响应前端接通上拉部分，并输出第一控制信号或第二控制信号并且响应于控制信号的前端关闭上拉部分。该控制器被耦合到所述输入节点上拉，上拉部分响应于接通和输出第三控制信号而导通时，下拉驱动部分被连接到下拉部输入节点，响应于所述输入信号是领先的下拉单元关闭，并响应第三个控制信号，打开。

