

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2006년08월22일
<i>G09G 3/36</i> (2006.01)	(11) 등록번호	10-0614661
<i>G02F 1/133</i> (2006.01)	(24) 등록일자	2006년08월14일

(21) 출원번호	10-2005-0048519	(65) 공개번호
(22) 출원일자	2005년06월07일	(43) 공개일자

(73) 특허권자 삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

(72) 발명자 성시왕
 경기 수원시 팔달구 인계동 949-23번지 101호

 박준홍
 서울 송파구 오륜동 올림픽 선수촌아파트3단지(301-328동) 328동602호

(74) 대리인 임창현
 오세준
 권혁수
 송윤희

(56) 선행기술조사문헌	
JP07130193 A	JP2001056664 A
JP2004029752 A	KR1020020012903 A
* 심사관에 의하여 인용된 문헌	

심사관 : 이병우

(54) 액정 표시 장치의 소스 드라이버 출력 회로 및 데이터 라인구동방법

요약

본 발명은 액정 표시 장치의 소스 드라이버 출력 회로에 관한 것이다. 본 발명에 따른 소스 드라이버 출력 회로는 다수의 전압 폴로워들, 공유라인, 그리고 선택회로를 포함한다. 다수의 전압 폴로워들은 계조전압들을 입력받아서 데이터 라인들을 구동한다. 공유라인은 데이터 라인들의 전압 레벨을 공유한다. 선택회로는 클럭신호(TP)가 활성화 되는 구간 동안에 다수의 전압 폴로워들의 입력단에 공유라인의 전압을 제공하고, 클럭신호(TP)가 비활성화 되는 구간 동안에 다수의 전압 폴로워들의 입력단에 계조전압들을 제공한다. 본 발명에 따른 소스 드라이버 출력 회로에 의하면, 클럭신호(TP)의 펄스 폭에 관계없이 슬루율을 가지면서 완만히 상승하는 출력전압을 데이터 라인에 제공하여 공통 전극의 전압 레벨이 변하는 것을 방지할 수 있다.

대표도

도 5

명세서

도면의 간단한 설명

도 1은 일반적인 박막 트랜지스터형 액정 표시 장치를 보여주는 블록도이다.

도 2는 도 1에 도시된 소스 드라이버의 일부인 소스 드라이버 출력 회로를 보여주는 회로도이다.

도 3은 도 2에 도시된 소스 드라이버 출력 회로에 입력되는 클럭신호의 펄스 폭이 짧은 경우에 데이터 라인의 전압 레벨의 변화를 보여주는 도면이다.

도 4는 도 2에 도시된 소스 드라이버 출력 회로에 입력되는 클럭신호의 펄스 폭이 긴 경우에 데이터 라인의 전압 레벨의 변화를 보여주는 도면이다.

도 5는 본 발명의 바람직한 제 1 실시예에 따른 소스 드라이버 출력 회로를 보여주는 회로도이다.

도 6은 도 5에 도시된 소스 드라이버 출력 회로에 입력되는 클럭신호의 펄스 폭이 짧은 경우에 데이터 라인의 전압 레벨의 변화를 보여주는 도면이다.

도 7은 도 5에 도시된 소스 드라이버 출력 회로에 입력되는 클럭신호의 펄스 폭이 긴 경우에 데이터 라인의 전압 레벨의 변화를 보여주는 도면이다.

도 8은 본 발명의 바람직한 제 2 실시예에 따른 소스 드라이버 출력 회로를 보여주는 회로도이다.

도 9는 도 8에 도시된 소스 드라이버 출력 회로에 입력되는 클럭신호의 펄스 폭이 긴 경우에 데이터 라인의 전압 레벨의 변화를 보여주는 도면이다.

도면의 주요부분에 대한 부호의 설명

200, 500, 800: 소스 드라이버 출력 회로

250, 550, 850: 디지털 아날로그 변환회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터(Thin Film Transistor; TFT)형 액정 표시 장치(Liquid Crystal Device; LCD)에 관한 것으로, 좀 더 구체적으로는 박막 트랜지스터형 액정 표시 장치의 소스 드라이버 출력 회로에 관한 것이다.

도 1은 일반적인 박막 트랜지스터형 액정 표시 장치를 보여주는 도면이다. 도 1을 참조하면, 박막 트랜지스터형 액정 표시 장치는 패널(Panel)을 구동하기 위해 게이트 드라이버(12)와 소스 드라이버(10)를 구비하고 있다.

게이트 드라이버(12)는 박막 트랜지스터(T1)의 게이트에 연결되어 있는 게이트 라인(Gate Line; GL)을 구동하고, 소스 드라이버(10)는 박막 트랜지스터(T1)의 소오스에 연결되어 있는 소오스 라인(Source Line) 또는 데이터 라인(Data Line; DL)을 구동한다. 박막 트랜지스터(T1)의 드레인과 공통 전극(Vcom) 사이에는 액정 커패시터(C1)가 연결되어 있다. 액정 커패시터(C1)는 전극 사이에 있는 액정의 상태에 따라 유전율이 변하는 특성이 있다. 액정의 상태는 인가된 전압의 크기에 따라 결정되므로 액정 커패시터(C1)의 커패시턴스(capacitance)는 인가된 전압에 따라 달라진다.

도 1을 참조하면, 게이트 드라이버(12)는 다수의 게이트 라인들(GL1~GLm)을 순차적으로 구동한다. 하나의 게이트 라인에 연결되어 있는 박막 트랜지스터들은 동시에 턴온(turn on)된다.

소스 드라이버(10)의 내부 회로는 칩 제조업체(Chip Maker)에 따라 약간씩 차이가 있지만, 일반적으로 소스 드라이버(10)는 타이밍 컨트롤러(Timing Controller)(도시되지 않음)에서 인가된 디지털 데이터를 차례대로 쉬프트(shift) 하는 쉬프트 레지스터(Shift Register), 디지털 데이터를 대응하는 아날로그 전압값으로 변환하는 디지털 아날로그 변환회로(Digital to Analog Converter), 그리고 변환된 아날로그 전압값을 입력받아서 패널의 데이터 라인들을 구동하기 위한 소스 드라이버 출력 회로(Source Driver Output Circuit)를 포함하고 있다. 아날로그 전압값을 패널(panel)에 제공할 것을 명하는 클록신호(TP)가 입력되면, 소스 드라이버 출력 회로는 데이터 라인들(DL1~DLn)을 구동하여 턴온된 박막 트랜지스터들을 통해 액정 커패시터(C1)에 영상신호를 인가한다.

박막 트랜지스터형 액정 표시 장치는 직류에 의한 열화 특성을 막기 위해 교류 구동 방식을 이용한다. 교류 구동 방식에는 라인 반전(Line Inversion) 방식과 도트 반전(Dot Inversion) 방식이 있다. 도트 반전 방식은 하나의 도트에 (+) 극성을 인가하고 그 다음 도트에는 (-) 극성을 인가하여 영상신호의 극성을 화소 단위로 반전하는 방식이다. 이와 같은 교류 구동 방식은 영상신호의 화질을 향상시키는데 중요한 역할을 한다.

도 2는 도 1에 도시된 소스 드라이버(10)의 일부인 소스 드라이버 출력 회로를 보여주는 회로도이다. 도 2는 소스 드라이버(10)를 구성하는 여러 내부 회로들 중에서 디지털 아날로그 변환회로(250)와 소스 드라이버 출력 회로(200)를 보여주고 있다.

디지털 아날로그 변환회로(250)는 다수의 디코더들(251~25n)을 포함한다. 여기에서, 각각의 디코더는 6비트의 디지털 데이터를 입력받다고 가정한다. 각각의 디코더는 6비트의 디지털 데이터를 입력받아서 디코딩(decoding)하고, (+) 또는 (-) 극성을 갖는 64개의 계조전압들(Gray Scale Voltages)(V1~V64) 중에서 하나의 계조전압을 출력한다.

소스 드라이버 출력 회로(200)는 다수의 전압 폴로워들(211~21n), 제 1 스위치들(SW1)(221~22n), 제 2 스위치들(SW2)(231~23n), 그리고 공유라인(Share Line; SL)을 포함한다. 공유라인(SL)은 클록신호(TP)가 활성화 되는 구간 동안에 데이터 라인들(DL1~DLn)의 전압 레벨을 공유한다.

다수의 전압 폴로워들(211~21n)은 계조전압들(VI1~VIN)을 입력받고 슬루율을 가지며 완만히 상승하는 출력전압들(VO1~VOn)을 출력한다. 제 1 스위치들(221~22n)은 클록신호(TP)가 활성화 되는 구간 동안에 데이터 라인들(DL1~DLn)을 공유라인(SL)에 연결한다. 제 2 스위치들(231~23n)은 클록신호(TP)가 비활성화 되는 구간 동안에 다수의 전압 폴로워들(211~21n)의 출력단을 데이터 라인들(DL1~DLn)에 연결한다.

도 2에서 패널 커패시터(Ctot)는 데이터 라인(DL1)과 공통 전극(Vcom) 사이에 존재하는 모든 커패시터 성분을 포함한다. 즉, 패널 커패시턴스(Ctot)는 박막 트랜지스터(도 1 참조, T1)가 턴온된 경우 박막 트랜지스터(T1)의 소스와 게이트 사이, 소스와 드레인 사이, 게이트와 드레인 사이, 그리고 드레인과 공통 전극(Vcom) 사이의 모든 커패시터 성분을 포함한다.

도 3은 클록신호(TP)의 펄스 폭이 짧은 경우에 데이터 라인(DL1)의 전압 레벨의 변화를 보여주고, 도 4는 클록신호(TP)의 펄스 폭이 긴 경우에 데이터 라인(DL1)의 전압 레벨의 변화를 보여준다. 도 3에서 클록신호(TP)의 펄스 폭(t_1-t_0)은 기준 펄스 폭(t_r-t_0)보다 짧고, 도 4에서 클록신호(TP)의 펄스 폭(t_2-t_0)은 기준 펄스 폭(t_r-t_0)보다 길다. 여기에서 기준 펄스 폭(t_r-t_0)은 전압 폴로워의 출력전압(VO1)이 입력전압(VI1)의 전압값(Va)에 도달할 때까지 걸린 시간으로 정의한다.

도 3 및 도 4에서, (a)는 펄스 폭을 달리하는 클록신호(TP)의 파형이고, (b)와 (c)는 전압 폴로워(211)의 입력전압(VI1) 및 출력전압(VO1)의 파형이고, (d)는 데이터 라인(DL1)의 전압 레벨을 보여주는 파형이다. 여기에서, 전압 폴로워(211)의 입력전압(VI1)은 Va의 전압값을 갖는 계단파라고 가정한다.

도 2 및 도 3을 참조하여 클록신호(TP)의 펄스 폭이 기준 펄스 폭보다 짧은 경우에 소스 드라이버 출력 회로(200)의 동작을 설명하면 다음과 같다.

먼저, t_0 에서 클록신호(TP)가 로우 레벨에서 하이 레벨로 천이하면 제 1 스위치(SW1)(221)는 턴온된다. 이때 데이터 라인(DL1)은 공유라인의 전압(V_{SL})로 상승한다. 그리고 전압 폴로워(211)는 계조전압(VI1)을 입력받아서 슬루율을 가지며 완만히 상승하는 출력전압(VO1)을 발생한다.

다음으로, t_1 에서 클럭신호(TP)가 하이 레벨에서 로우 레벨로 천이하면 제 1 스위치(SW1)는 턴오프되고, 제 2 스위치(SW2)는 턴온된다. 이때 데이터 라인(DL1)에 전압 폴로워(211)의 출력전압(VO1)이 인가된다. 따라서 데이터 라인(DL1)은 $t_1 \sim t_r$ 구간에서 출력전압(VO1)과 동일한 전압 레벨을 가지며, 도 3에서 보는 바와 같이 완만히 상승한다.

그러나 도 4에서 보는 바와 같이, 클럭신호(TP)의 펄스 폭($t_2 - t_0$)이 기준 펄스 폭($t_r - t_0$)보다 긴 경우에는 클럭신호(TP)가 하이 레벨에서 로우 레벨로 천이할 때 데이터 라인(DL1)의 전압 레벨이 갑자기 상승한다. 즉, 클럭신호(TP)가 하이 레벨에서 로우 레벨로 천이하는 시점(t_2)에서 전압 폴로워(211)의 출력전압(VO1)은 이미 입력전압(VI1)의 전압값(V_a)까지 상승한 상태이다. 따라서 도 4의 4A에서 보는 바와 같이 t_2 에서 데이터 라인(DL1)의 전압 레벨은 V_{SL} 에서 V_a 로 급격하게 상승한다.

데이터 라인(DL1)의 전압이 급격하게 상승하면, 패널 커패시터(C_{tot})에 인가되는 전압이 급격히 상승하기 때문에 공통 전극(V_{com})의 전압 레벨이 변하게 된다. 공통 전극(V_{com})의 전압 레벨이 변하면, 패널에 잡음(noise)이 발생하거나 영상이 흔들리는 현상이 발생한다.

발명이 이루고자 하는 기술적 과제

본 발명은 상술한 문제점을 해결하기 위하여 제안된 것으로, 본 발명의 목적은 클럭신호(TP)의 펄스 폭에 관계없이 데이터 라인의 전압이 급격하게 상승하는 것을 방지하는 소스 드라이버 출력 회로 및 데이터 라인 구동 방법을 제공하는데 있다.

발명의 구성 및 작용

본 발명에 따른 액정 표시 장치의 소스 드라이버 출력 회로는 데이터 라인들을 구동하기 위한 다수의 전압 폴로워들; 상기 데이터 라인들의 전압 레벨을 공유하기 위한 공유라인; 및 클럭신호(TP)에 응답하여 상기 공유라인의 전압을 상기 다수의 전압 폴로워들의 입력단에 제공하는 선택회로를 포함한다.

이 실시예에 있어서, 상기 선택회로는 상기 클럭신호(TP)가 활성화 되는 구간 동안에 상기 다수의 전압 폴로워들의 입력단에 상기 공유라인의 전압을 제공하고, 상기 클럭신호(TP)가 비활성화 되는 구간 동안에 상기 다수의 전압 폴로워들의 입력단에 계조전압을 제공한다. 상기 선택회로는 상기 클럭신호(TP)의 로우-하이 천이에 동기되어 상기 다수의 전압 폴로워들의 입력단에 상기 공유라인의 전압을 제공하고, 상기 클럭신호(TP)의 하이-로우 천이에 동기되어 상기 다수의 전압 폴로워들의 입력단에 계조전압을 제공한다.

이 실시예에 있어서, 소스 드라이버 출력 회로는 상기 클럭신호(TP)가 활성화 되는 구간 동안에 상기 공유라인과 상기 데이터 라인들을 연결하는 제 1 스위치들과, 상기 클럭신호(TP)가 비활성화 되는 구간 동안에 상기 다수의 전압 폴로워들의 출력단과 상기 데이터 라인들을 연결하는 제 2 스위치들을 더 포함한다. 상기 클럭신호(TP)가 활성화 되는 구간 동안에 상기 공유라인의 전압은 상기 다수의 전압 폴로워들의 입력단 및 상기 데이터 라인들에 제공된다. 그리고 상기 클럭신호(TP)가 비활성화 되는 구간 동안에 상기 다수의 전압 폴로워들은 계조전압들을 입력받아서 상기 데이터 라인들을 구동한다. 상기 제 1 스위치들은 상기 클럭신호(TP)의 로우-하이 천이에 동기되어 상기 데이터 라인에 상기 공유라인의 전압을 제공하고, 상기 제 2 스위치들은 상기 클럭신호(TP)의 하이-로우 천이에 동기되어 상기 데이터 라인들에 상기 다수의 전압 폴로워들의 출력전압을 제공한다.

이 실시예에 있어서, 소스 드라이버 출력 회로는 상기 공유라인에 소정의 전압을 제공하기 위한 전압 발생 회로를 더 포함한다.

본 발명에 따른 액정 표시 장치의 소스 드라이버 출력 회로의 다른 일면은, 데이터 라인들을 구동하기 위한 다수의 전압 폴로워들; 상기 데이터 라인들의 전압 레벨을 공유하기 위한 공유라인; 상기 다수의 전압 폴로워들의 입력단에 연결되며, 클럭신호(TP)에 응답하여 계조전압들 또는 소정의 전압을 상기 다수의 전압 폴로워들의 입력단에 제공하는 제 1 선택회로; 및 상기 다수의 전압 폴로워들의 출력단과 상기 데이터 라인들 사이에 연결되며, 상기 클럭신호(TP)에 응답하여 상기 다수의 전압 폴로워들의 출력전압 또는 상기 공유라인의 전압을 상기 데이터 라인들에 제공하는 제 2 선택회로를 포함한다.

이 실시예에 있어서, 상기 소정의 전압은 상기 공유라인의 전압과 동일 레벨인 것을 특징으로 한다.

이 실시예에 있어서, 상기 클록신호(TP)가 활성화 되는 구간 동안에, 상기 제 1 및 제 2 선택회로는 상기 다수의 전압 폴로워들의 입력단 및 상기 데이터 라인들에 상기 소정의 전압과 상기 공유라인의 전압을 각각 제공한다. 상기 클록신호(TP)가 비활성화 되는 구간 동안에, 상기 제 1 선택회로는 상기 다수의 전압 폴로워들의 입력단에 상기 계조전압들을 제공하고, 상기 제 2 선택회로는 상기 데이터 라인들에 상기 다수의 전압 폴로워들의 출력전압을 제공한다.

이 실시예에 있어서, 상기 클록신호(TP)의 로우-하이 천이에 동기되어, 상기 제 1 및 제 2 선택회로는 상기 다수의 전압 폴로워들의 입력단 및 상기 데이터 라인들에 상기 소정의 전압과 상기 공유라인의 전압을 각각 제공한다. 상기 클록신호(TP)의 하이-로우 천이에 동기되어, 상기 제 1 선택회로는 상기 다수의 전압 폴로워들의 입력단에 상기 계조전압들을 제공하고, 상기 제 2 선택회로는 상기 데이터 라인들에 상기 다수의 전압 폴로워들의 출력전압을 제공한다.

본 발명에 따른, 계조전압들을 입력받아서 데이터 라인들을 구동하기 위한 다수의 전압 폴로워들; 및 상기 데이터 라인들의 전압 레벨을 공유하기 위한 공유라인을 포함하는 액정 표시 장치의 소스 드라이버 출력 회로의 데이터 라인 구동 방법은, 클록신호(TP)의 활성화에 응답하여 상기 다수의 전압 폴로워들이 상기 공유라인의 전압을 입력받는 단계; 및 상기 클록신호(TP)의 비활성화에 응답하여 상기 다수의 전압 폴로워들이 상기 계조전압들을 입력받아서 상기 데이터 라인들을 구동하는 단계를 포함한다.

이 실시예에 있어서, 상기 다수의 전압 폴로워들은 상기 클록신호(TP)의 로우-하이 천이에 동기되어 상기 공유라인의 전압을 입력받는다. 상기 다수의 전압 폴로워들은 상기 클록신호(TP)의 하이-로우 천이에 동기되어 상기 계조전압들을 입력받는다.

본 발명에 따른, 계조전압들을 입력받아서 데이터 라인들을 구동하기 위한 다수의 전압 폴로워들; 및 상기 데이터 라인들의 전압 레벨을 공유하기 위한 공유라인을 포함하는 액정 표시 장치의 소스 드라이버 출력 회로의 데이터 라인 구동 방법의 다른 일면은, 클록신호(TP)의 활성화에 응답하여 상기 다수의 전압 폴로워들은 소정의 전압을 입력받고 상기 데이터 라인들은 상기 공유라인의 전압을 입력받는 단계; 및 상기 클록신호(TP)의 비활성화에 응답하여 상기 다수의 전압 폴로워들이 상기 계조전압들을 입력받아서 상기 데이터 라인들을 구동하는 단계를 포함한다.

이 실시예에 있어서, 상기 소정의 전압은 상기 공유라인의 전압과 동일 레벨인 것을 특징으로 한다.

이 실시예에 있어서, 상기 클록신호(TP)의 로우-하이 천이에 동기되어 상기 다수의 전압 폴로워들의 입력단에 상기 소정의 전압이 제공되고, 상기 데이터 라인들에 상기 공유라인의 전압이 제공된다. 상기 다수의 전압 폴로워들은 상기 클록신호(TP)의 하이-로우 천이에 동기되어 상기 계조전압들을 입력받아서 상기 데이터 라인들을 구동한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있도록 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 설명한다.

도 5는 본 발명의 바람직한 제 1 실시예에 따른 소스 드라이버 출력 회로(500)를 보여주는 회로도이다. 도 5를 참조하면, 소스 드라이버 출력 회로(500)는 디지털 아날로그 변환회로(550)로부터 계조전압들(VI1~VIN)을 입력받아서 데이터 라인들(DL1~DLN)을 구동한다.

본 발명에 따른 소스 드라이버 출력 회로(500)는 클록신호(TP)의 펄스 폭에 관계없이 데이터 라인들(DL1~DLN)의 전압 레벨이 슬루율(Slew Rate; SR)을 가지고 완전히 상승하도록 하여 공통 전극(Vcom)의 전압 레벨이 변하는 것을 방지하기 위한 것이다.

도 5에서 디지털 아날로그 변환회로(550) 및 패널 커패시터(Ctot)의 구성 및 동작 원리는 도 2에서 설명한 바와 같으므로 이하에서는 본 발명에 따른 소스 드라이버 출력 회로(500)의 구성 및 동작에 대해서 설명한다.

도 5를 참조하면, 소스 드라이버 출력 회로(500)는 다수의 전압 폴로워들(511~51N), 제 1 선택회로들(521~52N), 제 2 선택회로들(531~53N), 그리고 공유라인(Share Line; SL)을 포함한다.

여기에서 각각의 전압 폴로워, 각각의 제 1 선택회로, 그리고 각각의 제 2 선택회로는 동일한 구성 및 동작 원리를 가진다. 따라서 이하에서는 하나의 전압 폴로워(511), 하나의 제 1 선택회로(521), 그리고 하나의 제 2 선택회로(531)에 대해서 설명한다.

전압 폴로워(voltage follower)(511)는 출력전압이 입력전압을 추적하기 때문에 붙여진 이름이다. 전압 폴로워는 단위 이득 증폭기(unit gain amplifier) 또는 완충 증폭기라고도 부른다.

제 1 선택회로(521)는 전압 폴로워(511)의 입력단에 연결되며, 클록신호(TP)에 응답하여 전압 폴로워(511)의 입력단에 계조전압(VI1) 또는 공유라인(SL)의 전압(V_{SL})을 제공한다. 예를 들면, 제 1 선택회로(521)는 클록신호(TP)가 활성화 되는 구간 동안에는 공유라인의 전압(V_{SL})을 제공하고, 비활성화 되는 구간 동안에는 계조전압(VI1)을 제공한다.

제 2 선택회로(531)는 전압 폴로워(511)의 출력단에 연결되며, 클록신호(TP)에 응답하여 데이터 라인(DL1)에 전압 폴로워(511)의 출력전압(VO1) 또는 공유라인의 전압(V_{SL})을 제공한다. 예를 들면, 제 2 선택회로(531)는 클록신호(TP)가 활성화 되는 구간 동안에는 공유라인의 전압(V_{SL})을 제공하고, 비활성화 되는 구간 동안에 전압 폴로워(511)의 출력전압(VO1)을 제공한다.

제 2 선택회로(531)는 도 2에서 보는 바와 같이 제 1 스위치(SW1)(221) 및 제 2 스위치(SW2)(231)로 구성될 수 있다. 그러나 제 2 선택회로(531)는 이에 국한되는 것은 아니며, 클록신호(TP)에 응답하여 데이터 라인(DL1)에 공유라인의 전압(V_{SL}) 또는 출력전압(VO1)을 제공하는 모든 형태의 회로를 모두 포함한다.

공유라인(SL)은 데이터 라인들(DL1~DLn)의 전압 레벨을 공유하기 위한 것이다. 도 5에서는 공유라인의 전압(V_{SL})이 데이터 라인들(DL1~DLn)만의 전압 레벨을 공유한 것으로 도시되어 있지만, 본 발명에 따른 소스 드라이버 출력 회로(500)는 공유라인(SL)에 소정의 전압을 제공하기 위한 전압 발생 회로(도시되지 않음)를 더 포함할 수도 있다.

본 발명에 따른 소스 드라이버 출력 회로(500)는 다수의 전압 폴로워들(511~51n)의 입력단에 연결된 제 1 선택회로들(521~52n)을 구비하여, 클록신호(TP)가 활성화 되는 구간 동안에 다수의 전압 폴로워들(511~51n)에 공유라인의 전압(V_{SL})을 제공하고, 클록신호(TP)가 비활성화 되는 구간 동안에 계조전압들(VI1~VI_n)을 제공한다. 그리고 본 발명에 따른 소스 드라이버 출력 회로(500)는 다수의 전압 폴로워들(511~51n)의 출력단과 데이터 라인들(DL1~DLn) 사이에 연결된 제 2 선택회로들(531~53n)을 구비하여, 클록신호(TP)가 활성화 되는 구간 동안에 데이터 라인들(DL1~DLn)에 공유라인의 전압(V_{SL})을 제공하고, 클록신호(TP)가 비활성화 되는 구간 동안에 다수의 전압 폴로워들(511~51n)의 출력전압(VO1~VO_n)을 제공한다. 본 발명에 따른 소스 드라이버 출력 회로(500)의 동작은 후술 되는 도 6 및 도 7을 참조하여 더욱 상세히 설명한다.

도 6은 클록신호(TP)의 펄스 폭이 짧은 경우에 데이터 라인(DL1)의 전압 레벨의 변화를 보여주고, 도 7은 클록신호(TP)의 펄스 폭이 긴 경우에 데이터 라인(DL1)의 전압 레벨의 변화를 보여준다. 도 6에서 클록신호(TP)의 펄스 폭(t_1-t_0)은 기준 펄스 폭(t_r-t_0)보다 짧고, 도 7에서 클록신호(TP)의 펄스 폭(t_2-t_0)은 기준 펄스 폭(t_r-t_0)보다 길다.

도 5 및 도 6을 참조하여 클록신호(TP)의 펄스 폭(t_1-t_0)이 기준 펄스 폭(t_r-t_0)보다 짧은 경우에, 소스 드라이버 출력 회로(500)의 동작을 설명하면 다음과 같다.

먼저, t_0 에서 클록신호(TP)가 로우(Low) 레벨에서 하이(High) 레벨로 천이하면, 제 1 선택회로(521)는 전압 폴로워(511)의 입력단에 공유라인의 전압(V_{SL})을 제공하고, 제 2 선택회로(531)는 데이터 라인(DL1)에 공유라인의 전압(V_{SL})을 제공한다. 즉, 전압 폴로워(511)의 입력전압(VI1') 및 데이터 라인(DL1)의 전압은 공유라인의 전압(V_{SL})이 된다.

클록신호(TP)가 활성화 되는 구간($t_0 \sim t_1$)에서, 전압 폴로워(511)의 입력전압(VI1') 및 데이터 라인(DL1)의 전압은 공유라인의 전압(V_{SL})을 유지한다. 그리고 전압 폴로워(511)의 출력전압(VO1)은 공유라인의 전압(V_{SL})까지 슬루율을 가지며 완만히 상승한다.

다음으로, t_1 에서 클록신호(TP)가 하이 레벨에서 로우 레벨로 천이하면, 제 1 선택회로(521)는 전압 폴로워(511)의 입력단에 계조전압(VI1)을 제공한다. 이때 전압 폴로워(511)는 계조전압(VI1)을 입력받아 슬루율을 가지며 완만히 상승하는 출력전압(VO1)을 발생한다. 한편, t_1 에서 제 2 선택회로(531)는 전압 폴로워(511)의 출력전압(VO1)을 데이터 라인(DL1)에 제공한다. 즉, t_1 에서부터 데이터 라인(DL1)의 전압 레벨은 출력전압(VO1)과 같아진다.

도 6을 참조하면, 클록신호(TP)의 펄스 폭(t_1-t_0)이 기준 펄스 폭(t_r-t_0)보다 짧은 경우에, 데이터 라인(DL1)의 전압 레벨은 $t_1 \sim t_r$ 구간에서 슬루율을 가지며 완만히 상승한다.

도 5 및 도 7을 참조하여 클록신호(TP)의 펄스 폭(t_2-t_0)이 기준 펄스 폭(t_r-t_0)보다 긴 경우에 소스 드라이버 출력 회로(500)의 동작을 설명하면 다음과 같다.

먼저, t_0 에서 클록신호(TP)가 로우(Low) 레벨에서 하이(High) 레벨로 천이하면, 전압 폴로워(511)의 입력전압(VI1') 및 데이터 라인(DL1)의 전압은 공유라인의 전압(V_{SL})이 된다. 그리고 클록신호(TP)가 활성화 되는 구간($t_0 \sim t_2$)에서, 전압 폴로워(511)의 입력전압(VI1') 및 데이터 라인(DL1)의 전압은 공유라인의 전압(V_{SL})을 유지한다. 이때 전압 폴로워(511)의 출력전압(VO1)은 공유라인의 전압(V_{SL})까지 슬루율을 가지며 완만히 상승한다.

다음으로, t_2 에서 클록신호(TP)가 하이 레벨에서 로우 레벨로 천이하면, 전압 폴로워(511)는 게조전압(VI1)을 입력받아서 슬루율을 가지며 완만히 상승하는 출력전압(VO1)을 발생한다. 이때부터 데이터 라인(DL1)의 전압 레벨은 도 7의 7A에서 보는 바와 같이 출력전압(VO1)과 동일하게 슬루율을 가지며 완만히 상승한다.

도 6 및 도 7에서 보는 바와 같이, 본 발명의 제 1 실시예에 따른 소스 드라이버 출력 회로(500)는 클록신호(TP)의 펄스 폭의 길이에 관계없이 클록신호(TP)의 하이-로우 천이에 동기되어 게조전압을 입력받아서 슬루율을 가지며 완만히 상승하는 출력전압을 데이터 라인에 제공한다. 소스 드라이버 출력 회로(500)는 클록신호(TP)가 하이 레벨에서 로우 레벨로 천이하는 시점(t_2)에서 도 4의 4A에서 보는 바와 같이 데이터 라인(DL1)의 전압 레벨이 급격히 상승하지 않는다. 따라서 소스 드라이버 출력 회로는 데이터 라인(DL1)의 전압 레벨이 급격히 상승하여 공통 전극(Vcom)의 레벨이 변하는 것을 방지할 수 있다.

도 8은 본 발명의 바람직한 제 2 실시예에 따른 소스 드라이버 출력 회로(800)를 보여주는 회로도이다. 도 8을 참조하면, 소스 드라이버 출력 회로(800)는 다수의 전압 폴로워들(811~81n), 제 1 선택회로들(821~82n), 제 2 선택회로들(831~83n), 그리고 데이터 라인들의 전압 레벨을 공유하기 위한 공유라인(Share Line; SL)을 포함한다.

도 8에 도시된 소스 드라이버 출력 회로(800)는 클록신호(TP)가 활성화 되는 구간 동안에 제 1 선택회로들(821~82n)에 외부 전압(V_{EX})을 제공하는 점을 제외하면, 도 5에 도시된 소스 드라이버 출력 회로(800)의 구성 및 동작과 동일하다.

도 9는 클록신호(TP)의 펄스 폭이 긴 경우에 데이터 라인(DL1)의 전압 레벨을 보여준다. 도 9에서 클록신호(TP)의 펄스 폭(t_2-t_0)은 기준 펄스 폭(t_r-t_0)보다 길다.

도 8 및 도 9를 참조하면, t_0 에서 클록신호(TP)의 로우-하이 천이에 동기되어, 전압 폴로워(811)에 외부 전압(V_{EX})이 입력되고, 데이터 라인(DL1)에 공유라인의 전압(V_{SL})이 입력된다. 그리고 클록신호(TP)가 활성화 되는 구간($t_0 \sim t_2$)에서, 전압 폴로워(811)의 입력전압(VI1')은 외부 전압(V_{EX})을 유지하고, 데이터 라인(DL1)의 전압은 공유라인의 전압(V_{SL})을 유지한다. 이때 전압 폴로워(811)의 출력전압(VO1)은 외부 전압(V_{EX})까지 슬루율을 가지며 완만히 상승한다.

다음으로, t_2 에서 클록신호(TP)가 하이 레벨에서 로우 레벨로 천이하면, 전압 폴로워(811)는 게조전압(VI1)을 입력받아서 슬루율을 가지며 완만히 상승하는 출력전압(VO1)을 발생한다. 이때부터 데이터 라인(DL1)의 전압 레벨은 도 9에서 보는 바와 같이 출력전압(VO1)과 동일하게 슬루율을 가지며 완만히 상승한다.

여기에서, 외부 전압(V_{EX})은 소스 드라이버 출력 회로(800)의 내부 뿐만 아니라 외부에서도 제공될 수 있다. 그리고 외부 전압(V_{EX})은 공유라인의 전압(V_{SL})과 동일한 레벨을 갖는 것이 바람직하나, 외부 전압(V_{EX})이 공유라인의 전압(V_{SL})과 동일한 레벨의 전압을 갖는 것으로 국한되는 것은 아니다.

본 발명의 제 2 실시예에 따른 소스 드라이버 출력 회로(800)는 도 5에 도시된 소스 드라이버 출력 회로(500)와 마찬가지로 클록신호(TP)가 하이 레벨에서 로우 레벨로 천이하는 시점(t_2)에서 데이터 라인(DL1)의 전압이 급격히 상승하지 않는다. 따라서 소스 드라이버 출력 회로(800)는 데이터 라인(DL1)이 급격히 상승하여 공통 전극(Vcom)의 레벨이 변하는 것을 방지할 수 있다.

이상에서 살펴 본 바와 같이, 본 발명에 따른 소스 드라이버 출력 회로 및 그것의 데이터 라인 구동 방법은 클록신호(TP)가 하이 레벨에서 로우 레벨로 천이할 때, 클록신호(TP)의 펄스 폭에 관계없이 데이터 라인의 전압이 급격히 상승하지 않는다. 본 발명은 클록신호(TP)의 펄스 폭에 관계없이 슬루율을 가지며 완만히 상승하는 출력전압을 데이터 라인에 제공하여 공통 전극의 전압이 변하는 것을 방지할 수 있다.

한편, 본 발명의 상세한 설명에서는 구체적인 실시예에 관하여 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서 여러 가지로 변형할 수 있다. 그러므로 본 발명의 범위는 상술한 실시예에 국한되어 정해져서는 안되며 후술하는 특허청구범위 뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 한다.

발명의 효과

상술한 바와 같이 본 발명에 따른 소스 드라이버 출력 회로 및 그것의 데이터 라인 구동 방법에 의하면, 클록신호(TP)가 하이 레벨에서 로우 레벨로 천이할 때, 데이터 라인의 전압은 클록신호(TP)의 펄스 폭에 관계없이 급격히 상승하지 않는다. 본 발명은 클록신호(TP)의 펄스 폭에 관계없이 슬루율을 가지며 완만히 상승하는 출력전압을 데이터 라인에 제공하여 공통 전극의 전압 레벨이 변하는 것을 방지할 수 있다.

(57) 청구의 범위

청구항 1.

액정 표시 장치의 소스 드라이버 출력 회로에 있어서:

데이터 라인들을 구동하기 위한 다수의 전압 폴로워들;

상기 데이터 라인들의 전압 레벨을 공유하기 위한 공유라인; 및

클록신호(TP)에 응답하여 상기 공유라인의 전압을 상기 다수의 전압 폴로워들의 입력단에 제공하는 선택회로를 포함하는 소스 드라이버 출력 회로.

청구항 2.

제 1 항에 있어서,

상기 선택회로는 상기 클록신호(TP)가 활성화 되는 구간 동안에 상기 다수의 전압 폴로워들의 입력단에 상기 공유라인의 전압을 제공하는 것을 특징으로 하는 소스 드라이버 출력 회로.

청구항 3.

제 2 항에 있어서,

상기 선택회로는 상기 클록신호(TP)가 비활성화 되는 구간 동안에 상기 다수의 전압 폴로워들의 입력단에 게조전압들을 제공하는 것을 특징으로 하는 소스 드라이버 출력 회로.

청구항 4.

제 1 항에 있어서,

상기 선택회로는 상기 클록신호(TP)의 로우-하이 천이에 동기되어 상기 다수의 전압 폴로워들의 입력단에 상기 공유라인의 전압을 제공하고, 상기 클록신호(TP)의 하이-로우 천이에 동기되어 상기 다수의 전압 폴로워들의 입력단에 게조전압들을 제공하는 것을 특징으로 하는 소스 드라이버 출력 회로.

청구항 5.

제 1 항에 있어서,

상기 클록신호(TP)가 활성화 되는 구간 동안에 상기 공유라인과 상기 데이터 라인들을 연결하는 제 1 스위치들을 더 포함하는 것을 특징으로 하는 소스 드라이버 출력 회로.

청구항 6.

제 5 항에 있어서,

상기 클록신호(TP)가 비활성화 되는 구간 동안에 상기 다수의 전압 폴로워들의 출력단과 상기 데이터 라인들을 연결하는 제 2 스위치들을 더 포함하는 것을 특징으로 하는 소스 드라이버 출력 회로.

청구항 7.

제 6 항에 있어서,

상기 클록신호(TP)가 활성화 되는 구간 동안에, 상기 공유라인의 전압은 상기 다수의 전압 폴로워들의 입력단 및 상기 데이터 라인들에 제공되는 것을 특징으로 하는 소스 드라이버 출력 회로.

청구항 8.

제 7 항에 있어서,

상기 클록신호(TP)가 비활성화 되는 구간 동안에, 상기 다수의 전압 폴로워들은 게조전압들을 입력받아서 상기 데이터 라인들을 구동하는 것을 특징으로 하는 소스 드라이버 출력 회로.

청구항 9.

제 6 항에 있어서,

상기 제 1 스위치들은 상기 클록신호(TP)의 로우-하이 천이에 동기되어 상기 데이터 라인에 상기 공유라인의 전압을 제공하고;

상기 제 2 스위치들은 상기 클록신호(TP)의 하이-로우 천이에 동기되어 상기 데이터 라인들에 상기 다수의 전압 폴로워들의 출력전압을 제공하는 것을 특징으로 하는 소스 드라이버 출력 회로.

청구항 10.

제 1 항에 있어서,

상기 공유라인에 소정의 전압을 제공하기 위한 전압 발생 회로를 더 포함하는 것을 특징으로 하는 소스 드라이버 출력 회로.

청구항 11.

액정 표시 장치의 소스 드라이버 출력 회로에 있어서:

데이터 라인들을 구동하기 위한 다수의 전압 폴로워들;

상기 데이터 라인들의 전압 레벨을 공유하기 위한 공유라인;

상기 다수의 전압 폴로워들의 입력단에 연결되며, 클록신호(TP)에 응답하여 게조전압들 또는 소정의 전압을 상기 다수의 전압 폴로워들의 입력단에 제공하는 제 1 선택회로; 및

상기 다수의 전압 폴로워들의 출력단과 상기 데이터 라인들 사이에 연결되며, 상기 클록신호(TP)에 응답하여 상기 다수의 전압 폴로워들의 출력전압 또는 상기 공유라인의 전압을 상기 데이터 라인들에 제공하는 제 2 선택회로를 포함하는 소스 드라이버 출력 회로.

청구항 12.

제 11 항에 있어서,

상기 소정의 전압은 상기 공유라인의 전압과 동일 레벨인 것을 특징으로 하는 소스 드라이버 출력 회로.

청구항 13.

제 12 항에 있어서,

상기 클록신호(TP)가 활성화 되는 구간 동안에, 상기 제 1 및 제 2 선택회로는 상기 다수의 전압 폴로워들의 입력단 및 상기 데이터 라인들에 상기 소정의 전압과 상기 공유라인의 전압을 각각 제공하는 것을 특징으로 하는 소스 드라이버 출력 회로.

청구항 14.

제 13 항에 있어서,

상기 클록신호(TP)가 비활성화 되는 구간 동안에, 상기 제 1 선택회로는 상기 다수의 전압 폴로워들의 입력단에 상기 게조 전압들을 제공하고, 상기 제 2 선택회로는 상기 데이터 라인들에 상기 다수의 전압 폴로워들의 출력전압을 제공하는 것을 특징으로 하는 소스 드라이버 출력 회로.

청구항 15.

제 12 항에 있어서,

상기 클록신호(TP)의 로우-하이 천이에 동기되어, 상기 제 1 및 제 2 선택회로는 상기 다수의 전압 폴로워들의 입력단 및 상기 데이터 라인들에 상기 소정의 전압과 상기 공유라인의 전압을 각각 제공하는 것을 특징으로 하는 소스 드라이버 출력 회로.

청구항 16.

제 15 항에 있어서,

상기 클록신호(TP)의 하이-로우 천이에 동기되어, 상기 제 1 선택회로는 상기 다수의 전압 폴로워들의 입력단에 상기 계조전압들을 제공하고, 상기 제 2 선택회로는 상기 데이터 라인들에 상기 다수의 전압 폴로워들의 출력전압을 제공하는 것을 특징으로 하는 소스 드라이버 출력 회로.

청구항 17.

계조전압들을 입력받아서 데이터 라인들을 구동하기 위한 다수의 전압 폴로워들; 및 상기 데이터 라인들의 전압 레벨을 공유하기 위한 공유라인을 포함하는 액정 표시 장치의 소스 드라이버 출력 회로의 데이터 라인 구동 방법에 있어서:

클록신호(TP)의 활성화에 응답하여 상기 다수의 전압 폴로워들이 상기 공유라인의 전압을 입력받는 단계; 및

상기 클록신호(TP)의 비활성화에 응답하여 상기 다수의 전압 폴로워들이 상기 계조전압들을 입력받아서 상기 데이터 라인들을 구동하는 단계를 포함하는 데이터 라인 구동 방법.

청구항 18.

제 17 항에 있어서,

상기 다수의 전압 폴로워들은 상기 클록신호(TP)의 로우-하이 천이에 동기되어 상기 공유라인의 전압을 입력받는 것을 특징으로 하는 데이터 라인 구동 방법.

청구항 19.

제 18 항에 있어서,

상기 다수의 전압 폴로워들은 상기 클록신호(TP)의 하이-로우 천이에 동기되어 상기 계조전압들을 입력받는 것을 특징으로 하는 데이터 라인 구동 방법.

청구항 20.

계조전압들을 입력받아서 데이터 라인들을 구동하기 위한 다수의 전압 폴로워들; 및 상기 데이터 라인들의 전압 레벨을 공유하기 위한 공유라인을 포함하는 액정 표시 장치의 소스 드라이버 출력 회로의 데이터 라인 구동 방법에 있어서:

클록신호(TP)의 활성화에 응답하여 상기 다수의 전압 폴로워들은 소정의 전압을 입력받고 상기 데이터 라인들은 상기 공유라인의 전압을 입력받는 단계; 및

상기 클록신호(TP)의 비활성화에 응답하여 상기 다수의 전압 폴로워들이 상기 계조전압들을 입력받아서 상기 데이터 라인들을 구동하는 단계를 포함하는 데이터 라인 구동 방법.

청구항 21.

제 20 항에 있어서,

상기 소정의 전압은 상기 공유라인의 전압과 동일 레벨인 것을 특징으로 하는 데이터 라인 구동 방법.

청구항 22.

제 21 항에 있어서,

상기 클록신호(TP)의 로우-하이 천이에 동기되어 상기 다수의 전압 폴로워들의 입력단에 상기 소정의 전압이 제공되고, 상기 데이터 라인들에 상기 공유라인의 전압이 제공되는 것을 특징으로 하는 데이터 라인 구동 방법.

청구항 23.

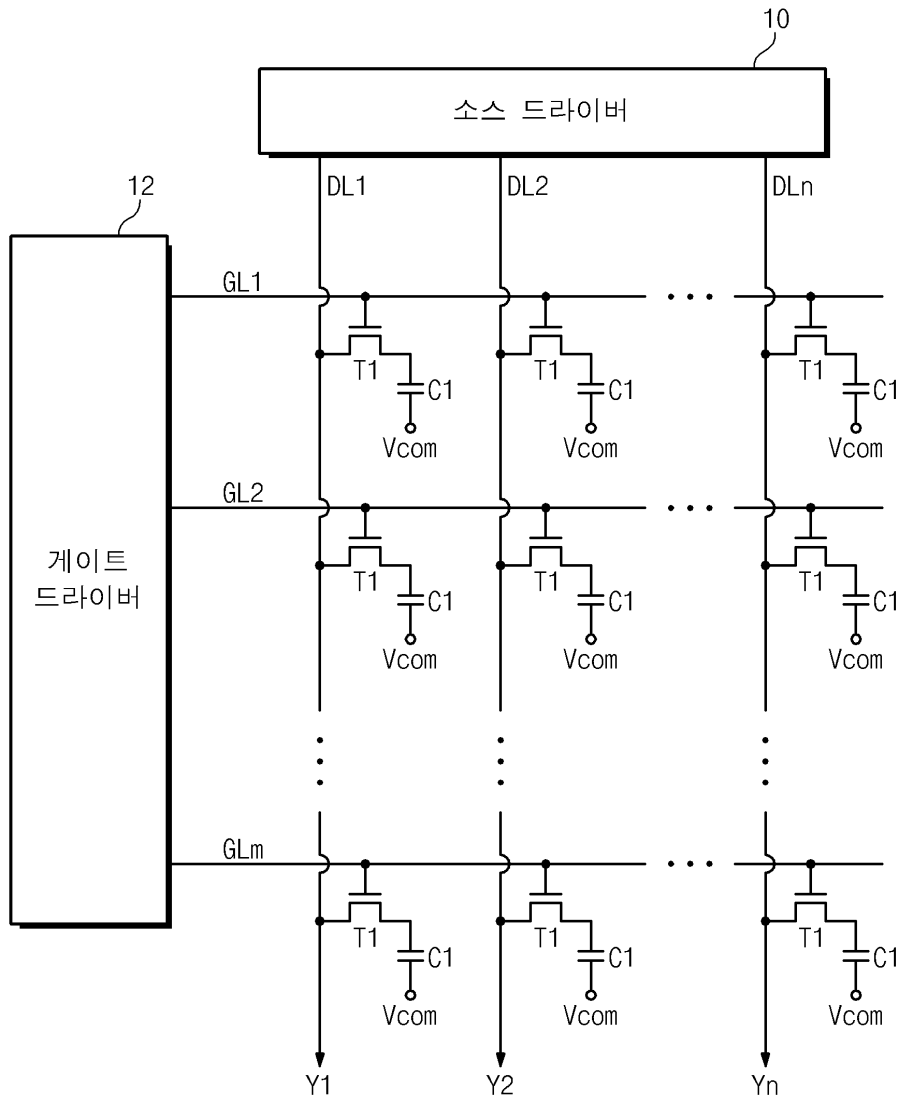
제 22 항에 있어서,

상기 다수의 전압 폴로워들은 상기 클록신호(TP)의 하이-로우 천이에 동기되어 상기 계조전압들을 입력받아서 상기 데이터 라인들을 구동하는 것을 특징으로 하는 데이터 라인 구동 방법.

도면

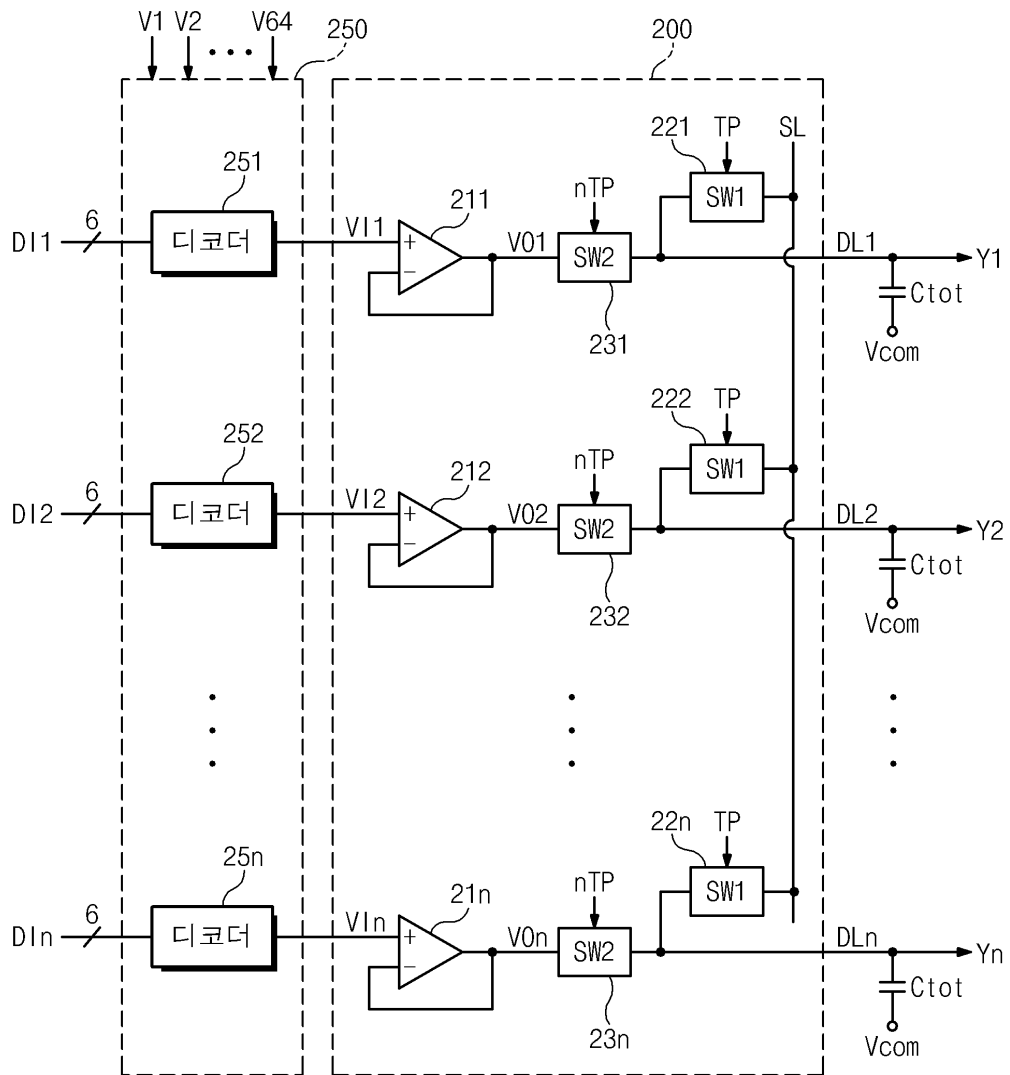
도면1

(종래 기술)



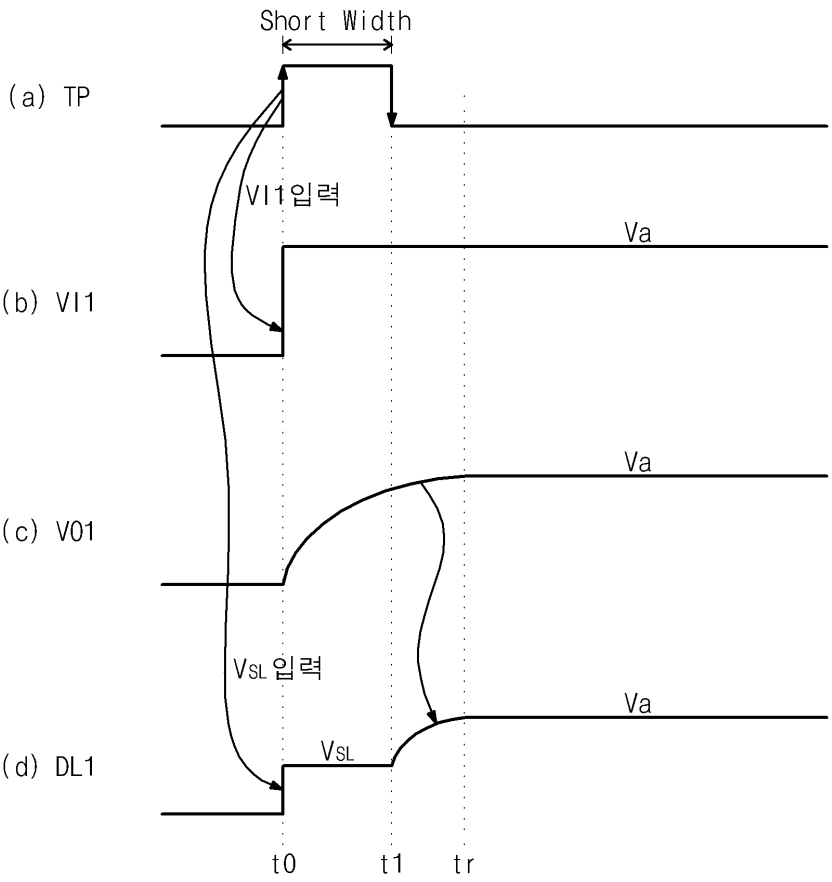
도면2

(종래 기술)



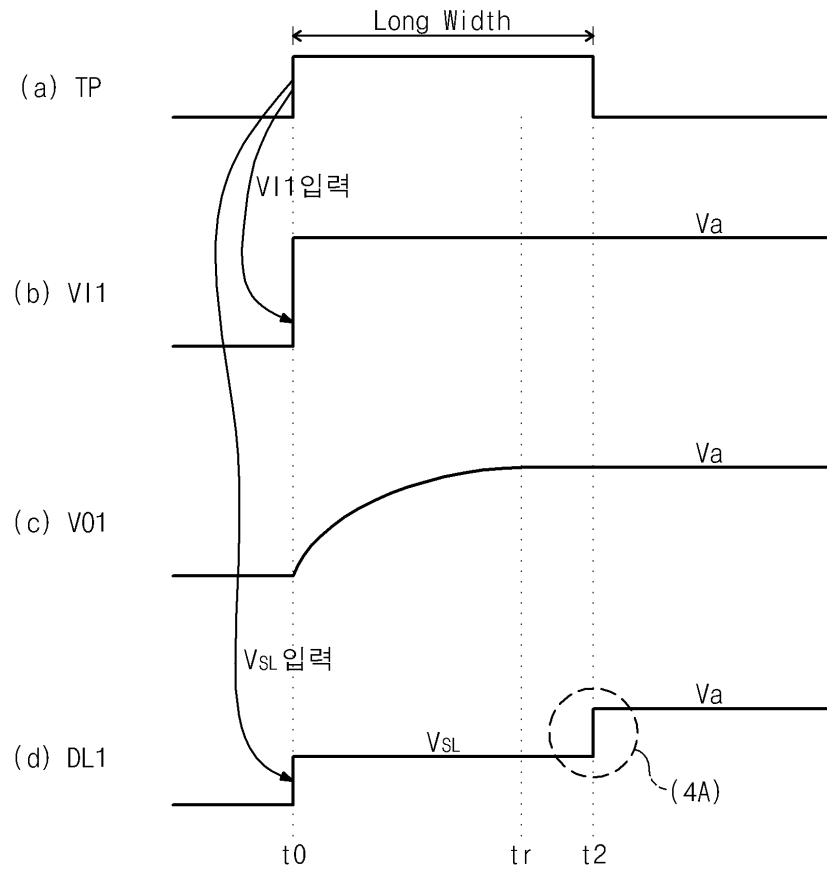
도면3

(종래 기술)

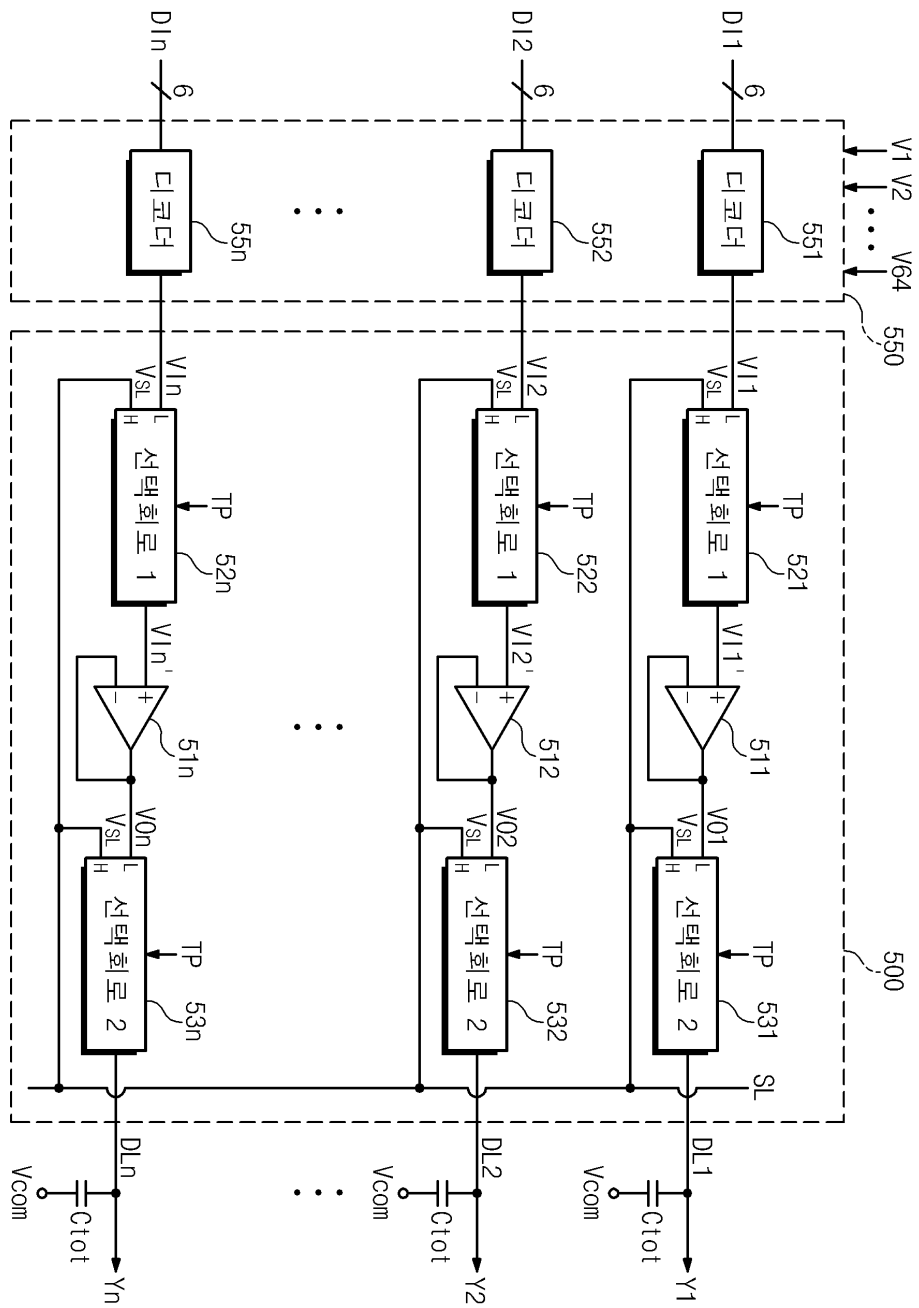


도면4

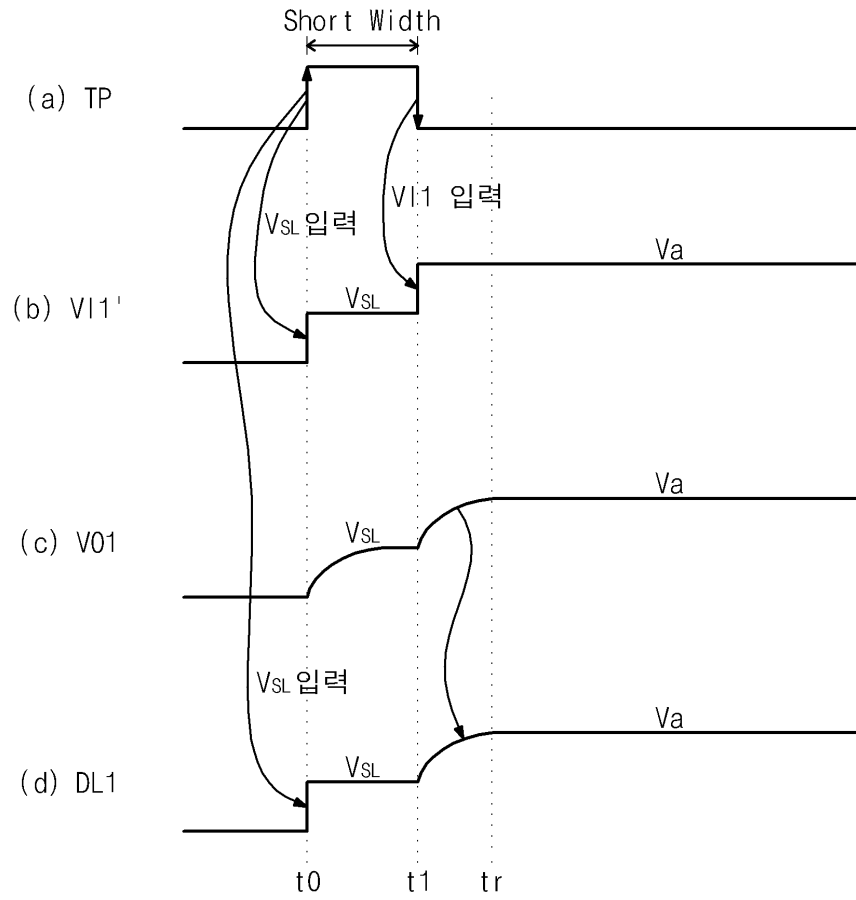
(종래 기술)



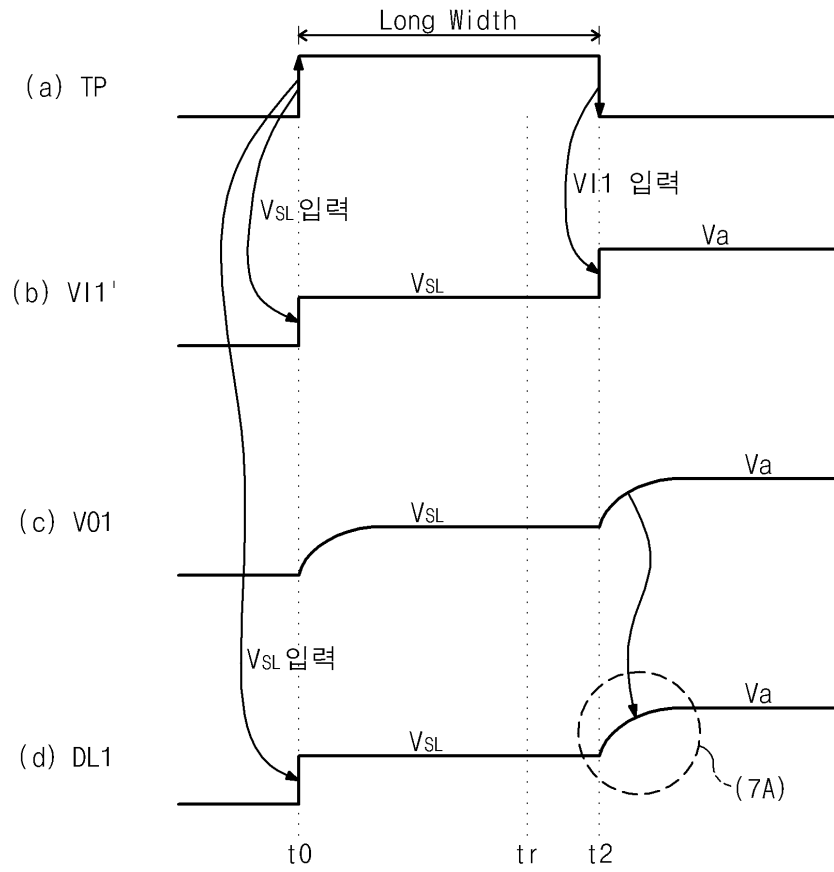
도면5



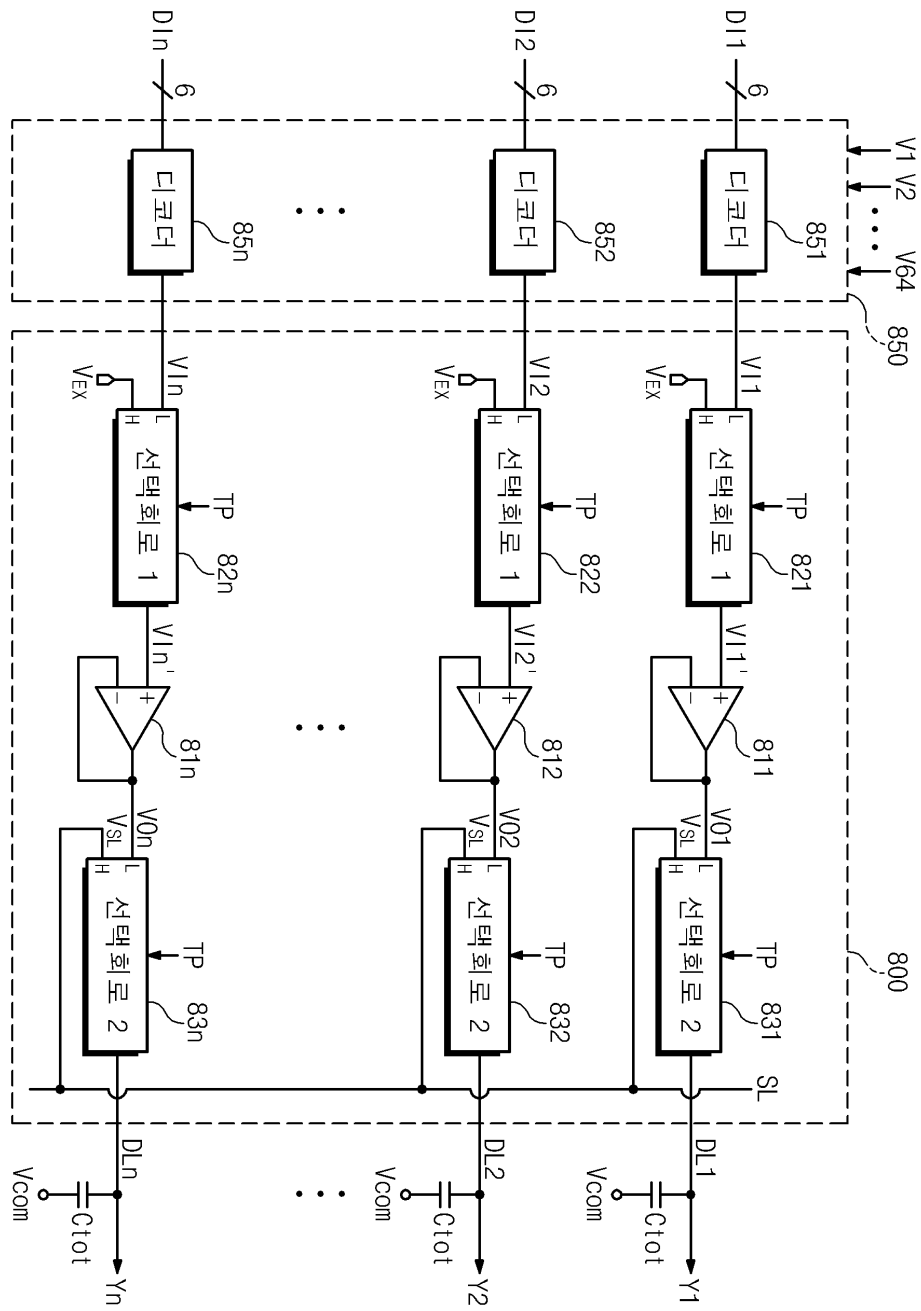
도면6



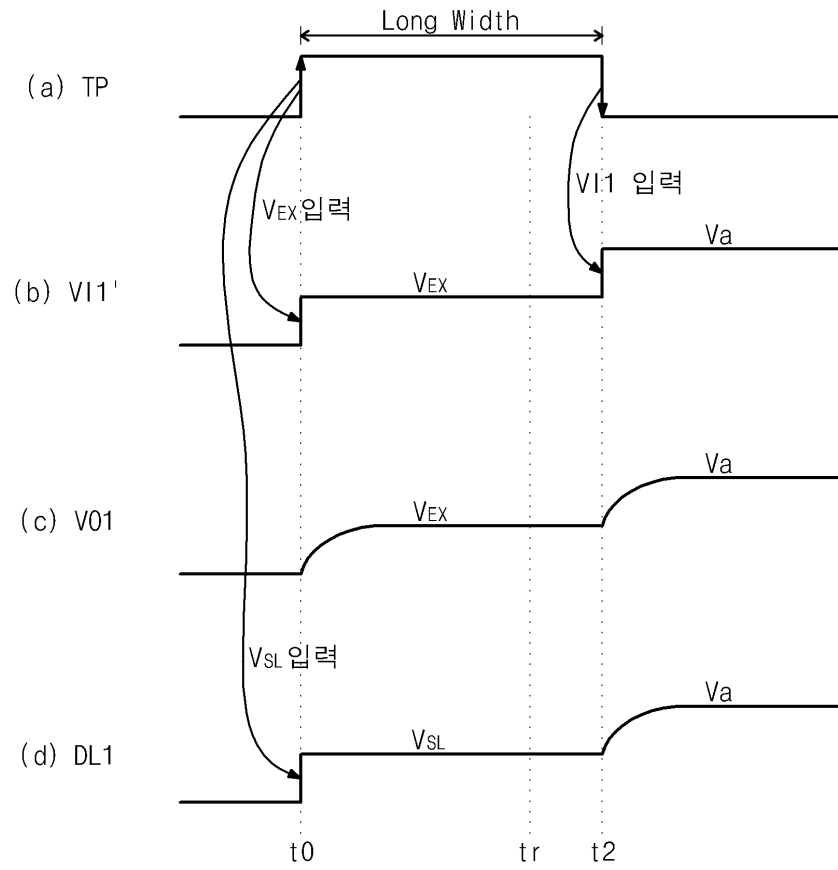
도면7



도면8



도면9



专利名称(译)	液晶显示器的源极驱动器输出电路和数据线驱动方法		
公开(公告)号	KR100614661B1	公开(公告)日	2006-08-22
申请号	KR1020050048519	申请日	2005-06-07
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	SUNG SI WANG 성시왕 PARK JUN HONG 박준홍		
发明人	성시왕 박준홍		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G2310/027 G09G2320/0219 G09G2330/023 G09G3/3688		
代理人(译)	YIM , 常HYUN KWON , HYUK SOO SE JUN OH 宋 , 云何		
外部链接	Espacenet		

摘要(译)

用途：提供LCD驱动器输出电路和LCD（液晶显示器）的数据线驱动方法，以通过提供输出电压来防止公共电极的电压电平变化，输出电压在转换速率下逐渐增加，而不管时钟信号的脉冲宽度，到数据线。组成：LCD的源驱动器输出电路（500）包括多个电压跟随器（511~51n），用于驱动数据线（DL1~DLn）；共享线（SL）共享数据线的电压电平；在激活时钟信号的时段期间，响应于时钟信号（TP），将选择电路（521~52n，531~53n）提供给多个电压跟随器的输入级。

