

(19)대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl.⁷
G02F 1/1343

(45) 공고일자 2004년12월23일
(11) 등록번호 10-0462964
(24) 등록일자 2004년12월13일

(21) 출원번호	10-2001-0065279 (분할)	(65) 공개번호	
(22) 출원일자	2001년10월23일	(43) 공개일자	
(62) 원출원	특허 10-1996-0071119		
	원출원일자 : 1996년12월20일	심사청구일자	2001년10월23일

(30) 우선권주장 JP-P-1995-00349670 1995년12월20일 일본(JP)

(73) 특허권자 가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 야마자키순페이
일본국157토쿄세타가야쿠세이조4-10-20

니시타케시
일본국243가나가와켄아쓰기시하세304-1플랫셀-에이303

사타케루모
일본국243가나가와켄아쓰기시누루미주1405-1만시온301

(74) 대리인 황의만

심사관 : 고광석

(54) 액정표시장치

요약

기판에 평행한 전계 강도의 제어에 의해 액정재료를 구동하는 횡전계 구동방식의 액정표시장치에 있어서, 화소전극 주위의 전계 강도의 비연속성을 극도로 억제함으로써 액정재료의 배향 결함의 발생 및 동작의 편차를 저감하고, 표시 특성이 양호해지는 구성 및 그 제작방법을 제공한다. 유리기판 상에 형성된 게이트 전극(403), 소스 전극(407), 드레인 전극(408), 반도체막(406), 공통 전극(404)으로 이루어지며, 유리기판에 거의 평행한 방향의 전계 강도의 제어에 의해 액정재료를 구동하는 횡전계 구동방식의 액정표시장치에 있어서, 상기 각 전극, 반도체막의 단면 형상을 반원, 타원 등의 곡선 모양의 단면으로 하였다. 또한, 상기 곡선 모양의 단면의 형성은 각종 패터닝·에칭방법을 적절하게 선택, 조합시키는 것으로 가능하게 된다.

대표도

도 5

명세서

도면의 간단한 설명

도 1은 종래의 액정표시장치에서 전극들 사이에 전계가 인가되었을 때의 전기력선을 나타내는 도면.
 도 2는 2개의 점전하(點電荷)가 형성하는 전기력선 및 등전위면(等電位面)을 개략적으로 나타내는 도면.
 도 3은 굽은 단면 형상을 가지는 한 쌍의 전극 주위의 전기력선을 나타내는 도면.
 도 4는 본 발명의 실시예 1에서의 액정표시장치의 화소영역을 개략적으로 나타내는 도면.
 도 5는 본 발명의 실시예 1에서의 액정표시장치의 단면을 개략적으로 나타내는 도면.
 도 6은 본 발명의 실시예 2에서의 액정표시장치의 화소영역을 개략적으로 나타내는 도면.
 도 7은 본 발명의 실시예 2에서의 액정표시장치의 박막트랜지스터를 제작하는 공정을 나타내는 도면.

* 도면의 주요부분에 대한 부호의 설명

101, 102: 전극 103: 기판
 104, 105: 전극 측면 106, 109, 110: 전기력선
 107, 108: 전극 상면 111: 등전위면
 403: 게이트 전극 404: 공통전극
 405: 게이트 절연막 406: a-Si막
 407: 소스 전극 408: 드레인 전극
 409: TFT 보호막(산화규소 절연막) 411: 배향막
 412: 편광판 413: 액정층
 602, 603, 604: 활성층 605: 게이트 절연막
 606, 607, 608: 게이트 전극 609: 공통전극
 610, 611, 612: 약한 N형 영역 615, 616: 강한 N형 영역
 617: 저농도 불순물영역 619: 강한 P형 영역
 620: 층간절연막 621 623: 주변회로의 전극·배선
 624, 825: 화소 TFT의 전극·배선 626: 질화규소막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 양호한 전기 특성과 시야각 특성을 가지며 화면 전체에 균일한 표시가 얻어지는 액정표시장치에 관한 것이다.
 액정표시장치의 시야각을 넓게 하는 방법으로서, 액정에 인가하는 전계의 방향을 기판면에 거의 평행하게 하는 방식(이하, 수퍼 TFT 방식이라고 한다)이, 예를 들어, 일본국 공개특허공고 특개평 6-160878호 공보에 개시되어 있다. 이 경우, 한 장의 기판 상에 형성된 소스 전극과 공통 전극 사이에 전계를 유기(誘起)시키고, 그 전계 방향으로 액정분자를 배향시키고 있다. 또한, 일본국 공개특허공고 특개평 6-214244호 공보에서는, 전극을 셀(cell) 두께와 같은 높이로 함으로써 액정에 인가하는 전계를 균일하게 하고 있다.
 이와 같은 액정표시장치에서는, 액정분자의 장축을 기판에 평행한 상태를 유지한 채 스위칭하기 때문에, 시야각에 따른 액정의 광학 특성의 변화가 적다. 이 때문에, 시야각에 따른 광 누설, 콘트라스트의 저하 등이 종래의 TN, STN 방식에 비하여 적다.

발명이 이루고자 하는 기술적 과제

그러나, 종래에 이용되고 있는 수퍼 TFT방식의 전극은 사다리꼴 또는 사각형의 구조를 하고 있고, 이 전극으로부터 발생하는 전계가 사다리꼴 또는 사각형의 정점(頂點)을 경계로 비연속적으로 되어 있다. 이에 따라, 액정에 인가되는 전계가 어떤 점을 경계로 변화한다. 즉, 전계(전속(電束)밀도)가 사다리꼴 또는 사각형의 정점 상하에서 급격히 변화한다. 이 때문에, 전계에 의한 액정 스위칭이 셀(cell) 내에서 똑 같이 행해지지 않고, 전계 OFF→ON 상태, 또는 ON→OFF 상태로의 시간(각각 상승(rise)시간, 하강(fall)시간이라고 한다)이 셀 내에서 변동하는 현상이 보였다.
 이것은, 횡전계를 이용하여 액정구동을 행하는 수퍼 TFT방식에서 특히 현저하게 나타나는 결점이다.
 상기 전계의 비연속성을 도 1에 의거하여 설명한다. 여기서는 간단히 하기 위해, 절연성을 나타내는 기판(103) 상에 형성된, 높이 'a'와 폭 'c'의 사각형 단면을 가지고 전극 간격이 2b인 한 쌍의 평행 전극(101, 102) 사이에 전압을 인가한 경우에 있어서의 전극 주위의 전기력선의 양태에 대하여 설명한다(전하가 형성하는 전기력선에 대해서는, 전자기학의 저서, 예를 들어, 나가타 가즈키요 저(著) [전자기학], 아사쿠라 서점, 및 고토·야마자키 공편(共編) [상해 전자기학 연습], 교리츠 출판 등을 참조). 또한, 여기서는 기판에 평행하고 전극에 수직인 방향을 x축, 기판 표면에 대하여 수직인 방향을 y축으로 한다. 또한, 기판에 평행한 전극면이 y=0이 되도록 원점(原點)을 정의한다.

(1) $y < 0$ ($-b \leq x \leq b$)의 영역, 즉, 전극들 사이의 영역

전하는 전극 측면(104, 105)에서 균등하게 분포하고 있다고 간주될 수 있기 때문에, 전기력선(106)은 전극에 수직(기

판에 평행)이다.

(2) $y > 0$ 의 영역, 즉, 전극 상부의 영역

여기서는 간단히 하기 위해, xy 평면상에서의 전기력선의 양태를 조사한다.

전하는 전극 상면(107, 108)에서 균등하게 분포하고 있다고 간주될 수 있다.

$y > 0$ 의 영역의 임의의 점에 대하여, 원점으로부터의 거리를 r , r 과 x 축이 이루는 각을 θ 라고 한다. 또한, z 를 복소(複素)평면상의 점으로 하고 x , y 및 r , θ 를 이용하여 나타내면, $z = x + iy = r \exp(i\theta)$ 의 관계가 성립한다.

여기서, 해석을 용이하게 하기 위해, w 값을 $w = A \log z$ 로서 정의한다(A 는 비례정수). w 의 실부(實部), 허부(虛部)를 각각 u , v 라고 하면, $w = u + iv = A \log z$ 로 나타내어지고, $u + iv = A \log\{r \exp(i\theta)\} = A \log r + iA\theta$ 가 된다. 따라서, $u = A \log r$, $v = A\theta$ 로 나타내어진다.

따라서, w 평면에서 u 가 일정하게 나타내어지는 곡선 군(群)은 xy 평면에서는 $r =$ 일정(一定)인 곡선 군, 즉, 원점을 중심으로 한 동심원 군이 된다.

상기 결과에 대하여 나타낸 것이 도 1이고, 전극 측면과 전극 상면에서 전계분포가 다른 것을 알 수 있다.

여기서는, 일례로서 단면이 사각형인 전극 사이의 전계를 나타내었지만, 단면이 사다리꼴인 전극 사이에서도 마찬가지이다. 왜냐하면, 전계는 전극면에 수직으로 형성되는 것이기 때문에, 테이퍼(taper)부의 전계와 기판에 평행한 부분의 전계는 전극 정점에서 비연속으로 된다.

이와 같은 전극 정점에서의 전계의 비연속성은 화소의 미세화 시에 무시할 수 없는 결점이 된다. 이것은 미세화에 의해 전극 수가 증가하고, 전극간 거리가 작아지면, 비연속적인 전계가 고밀도로 분포해버리기 때문이다.

상기 문제에 대한 다른 해결법으로서는, 액정에 셀 두께방향으로 균등하게 전계를 인가하기 위해 전극을 셀 두께와 같은 높이로 하는 발명이 일본국 공개특허공고 특개평 6-214244호 공보에 제안되어 있다. 그러나, 높이가 극단적으로 높은 전극을 제작하는데는, 이하의 기술적인 곤란이 생긴다.

첫째로, 전극의 높이를 셀 두께 정도로 하면, 전극의 톱(top)과 베이스(base)에서 횡방향의 전극 두께의 차이가 커지기 쉽다. 횡전계로 액정을 구동하는 수퍼 TFT방식에서는, 전극 두께의 차이는 곧 전극간의 거리의 차이가 된다. 따라서, 셀 두께방향의 전계 강도가 동일 화소 내에서 다르기 때문에, 액정구동이 어렵게 된다.

둘째로, 전극 높이가 극단적으로 높으면, 그 위에 형성되는 층의 커버리지(coverage)가 나쁘고, 단선(斷線)을 일으키기 쉽다.

셋째로, 화소의 미세화에 있어서도, 높이가 극단적으로 높은 전극에서 횡방향의 막 두께를 얇게 하고 큰 테이퍼각을 얻는 것은 곤란하다.

화소의 미세화에서 상술한 문제를 해결하기 위하여, 간편한 방법으로 작성할 수 있고, 또한 비연속적인 전계를 발생하지 않는 전극 구조가 요구되고 있다.

본 발명의 목적은, 각 화소전극 주위에서의 전계 강도의 비연속성이 최소화 되어 표시 특성이 향상되게 하고 간편한 방법으로 만들어질 수 있는 전극 구조를 가지는 액정표시장치를 제공하는데 있다.

발명의 구성 및 작용

상기 과제를 해결하기 위해, 본 발명은, 제1 기판; 그 제1 기판 위에 형성되고, 반도체막과, 그 반도체막에 인접한 게이트 절연막과, 그 게이트 절연막을 사이에 두고 상기 반도체막에 인접하여 있는 게이트 전극을 포함하는 박막트랜지스터; 상기 반도체막에 전기적으로 접속된 드레인 전극; 상기 반도체막에 전기적으로 접속된 소스 신호선; 상기 드레인 전극에 인접하여 배치된 공통 전극; 상기 제1 기판과 대향하여 배치된 제2 기판; 및 상기 제1 기판과 상기 제2 기판 사이에 배치된 액정을 포함하고; 상기 드레인 전극과 상기 공통 전극에 의해, 상기 제1 기판의 표면에 실질적으로 평행하게 전계가 상기 액정에 인가되고, 상기 제2 기판 위에 투명한 도전성 재료가 제공되어 있는 것을 특징으로 하는 액정표시장치이다.

또한, 본 발명은, 제1 기판; 그 제1 기판 위에 형성되고, 반도체막과, 그 반도체막에 인접한 게이트 절연막과, 그 게이트 절연막을 사이에 두고 상기 반도체막에 인접하여 있는 게이트 전극을 포함하는 박막트랜지스터; 상기 반도체막에 전기적으로 접속된 드레인 전극; 상기 반도체막에 전기적으로 접속된 소스 신호선; 상기 드레인 전극에 인접하여 배치된 공통 전극; 상기 제1 기판과 대향하여 배치된 제2 기판; 및 상기 제1 기판과 상기 제2 기판 사이에 배치된 액정을 포함하고; 상기 드레인 전극과 상기 공통 전극에 의해, 상기 제1 기판의 표면에 실질적으로 평행하게 전계가 상기 액정에 인가되고, 상기 제2 기판의 전면(全面) 위에 투명한 도전성 재료가 제공되어 있는 것을 특징으로 하는 액정표시장치이다.

또한, 본 발명은, 제1 기판; 그 제1 기판 위에 형성되고, 반도체막과, 그 반도체막에 인접한 게이트 절연막과, 그 게이트 절연막을 사이에 두고 상기 반도체막에 인접하여 있는 게이트 전극을 포함하는 박막트랜지스터; 상기 반도체막에 전기적으로 접속된 드레인 전극; 상기 반도체막에 전기적으로 접속된 소스 신호선; 상기 드레인 전극에 인접하여 배치된 공통 전극; 상기 제1 기판과 대향하여 배치된 제2 기판; 및 상기 제1 기판과 상기 제2 기판 사이에 배치된 액정을 포함하고; 상기 드레인 전극과 상기 공통 전극에 의해, 상기 제1 기판의 표면에 실질적으로 평행하게 전계가 상기 액정에 인가되고, 상기 제2 기판의 일부분 위에 투명한 도전성 재료가 제공되어 있는 것을 특징으로 하는 액정표시장치이다.

또한, 본 발명은, 제1 기판; 그 제1 기판 위에 형성되고, 반도체막과, 그 반도체막에 인접한 게이트 절연막과, 그 게이트 절연막을 사이에 두고 상기 반도체막에 인접하여 있는 게이트 전극을 포함하는 박막트랜지스터; 상기 반도체막에 전기적으로 접속된 드레인 전극; 상기 반도체막에 전기적으로 접속된 소스 신호선; 상기 드레인 전극에 인접하여 배치된 공통 전극; 상기 제1 기판과 대향하여 배치된 제2 기판; 및 상기 제1 기판과 상기 제2 기판 사이에 배치된 액정

을 포함하고; 상기 드레인 전극과 상기 공통 전극에 의해, 상기 제1 기판의 표면에 실질적으로 평행하게 전계가 상기 액정에 인가되고, 상기 제2 기판 위에 투명한 도전성 재료가 제공되어 있으며, 수지재료로 된 블랙 매트릭스가 상기 제2 기판에 인접하여 제공된 것을 특징으로 하는 액정표시장치이다.

또한, 본 발명은, 제1 기판; 그 제1 기판 위에 형성되고, 반도체막과, 그 반도체막에 인접한 게이트 절연막과, 그 게이트 절연막을 사이에 두고 상기 반도체막에 인접하여 있는 게이트 전극을 포함하는 박막트랜지스터; 상기 반도체막에 전기적으로 접속된 드레인 전극; 상기 반도체막에 전기적으로 접속된 소스 신호선; 상기 드레인 전극에 인접하여 배치된 공통 전극; 상기 제1 기판과 대향하여 배치된 제2 기판; 및 상기 제1 기판과 상기 제2 기판 사이에 배치된 액정을 포함하고; 상기 드레인 전극과 상기 공통 전극에 의해, 상기 제1 기판의 표면에 실질적으로 평행하게 전계가 상기 액정에 인가되고, 상기 제2 기판의 전면(全面) 위에 투명한 도전성 재료가 제공되어 있으며, 수지재료로 된 블랙 매트릭스가 상기 제2 기판에 인접하여 제공된 것을 특징으로 하는 액정표시장치이다.

또한, 본 발명은, 제1 기판; 그 제1 기판 위에 형성되고, 반도체막과, 그 반도체막에 인접한 게이트 절연막과, 그 게이트 절연막을 사이에 두고 상기 반도체막에 인접하여 있는 게이트 전극을 포함하는 박막트랜지스터; 상기 반도체막에 전기적으로 접속된 드레인 전극; 상기 반도체막에 전기적으로 접속된 소스 신호선; 상기 드레인 전극에 인접하여 배치된 공통 전극; 상기 제1 기판과 대향하여 배치된 제2 기판; 및 상기 제1 기판과 상기 제2 기판 사이에 배치된 액정을 포함하고; 상기 드레인 전극과 상기 공통 전극에 의해, 상기 제1 기판의 표면에 실질적으로 평행하게 전계가 상기 액정에 인가되고, 상기 제2 기판의 일부분 위에 투명한 도전성 재료가 제공되어 있으며, 수지재료로 된 블랙 매트릭스가 상기 제2 기판에 인접하여 제공된 것을 특징으로 하는 액정표시장치이다.

본 명세서에 개시하는 발명을 이용한 구성의 일례를 도 4 및 도 5에 나타낸다. 도 4에 나타내는 것은, 네마틱 액정을 이용하고, 횡방향 전계로 상기 액정재료를 구동하고, 상기 구동소자로서 a-Si TFT를 이용하는 액티브 매트릭스형의 액정표시장치의 화소부를 개략적으로 나타내는 도면이고, 도 5는 도 4의 A-A'선에 따른 단면을 나타내는 것이다.

도 4 및 도 5에 나타내는 구성에서, 부호 401은 기판을 나타내고, 부호 402는 하지(下地) SiO_2 막, 부호 403은 게이트 전극, 부호 404는 공통전극, 부호 405는 게이트 절연막, 부호 406은 a-Si, 부호 407은 소스 전극, 부호 408은 드레인 전극, 부호 409는 보호막, 부호 411은 배향막, 부호 412는 편광판, 부호 413은 액정층을 나타낸다.

본 발명의 액정표시장치는 TFT 기판상에 형성된 드레인 전극 및 공통 전극 사이의 전계(횡방향 전계) 강도를 제어하여 액정재료를 동작시키는 것이다.

제1 및 제2 기판에는, 투광성을 가지며 외력에 대하여 어느 정도 강도를 가지는 재료, 예를 들어, 유리, 석영 등의 무기재료 등이 사용된다. TFT 등을 형성하는 기판(이하 TFT 기판이라고 한다)에는, 무(無)알칼리 유리나 석영 유리를 사용한다. 또한, 액정표시장치의 경량화를 목적으로 하는 경우, 복굴절성이 작은 필름, 예를 들어, PES(폴리에틸렌설페이트) 등을 사용할 수도 있다.

또한, 액정재료의 구동방법으로서는, 멀티플렉스 방식도 액티브 매트릭스 방식도 좋다.

멀티플렉스 방식에서는, 제1 기판 상에 형성하는 것은 표시용 전극과 기준 전극의 2종만으로도 좋지만, 액티브 매트릭스 방식의 경우에는, 이외에 스위칭 소자로서 비선형 소자, 예를 들어, 박막트랜지스터(TFT)나 다이오드를 각 화소마다 형성한다.

TFT로서는, 활성층에 비정질 실리콘 또는 폴리(다결정)실리콘을 이용한 트랜지스터를 사용할 수 있다. 액티브 매트릭스 방식의 경우, 상기 구동소자의 구성은 스테거형 및 역스테거형이라는 공지의 구성을 이용할 수 있다. 또한, 폴리실리콘을 이용한 트랜지스터를 사용한 경우, 액정재료를 구동하는 주변 구동회로를, TFT를 제작한 기판에 형성하는 것이 가능하다. 주변 구동회로는 TFT를 제작하는 것과 같은 프로세스로 제작하는 것이 가능하다. 이 주변 구동회로는 n채널형 및 p채널형 트랜지스터를 조합한 상보형 소자로부터 형성된다.

상기 소자 전극으로서, Cr, Al, ITO, Ta를 사용할 수 있다. 또한, 전극 단면은 이하에 나타내는 방법에 의해 완만한 단면 또는 굽은 단면 형상을 갖도록 한다. 본 명세서에 나타내는 완만한 면 또는 곡면을 가지는 단면을 제작하는 방법으로서, 건식 프로세스와 습식 프로세스중 어느 방법이라도 가능하다. 이중에 건식 프로세스에서는,

(a) 이방성 플라즈마 에칭과 등방성 플라즈마 에칭을 조합시킨 방법,

(b) 마스크를 이용하여 플라즈마 등방 에칭을 행하는 방법

을 들 수 있다.

(a)의 방법으로서, 전극에 마스크를 패터닝하고, 이방성 플라즈마 에칭을 행한다. 다음에, 마스크를 제거하고, 이방성 플라즈마 에칭을 행하지 않은 부분에 레지스트를 도포한다. 그 후, 굽은 단면 형상을 부여할 부분에, 마스크가 없는 상태에서 등방성 플라즈마 에칭을 행한다. 이에 따라, 돌출부가 깎여, 완만한 굽은 단면 형상을 가지는 전극을 제작할 수 있다. 그 후, 상기 레지스트를 박리한다. 또한, (b)의 방법으로서, 방전가스 전압을 적절하게 정함으로써 깨끗한 원호 단면을 얻을 수 있다.

한편, 습식 프로세스에서는, 먼저, 레지스트로서, 피(被)에칭 전극과의 에칭 선택비의 차이가 그다지 변하지 않는 것을 사용한다. 또한, 레지스트는 테이퍼각이 조금 작은 것을 사용한다. 그러면, 습식 등방적 에칭에 의해, 마스크와 피에칭 전극은 같은 정도의 속도로 에칭되어 간다. 이에 의해, 전극 정점(頂点)에 둥그스름한 완만한 굽은 단면 형상을 가지는 전극을 제작할 수 있다.

상기 방법은, 완만한 굽은 단면 형상을 가지는 전극의 제작방법의 일례이고, 완만한 굽은 단면 형상을 가지는 전극의 제작방법은 이들 방법에 한정되는 것은 아니다.

또한, 상기 전극재료를 이용하면, 상기 방법에 의해 굽은 단면을 형성한 후, 전극 표면에 양극산화 등의 수법에 의해 전극재료를 구성하는 금속의 산화막을 형성함으로써, 이것을 층간절연막으로 하는 것도 가능하다. 이에 의하면, 인접하는 전극이나 전극 패턴이 서로 겹치는 구성으로 된 경우라도, 전극들 사이의 절연성을 향상시키는 것이 가능하게 된다.

또한, 각 층간절연막, TFT 보호막으로서는, 산화규소(SiO_2) 또는 질화규소(SiN)를 이용하는 것이 가능하다. 다음에, 대향 기판에 대해서는, TFT를 형성한 기판과 동종(同種)의 재료를 사용하는 것이 가능하다. 또한, 대향 기판에는 특히 전극을 형성할 필요는 없지만, 경우에 따라서는 기판의 일부 또는 전면(全面)에 전극을 형성하여도 상관없다. 이 때의 전극재료로서는, 상기 금속 외에 투광성을 가지는 재료, 예를 들어, ITO 등을 사용할 수 있다.

또한, 대향 기판 또는 TFT 기판 상이나 또는 양 기판 상에, 콘트라스트 향상을 위해, 표시에 관계없는 부분을 차광하기 위해 Cr 등의 금속 또는 흑색의 안료가 분산된 수지재료 등에 의해 블랙 매트릭스를 형성한다(도시하지 않음). 또한, 컬러 표시의 경우에는, 각 화소에 대응하는 위치에 R(적), G(녹), B(청) 또는 C(시안), M(마젠타), Y(황)의 컬러 필터를 형성한다. 컬러 필터의 각 색의 배치는 스트라이프 배치 또는 델타 배치 등을 이용할 수 있다.

그 후, 상기 구동소자가 형성된 기판 및 대향 기판에 배향처리를 실시하였다. 상기 배향처리는 액정분자가 기판에 대하여 평행하고 일축으로 배향하도록 행한다. 상기 배향처리로서는, 기판면을 직접 또는 나일론, 폴리이미드 등의 유기 수지로 이루어지는 막(배향막)(411)을 도포한 후 그 수지면 상을 일방향으로 문지르는 러빙(rubbing)처리가 유효하다.

러빙방향은 사용하는 액정재료에 따라 다르고, TFT 기판측은, 유전율 이방성이 정(正)인 재료의 경우, 전계에 비평행, 바람직하게는, 전계와 45° 를 이루는 방향으로 한다. 또한, 유전율 이방성이 부(負)인 재료의 경우에는, 전계에 수직하지 않은 방향, 바람직하게는, 전계와 45° 를 이루는 방향으로 한다. 또한, 대향 기판측의 러빙처리는 TFT 기판의 러빙방향에 평행 또는 반(反)평행을 이루도록 한다.

이렇게 하여 제작된 상기 한 쌍의 기판을 일정한 간격을 두고 맞대어 붙이고, 이것을 액정 셀로 한다. 상기 한 쌍의 기판중 어느 한쪽에, 접착제로서 시일(seal)제(도시하지 않음)를 소망의 패턴으로 형성한다. 시일제로서는, 열 경화형, 자외선 경화형 등의 수지재료를 사용한다. 상기 수지재료로서는, 에폭시계, 우레탄 아크릴레이트계 등의 재료를 사용하는 것이 가능하다. 또한, 다른 쪽의 기판에는, 상기 한 쌍의 기판의 간격을 셀 전체에 걸쳐 일정하게 유지하기 위해 스페이서(도시하지 않음)를 산포(散布)한다. 시일제 경화 후, 액정 셀에 액정재료를 진공주입법 등에 의해 주입한다. 본 발명에서 이용할 수 있는 액정재료로서는, 네마틱, 콜레스테릭, 스멕틱성을 나타내는 재료를 들 수 있지만, 특히 네마틱 재료를 이용하는 것이 바람직하다. 또한, 네마틱 액정중에서도, 구동방식에 따라 유전 이방성이 정 또는 부를 나타내는 것을 적절히 선택하여 사용한다. 또한, 복굴절의 영향을 적게 하기 위해, 굴절률 이방성은 작은 것이 바람직하다.

또한, 본 발명의 액정표시장치는 액정재료의 복굴절성을 이용하여 표시하기 때문에 한 쌍의 편광판(412)을 그의 광축이 직교하도록 배치하고, 그 한 쌍의 편광판들 사이에 액정 셀을 끼운다. 이 때 액정재료의 배향방향은 검광자, 즉, 광원에 가까운 쪽의 편광판의 광축에 평행하다.

이렇게 하여 제작된 액정표시장치에 있어서, 액정재료의 배향은, 무전계 시에는 액정재료의 장축이 기판에 평행하고 러빙 방향에 평행하게 일축(一軸) 배향되도록 되어 있다. 다음에, 전계인가 시에는, 배향 규제력이 강한 배향막 계면 근방의 액정분자는 러빙 방향에 평행한 방향을 유지하고, 배향 규제력이 약한 액정층 중앙 근방의 액정분자는 전계에 의해 광축이 변화한다. 유전 이방성이 정(正)인 액정재료를 사용한 경우에는 액정분자의 장축이 전계 방향에 대하여 평행하게 되는 방향이 되고, 유전 이방성이 부(負)인 경우에는 액정분자의 장축이 전계 방향에 대하여 수직으로 되는 방향이 된다.

이 때문에, 액정표시장치를 투과하는 광에 대하여, 무전계 시에 액정재료의 배향은 셀 내에서 검광자의 광축에 평행하게 되기 때문에, 입사광은 편광자를 투과할 수 없고, 이 때의 투과광량은 제로가 된다. 한편, 전계인가 시는 액정재료의 광축의 방향이 변화함으로써 입사광은 타원 편광이 되고, 편광자를 투과한다.

또한, 상기에는 편광판을 2매 사용한 구성으로 하였지만, 상기 한 쌍의 기판들중 어느 한쪽에 금속 등으로 된 반사판을 형성하면, 편광판을 1매밖에 사용하지 않고 액정표시장치를 제작하는 것이 가능하게 되고, 밝은 디스플레이를 실현할 수 있다. 또한, 상기 금속성 반사판은 화소 등의 전극을 겸하는 것도 가능하다.

본 명세서에 나타내는 액정표시장치의 구성으로 하면, 종래의 액정표시장치에서 이용된 사각형 또는 사다리꼴 단면을 가지는 전극에 비하여, 전극 주위의 전계는 연속적으로 된다. 이 전계의 연속성은, 전극에 전압을 인가한 경우의, 전극 주위의 전기력선의 양태를 보면 명백하다. 이하, 도 2에 의거하여 전극 주위의 전기력선의 양태를 상세하게 설명한다.

먼저, 간단히 하기 위해, 점(点)전하 q_1, q_2 가 O_1, O_2 에 존재하는 경우를 고려한다. 여기서는, O_1 과 O_2 를 연결하는 직선을 x축, 이 x축에 수직인 방향을 y축으로 한다. 또한, O_1 과 O_2 의 중간점을 원점(原點)으로 정의한다.

도 2에 나타낸 바와 같이, 임의의 P점을 지나는 전기력선을 고려한다. 이 것은 지점 P와 지점 O_1, O_2 가 만드는 평면 상에 있다.

이 전기력선을 O_1, O_2 축을 중심으로 1회전시키면, 하나의 회전대칭면이 얻어지는데, 이 회전면의 임의의 단면을 지나는 전속(電束)은 일정하게 된다.

그래서, P를 지나는 수직단면(S)을 관통하는 전속을 구해 본다.

O_1P 및 O_2P 가 O_1O_2 축과 이루는 각을 각각 θ_1, θ_2 라고 하면, q_1 에 의해 S를 지나는 전속 ϕ_1 은 $\phi_1 = q_1 \cdot 2\pi(1 - \cos \theta_1) / 4\pi$ 이다.

q_2 에 의해 S를 지나는 전속 ϕ_2 는 $\phi_2 = q_2 \cdot 2\pi(1 - \cos \theta_2) / 4\pi$ 가 되고, 따라서, S를 지나는 전체 전속 ϕ 는 $\phi = 1/2\{(q_1 + q_2) - (q_1 \cos \theta_1 + q_2 \cos \theta_2)\}$ 로 나타내어진다. 따라서, 하나의 전기력선 상에서는, $q_1 \cos \theta_1 + q_2 \cos \theta_2 = \text{const}$ 가 된다.

$q_1 = -q_2$ 이면, 전기력선은 $\cos \theta_1 - \cos \theta_2 = \text{const}$ 가 되는 관계를 가진다. 도 3에는, 상기 한 쌍의 점전하가 형성하는 전기력선(110) 및 등(等)전위 면(111)을 나타내었다.

상기 전기력선의 분포는, 반경 a 의 도체 표면에 상기 점전하와 같은 전하량의 전하가 분포된다고 해도 변함은 없다. 또한, $y \geq 0$ 인 영역은, 반원형의 2개의 전극이 만들어 내는 전계와 가깝게 될 수 있다. 따라서, 전극 단면이 반원형이면, 전기력선의 분포는 셀 두께방향에 대하여 연속하게 된다.

상기에서는 일례로서 전극 단면 전체가 원의 곡률을 이용한 형상을 나타내었지만, 이것에 한정되는 것은 아니고, 타 원의 곡률을 이용한 것에서도 동일한 효과가 얻어진다. 또한, 단면 형상이 정(正)반원뿐만 아니라 원호를 이루도록 하여도 동일한 효과가 얻어진다. 또한, 전극의 엣지(edge) 단면이 원호 등의 곡면을 갖도록 하여도 좋다. 물론, 경계변화가 완만한 다각형 형상을 가지는 단면을 가지는 전극이라도 좋다.

또한, 완만한 굽은 단면 형상을 가지는 전극 등, 박막 위에 성막되는 막은, 막 두께의 동그스럼함 때문에 커버리지도 양호하다. 이 때문에, 커버리지의 악화에 기인하는 불순물의 혼입, 단선 등을 방지하는 효과도 있다.

또한, 전극 단면을 곡면 또는 완만한 단면으로 하는 본 발명의 기술은 상술한 a-Si형 TFT뿐만 아니라 poly-Si형 TFT에도 이용할 수 있음은 말할 필요도 없다.

특히, poly-Si를 TFT 활성층에 이용한 경우는, a-Si를 TFT 활성층에 이용한 경우에 비하여 활성층의 이동도가 크고, a-Si와 동등한 특성을 보다 작은 소자영역에서 얻을 수 있기 때문에, 각 소자의 미세화, 나아가서는 고(高)개구율화가 가능하게 된다. 또한, 횡전계 인가에 있어서도, 캐리어 이동도가 큰 poly-Si를 TFT 활성층에 이용한 경우의 쪽이 고속응답을 실현할 수 있다. 또한, poly-Si를 이용한 경우, 기판 상에 액정재료를 구동하기 위한 주변 구동회로도 형성하는 것이 가능하게 되어, 제작공정수의 저감, 제조수율의 향상, 장치가격의 저하에 기여한다.

또한, 본 발명에서는, 액정재료에 횡전계를 인가하는 방식의 액정표시장치에 대하여 설명하였지만, 이것에 한정되는 것은 아니고, 예를 들어, 종래의 TN방식 등, 종전계를 인가하는 방식의 액정표시장치에 이용하는 것으로도, 단부의 전계의 흐트러짐을 저감할 수 있고, 또한, 커버리지가 좋은 표시장치를 제작할 수 있다.

이하에, 본 발명의 실시예를 설명한다.

[실시예 1]

절연기판으로서, 코닝 #7059 기판(401)상에 하지(下地) 산화막(402)으로서 두께 1000 3000 Å의 산화규소막을 형성하였다. 이 산화규소막의 형성방법으로서, 산소분위기중에서의 스퍼터법이나 플라즈마 CVD법을 이용하면 좋다. 그 위에 Cr을 1000 5000 Å 성막하고 패터닝하였다. 그 후, 레지스트를 마스크로 이용하여 등방성 플라즈마 에칭을 행하였다. 이 때, 방전가스 전압을 적절하게 설정하여, 전극에 곡면을 주었다. 이에 의해, 게이트 전극(403)과 공통전극(404)을 형성하였다.

다음에, 이들 전극을 덮도록 산화규소(SiO_2)로 된 게이트 절연막(405)을 형성하였다. 이 막은 질화규소(SiN)막이라도 상관없다. 게이트 전극 상에 게이트 절연막을 사이에 두고 비정질 실리콘막(406)을 형성하였다. 이 비정질 실리콘막의 패턴의 일부에 중첩하도록, Al으로 된 소스 전극(407)과 드레인 전극(408)을 형성하였다. 이 때, 레지스트를 마스크로 사용하여 등방성 플라즈마 에칭을 행하고, 방전가스 전압을 적절히 설정하여, 전극에 곡면을 주었다. 다음에, TFT 보호막으로서 산화규소 절연막(409)을 형성하였다. 이 절연막은 SiN막이라도 상관없다.

또한, 대향 기판과 TFT 기판 중 어느 한 기판이나 또는 양 기판 상에는, 콘트라스트 향상을 위해, 표시에 관계없는 부분을 차광하도록, Cr 등의 금속 또는 흑색의 안료가 분산된 수지재료 등에 의해 블랙 매트릭스를 형성하였다.

그 후, TFT를 형성한 기판 및 대향 기판에 폴리이미드로 된 배향막(411)을 형성하였다. 배향막으로서, 폴리이미드를 공지의 스�핀 코팅법 또는 DIP법 등에 의해 형성하였다. 다음에, 배향막 표면을 러빙하였다.

러빙방향은 사용하는 액정재료에 따라 다르고, TFT 기판측은 유전율 이방성이 정(正)인 재료의 경우, 전계에 비평행, 바람직하게는, 전계와 45° 를 이루는 방향으로 한다. 또한, 유전율 이방성이 부(負)인 재료의 경우에는, 전계에 수직이 아닌 방향, 바람직하게는, 전계와 45° 를 이루는 방향으로 한다. 또한, 대향 기판측의 러빙처리는 TFT 기판의 러빙방향에 평행 또는 반(反)평행을 이루도록 한다.

이와 같이 하여 형성된 TFT 기판과 대향 기판을 맞대어 액정 패널을 형성하였다. 상기 한 쌍의 기판은 그 기판들 사이에 직경 3 μm 의 구상(球狀) 스페이서를 끼움으로써 패널면내 전체에서 균일한 기판 간격이 되도록 하였다. 또한, 상기 한 쌍의 기판을 접착 고정하기 위해 에폭시계의 접착제로 시일(seal)하였다. 시일의 패턴은 화소영역과 주변 구동회로영역을 둘러싸도록 하였다. 그 후, 소정의 형상으로 상기 한 쌍의 기판을 절단한 후, 기판들 사이에 액정재료를 주입하였다.

다음에, 편광판(412)을 기판의 외측에 2매 붙였다. 편광판의 배치에 대해서는, 한 쌍의 편광판을 그들의 광축이 직교하도록 배치하고, 어느 한쪽의 편광판의 광축을 러빙방향에 평행하게 하였다.

이 액정표시장치의 광학 특성을 측정한 바, 종래의 전극 형상으로 된 액정표시장치보다 상승(rise) 특성의 편차가 적은 양호한 표시가 얻어졌다.

[실시예 2]

본 실시예에서는, 주변 구동회로도 기판 상에 형성하는 모놀리식형 액티브 매트릭스 회로로 하였다. 이 제작공정에 대하여 도 6 및 도 7에 의거하여 설명한다. 도 6은 본 실시예의 화소부 주변의 개략도이다. 또한, 도 7은 도 6의 B-B'-B''선에 따른 단면을 나타낸 것으로, 좌측에 구동회로의 TFT의 제작공정을 나타내고, 우측에 액티브 매트릭스 회로의 TFT의 제작공정을 나타내었다. 또한, 이 공정은 저온 폴리실리콘 프로세스의 공정이다.

먼저, 첫번째 절연기판(601)으로서 코닝 #1737 기판의 위에 하지 산화막을 형성하였다. 이 산화규소막의 형성방법은 실시예 1에 나타낸 방법과 같아도 좋다.

그 후, 플라즈마 CVD법이나 LPCVD법에 의해 비정질 실리콘막을 300 1500 Å, 바람직하게는, 500 1300 Å의 두께로 형성하였다. 그리고, 500°C 이상, 바람직하게는, 500 600°C의 온도에서 열 어닐을 행하여, 실리콘막을 결정화시키거나 결정성을 높였다. 열 어닐에 의한 결정화중, 광(레이저 등) 어닐을 행하여 결정화를 더욱 높여도 좋다. 또한, 열 어닐에 의한 결정화 시에, 일본국 공개특허공고 특개평 6-244103호 및 6-244104호 공보에 기술되어 있는

바와 같이, 실리콘의 결정화를 촉진시키는 니켈 등의 원소(촉매원소)를 첨가하여도 좋다.

다음에, 그 실리콘막을 에칭하여 구동회로의 TFT의 섬형상 활성층(602(P채널형 TFT용), 603(N채널형 TFT용))과 매트릭스 회로의 TFT(화소TFT)의 활성층(604)을 형성하였다. 그리고, 산소분위기중에서의 스퍼터법에 의해 두께 500 ~ 2000 Å의 산화규소의 게이트 절연막(605)을 형성하였다. 게이트 절연막의 형성방법으로서, 플라즈마 CVD법을 이용하여도 좋다. 플라즈마 CVD법에 의해 산화규소막을 형성하는 경우에는, 원료가스로서 일산화질소(N_2O) 또는 산소(O_2)와 모노실란(SiH_4)을 이용하는 것이 좋았다.

그 후, 두께 2000 ~ 6000 Å의 알루미늄막을 스퍼터법에 의해 기판 전면에 형성하였다. 여기서, 알루미늄은, 그 후의 가열공정에 의해 힐록이 발생하는 것을 방지하기 위해, 실리콘 또는 스칸듐, 팔라듐 등을 함유하는 것을 이용하여도 좋다. 그리고, 등방성 플라즈마 에칭을 행하여 게이트 전극(606, 607, 608)과 공통전극(609)을 형성하였다(도 7(A)). 이 때, 방전가스 전압을 적절하게 설정하여, 전극에 곡면을 주었다. 그 후, 이온 도핑법에 의해, 모든 섬형상 활성층에, 게이트 전극(606, 607, 608)을 마스크로 하여 자기정합적으로 포스핀(PH_3)을 도핑 가스로 하여 인을 주입하였다. 도스량은 $1 \times 10^{12} \sim 5 \times 10^{13}$ 원자/cm²으로 한다.

그 결과, 약한 N형 영역(610, 611, 612)이 형성되었다(도 7(B)).

다음에, P채널형의 활성층(602)을 덮는 포토레지스트 마스크(613) 및 화소 TFT의 활성층(604)중, 게이트 전극에 평행하게 게이트 전극(608)의 끝으로부터 3 μm 떨어진 부분까지를 덮는 포토레지스트 마스크(614)를 형성하였다.

그리고, 다시, 이온 도핑법에 의해 포스핀을 도핑 가스로 하여 인을 주입하였다. 도스량은 $1 \times 10^{14} \sim 5 \times 10^{15}$ 원자/cm²으로 한다. 그 결과, 강한 N형 영역(소스, 드레인)(615, 616)이 형성된다. 화소 TFT 상의 포토레지스트 마스크(614)로 덮여 있던 영역(617)은 이번의 도핑에서는 인이 주입되지 않으므로, 약한 N형 상태로 된다(도 7(C)).

다음에, N채널형 TFT의 활성층(603, 604)을 포토레지스트 마스크(618)로 덮고, 디보란(B_2H_6)을 도핑 가스로 하여 이온 도핑법에 의해 섬형상 영역(602)에 붕소를 주입하였다. 도스량은 $5 \times 10^{14} \sim 8 \times 10^{15}$ 원자/cm²으로 한다. 이 도핑에서는, 붕소의 도스량이 도 7(C)에서의 인의 도스량보다 높기 때문에, 앞에서 형성되어 있던 약한 N형 영역(610)이 강한 P형 영역(619)으로 반전된다.

이상의 도핑에 의해, 강한 N형 영역(소스/드레인)(615, 616), 강한 P형 영역(소스/드레인)(619), 약한 N형 영역(저농도 불순물영역)(617)이 형성된다(도 7(D)).

그 후, 450 ~ 850°C에서 5 ~ 3시간의 열 어닐을 실시함으로써, 도핑에 의한 손상을 회복시키고, 도핑 불순물을 활성화시키고, 실리콘의 결정성을 회복시켰다. 그 후, 플라즈마 CVD법에 의해 전면(全面)에 층간절연막(620)으로서 산화규소막을 두께 3000 ~ 6000 Å으로 형성하였다. 이것은 질화규소막 또는 산화규소막과 질화규소막의 다층 막이라도 좋다. 그리고, 층간절연막(620)을 습식 에칭법 또는 건식 에칭법에 의해 에칭하여, 소스/드레인에 콘택트 홀을 형성하였다.

그리고, 스퍼터법에 의해 두께 2000 ~ 6000 Å의 알루미늄막, 또는 티탄과 알루미늄의 다층 막을 형성한다. 이것을, 레지스트를 마스크로 이용하여 등방성 플라즈마 에칭하였다. 이 때, 방전가스 전압을 적절히 설정하여, 전극에 곡면을 부여하고, 주변회로의 전극·배선(621, 622, 623) 및 화소 TFT의 전극·배선(624, 625)을 형성하였다.

또한, 플라즈마 CVD법에 의해, 층간막으로서 두께 1000 ~ 3000 Å의 질화규소막(626)을 형성하였다(도 7(E)).

이하, 실시예 1과 같은 방법으로 액정 셀을 제작하였다. 여기서, 시일의 패턴은 화소영역과 주변 구동회로영역을 둘러싸는 패턴으로 하였다. 또한, 그 후, 실시예 1과 마찬가지로 한 쌍의 기판 상에 편광판을 각각 붙여, 액정표시장치로 하였다.

이 액정표시장치의 광학 특성을 측정한 바, 종래의 전극 형상으로 된 액정표시장치보다 상승 특성의 편차가 적은 양호한 표시가 얻어졌다.

본 실시예의 구성으로 하면, 구동회로를 화소부 TFT와 동일 기판 내에 제작하고 있기 때문에, 제작비용이 적게 되는 이점이 있다.

발명의 효과

상기한 바와 같이, 본 발명은, 종래의 횡전계 구동방식의 액정표시장치에 비하여 액정의 상승 특성이 좋고, 간편한 공정으로 액정표시장치가 얻어진다. 또한, 본 발명은 화소부의 미세화에도 대응할 수 있다.

(57) 청구의 범위

청구항 1.

제1 기판;

상기 제1 기판 위에 형성되고, 반도체막과, 그 반도체막에 인접한 게이트 절연막과, 그 게이트 절연막을 사이에 두고 상기 반도체막에 인접하여 있는 게이트 전극을 포함하는 박막트랜지스터;

상기 반도체막에 전기적으로 접속된 드레인 전극;

상기 반도체막에 전기적으로 접속된 소스 신호선;

상기 드레인 전극에 인접하여 배치되고, 상기 게이트 절연막에 접하여 형성된 공통 전극;

상기 제1 기판과 대향하여 배치된 제2 기판; 및

상기 제1 기판과 상기 제2 기판 사이에 끼워진 액정을 포함하고;

상기 액정이, 상기 드레인 전극과 상기 공통 전극에 의해 상기 제1 기판의 표면에 실질적으로 평행하게 인가되는 전계에 의해 동작하고,

상기 제2 기판 상에 투명한 도전성 재료가 제공되어 있는 것을 특징으로 하는 액정표시장치.

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

삭제

청구항 5.

삭제

청구항 6.

삭제

청구항 7.

삭제

청구항 8.

제 1 항에 있어서, 상기 제1 및 제2 기판이 유리 또는 석영 기판인 것을 특징으로 하는 액정표시장치.

청구항 9.

제 1 항에 있어서, 상기 반도체막이 비정질 실리콘을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 10.

제 1 항에 있어서, 상기 게이트 전극이 상기 반도체막 아래에 형성된 것을 특징으로 하는 액정표시장치.

청구항 11.

삭제

청구항 12.

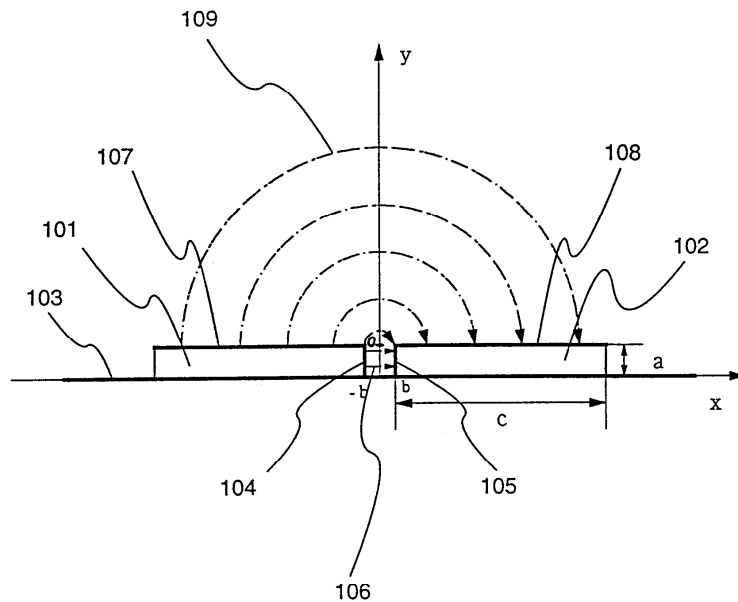
제 1 항에 있어서, 상기 게이트 전극과 상기 공통전극이 동일한 층 상에 형성된 것을 특징으로 하는 액정표시장치.

청구항 13.

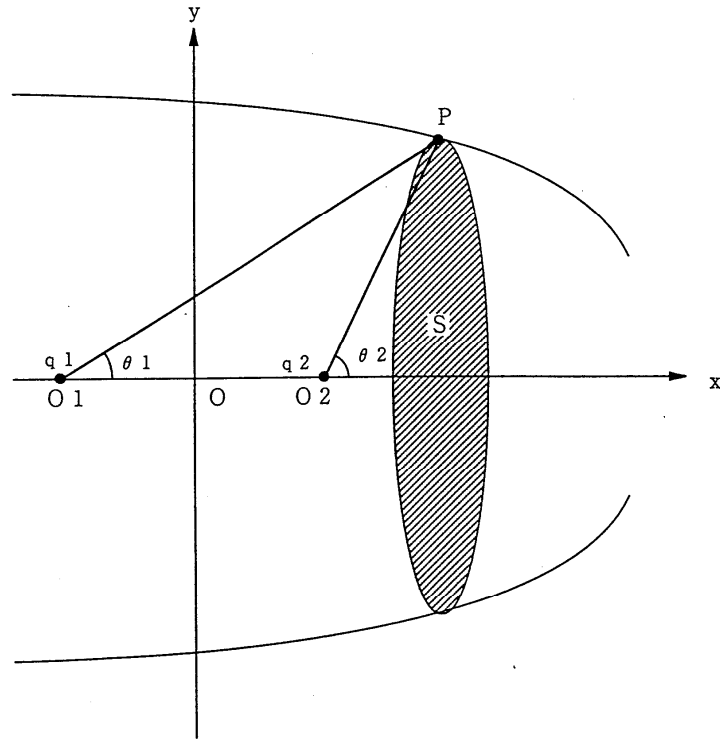
제 1 항에 있어서, 상기 게이트 전극과 상기 공통전극 각각이 곡면을 가지는 것을 특징으로 하는 액정표시장치.

도면

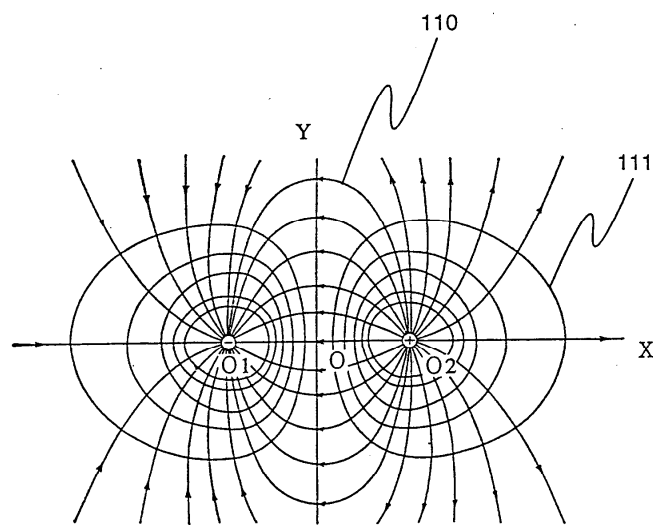
도면1



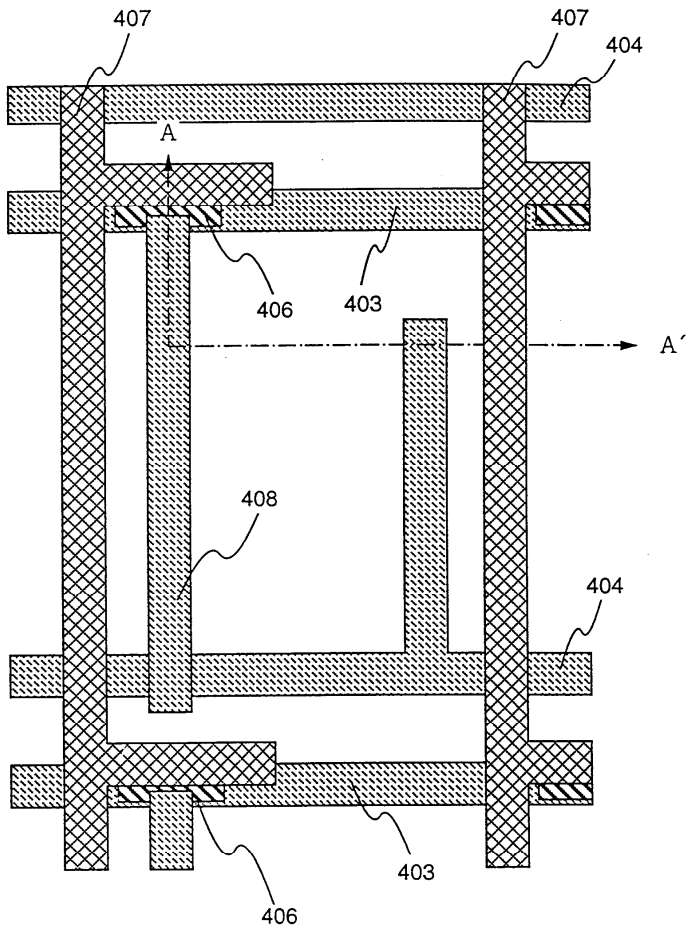
도면2



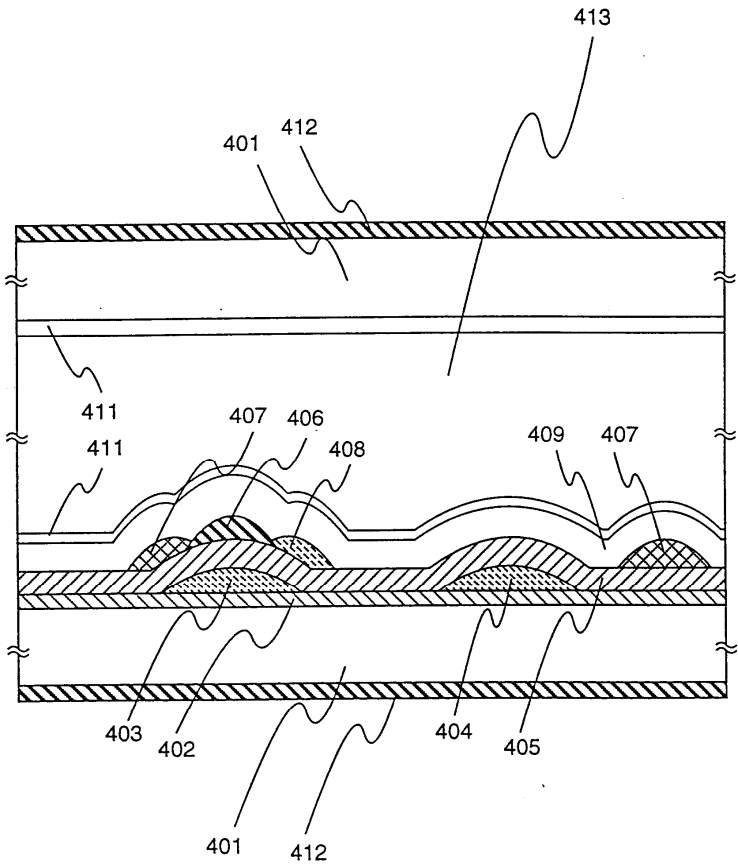
도면3



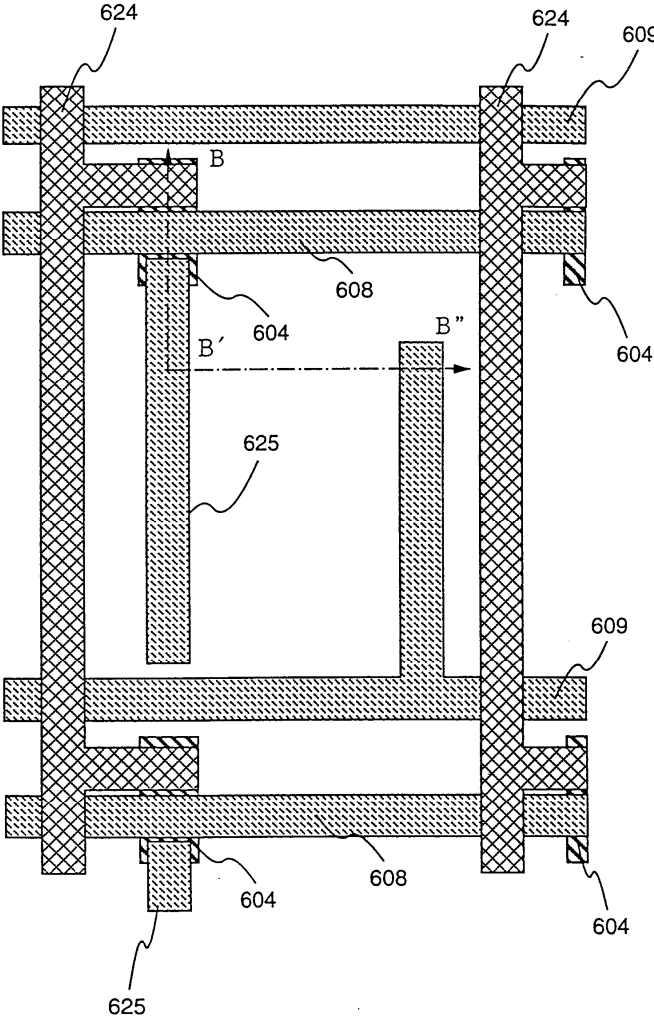
도면4



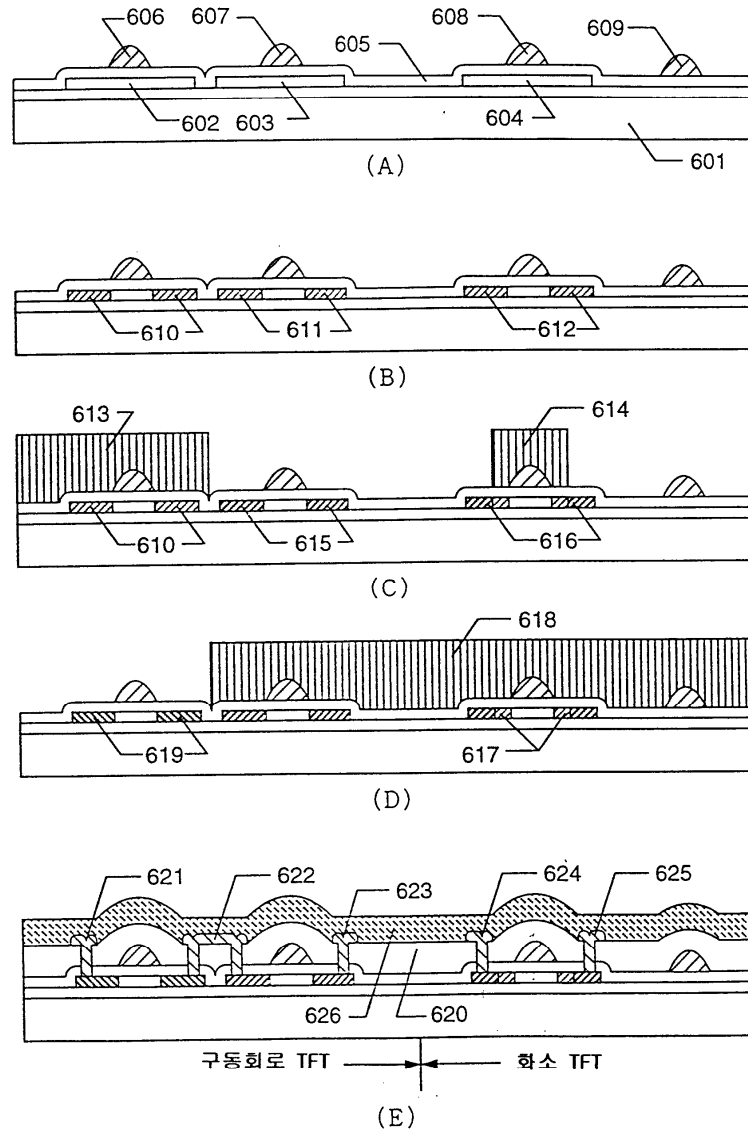
도면5



도면6



도면7



专利名称(译)	液晶显示器		
公开(公告)号	KR100462964B1	公开(公告)日	2004-12-23
申请号	KR1020010065279	申请日	2001-10-23
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	YAMAZAKI SHUNPEI 야마자키순페이 NISHI TAKESHI 니시타케시 SATAKE RUMO 사타케루모		
发明人	야마자키순페이 니시타케시 사타케루모		
IPC分类号	G02F1/1368 G02F1/1343 H01L29/786 G02F1/136		
CPC分类号	G02F1/134363 G02F1/1368 G02F1/134336		
优先权	1995349670 1995-12-20 JP		
外部链接	Espacenet		

摘要(译)

目的：提供一种具有面内切换系统的LCD装置，以极大地抑制像素电极周围的场强的不连续性，从而减少液晶材料的对准缺陷，同时减少操作偏转并实现更好的显示特性。组成：栅极绝缘膜（405）与第一基板（401）上的半导体膜（406）相邻。TFT包括以栅极绝缘膜（405）的间隔与半导体膜（406）相邻的栅电极（403）。漏电极（408）电连接到半导体膜（406）。源极信号线电连接到半导体膜（406）。公共电极（404）与漏电极（408）相邻，并且邻近栅极绝缘膜（405）。第二基板与第一基板（401）相对。液晶（413）插入第一基板（401）和第二基板之间。

