(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
G02F 1/133

(45) 공고일자 2004년09월04일
(11) 등록번호 10-0447415
(24) 등록일자 2004년08월26일

(21) 출원번호 10-2001-0033359
(22) 출원일자 2001년06월14일

(65) 공개번호 10-2001-0113486
(43) 공개일자 2001년12월28일

(30) 우선권주장 2000-181692 2000년06월16일 일본(JP)

(73) 특허권자 가부시키가이샤 히타치세이사쿠쇼
일본 도쿄토 치요다쿠 간다스루가다이 4쪼메 6반치

(72) 발명자 미야자와토시오
일본국치바켄치바시미도리쿠시이나자키쵸931

사토우토모히코
일본국치바켄치바시미도리쿠아스미가오카2쵸메20-11

(74) 대리인 이종일

심사관 : 고종욱

(54) 엑티브 매트릭스형 표시장치 및 액정표시장치

요약

본 발명은 엑티브매트릭스형 표시장치 및 액정표시장치로서 복수의 주사선(선택신호선)(HADL, VADL)과 복수의 신호선(데이터선(영상신호선))(DL)이 교차하는 부분에 대응하여 화소를 설치하여 화소전극과 상기 화소전극을 선택하는 스위칭소자와 화소전극에 기입하는 데이터를 기억하는 기억회로로 구성하고 기억회로에교류전압(PBP, PBN)을 인가하는 전원선(PBP-L, PBN-L)을 구비하는 고저 2개의고정전압을 이용하지 않고 정적기억장치회로와 비등한 화상메모리를 갖는 고개구율로 고정밀 또는 적은 배선수로 다단조의 화상표시를 가능하게 하는 기술이 제시된다.

대표도

도 1

명세서

도면의 간단한 설명

도 1 은 본 발명에 의한 액정표시장치의 개략구성을 설명하는 모식도이다.
도 2 는 본 발명의 제 1의 실시예의 1화소의 구성을 설명하는 회로도이다.
도 3 은 도 2에 나타난 화소회로의 동작을 설명하는 파형도이다.
도 4 는 본 발명의 제 2 실시예의 1화소의 구성을 설명하는 회로도이다.
도 5 는 본 발명의 제 3 실시예의 1화소의 구성을 설명하는 회로도이다.
도 6 은 본 발명의 제 4 실시예의 1화소의 구성을 설명하는 회로도이다.
도 7 은 4계조표시를 실행하는 화소구성의 설명도이다.

도 8 은 4계조표시를 실행하는 화소구성의 설명도이다.
도 9 는 4계조표시의 매트릭스구성도이다.
도 10 은 8계조표시를 실행하는 화소구성의 설명도이다.
도 11 은 8계조표시셀의 표시상태의 설명도이다.
도 12 는 8계조표시의 매트릭스 구성도이다.
도 13 은 본 발명에 의한 액정표시장치를 실장한 전자기기의 일례로서 휴대형 정보단말의 구성예를 설명하는 사시도이다.
도 14 는 화소에 메모리기능을 부여한 액정표시장치의 일화소의 구성예의 설 명도이다.
도 15 는 정적메모리타입의 메모리회로의 일례를 설명하는 주요부회로도이다.
도 16 은 정적메모리타입의 메모리회로의 다른예를 설명하는 주요부회로도이다.
<주요부분에 대한 도면부호의 설명>
PIX : 화소 RAX : X방향의 임의접근회로
RAY : Y방향의 임의접근회로 SEL : 선택스위치배열
HADL, VADL : 선택신호선 DL : 데이터선(영상신호선)
VCOM-L : 고정전압(공통전극전압) VCOM을 인가하는 공통선
PBP-L, PBN-L : 교번전압선 CTL : 표시제어장치
D: 디지털 데이터 버스라인 PWU : 전원회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액티브 매트릭스형 표시장치에 관련하여 특히 고개구율로 고정밀한 화소메모리방식의 액정표시장치와 전장발광형 표시장치에 관한 것이다.
노트형 컴퓨터와 디스플레이모니터용의 고정밀화 또는 칼라표시가 가능한 표시장치로서 액정표시장치가 폭넓게 채용되고 있다.
상기 액정표시장치는 각 내면에 상호 교차하도록 형성된 평행전극을 형성한 한쌍의 기판으로 액정층을 끼운 액정표시소자를 이용한 단순매트릭스형과, 한쌍의 기판의 한쪽에 화소단위로 선택하기 위한 스위칭소자를 갖는 액정표시소자를 이용한 액티브매트릭스형 액정표시장치가 알려져 있다.
액티브매트릭스형 액정표시장치로서 대표적인 박막트랜지스터(TFT)형은 화소별로 설치한 박막트랜지스터(TFT)를 스위치소자로서 화소전극에 신호전압(영상신호전압: 계조전압)을 인가하는 것이기 때문에 크로스토크없이 고정밀화로 다계조 표시가 가능하다.
한편, 상기 종류의 액정표시장치를 휴대형의 정보단말등 전원에 밧데리를 이용하는 전자장치에 실장한 경우 상기 표시에 따르는 소비전력의 저감화가 필요해진다. 이를 위하여 액정표시장치의 각 화소에 메모리기능을 갖도록 한 액티브가 종래보다 다수 제안되고 있다.
도 14는 화소에 메모리기능을 갖도록 액정표시장치의 한화소의 구성예의 설명도이다. 도 14는 소위 다이나믹 메모리타입으로 칭하는 것으로 신호선과 주사선의 교점에 설치한 박막트랜지스터(TFT)의 출력측(화소전극측)에 메모리용량을 설치하고 상기에 표시데이터를 보지하는 것으로 소정시간 동안 표시데이터를 보지하는 것이다. 또한, LC는 액정용량을 나타낸다.
상기 다이나믹 메모리타입은 메모리용량에 보지한 데이터가 시간과 함께 누전되기 때문에 정기적인 리플레쉬를 필요로 한다. 특히, 다결정실리콘 반도체를 이용하여 화소의 메모리기능을 구성하는 경우는 상기 누전전류가 커지는 경향이 있다. 그로 인하여 리플레쉬 사이클를 짧게 할 필요가 있다.
그러나, 리플레쉬사이클을 짧게 하는 것은 각 화소에 메모리기능을 가지게 하기에 불필요한 기입을 생략하고 주변회로, 및 소비전력의 저감을 도모한다는 효과를 저감해 버리는 불합리를 초래한다.
상기 불합리를 해소하기 위하여 다이나믹 메모리타입을 대신하여 정적메모리타입으로 한것도 제안되고 있다.
도 15는 일본국특개평4-33309호 공보 도 3에 기재의 정적 메모리타입의 메모리회로의 일례를 설명하는 주요부 회로도이다. 도안에서 한점쇄선으로 둘러싸인 부분이 화소메모리를 나타낸다. 상기회로는 NMOS트랜지스터(111), PMOS트랜지스터(112), 인버터(121, 122)로 구성된다. 주사 신호(Vg)는 NMOS트랜지스터(111)와 PMOS트랜지스터(112)이 게이트에 계조신호(휘도신호)(Vd)는 NMOS트랜지스터(111)의 드레인에 공급된다. NMOS트랜지스터(111)의 소스는 PMOS트랜지스터(112)의 소스와 함께 인버터(122)의 입력에 접속되어 있다.
액정구동전압을 선택하는 메모리회로의 출력(DM)은 인버터(122)의 출력에서 취출된다. 인버터(121)는 상기 신호(DM)를 입력하여 상기 출력을 PMOS트랜지스터(112)의 드레인에 접속된다.
NMOS트랜지스터(111)는 주사신호(Vg)가 '0'일 경우에 오프상태가 되고 '1'일 경우에 온상태가 된다. 상기와 역으로 PMOS트랜지스터(112)는 주사신호 주사신호(Vg)가 '1'일 경우에 오프상태가 되고 '0'일 경우에 온상태가 된다. 이로 인하여 상기 메모리회로는 주사신호(Vg)가 '0'일 경우에 휘도신호(Vd)를 차단하고, 인버터(121)의 출력을 인버터(12

2)의 입력을 접속하여 데이터 보지상태가 된다. 또한 주사신호(Vg)가 '1'일 경우에 휘도신호(Vd)를 인버터(122)의 입력에 접속하여 데이터 통과상태가 된다.
도 16은 일본국특개평8-194205호 공보 도 2(b)기재의 정적메모리타입의 메모리회로의 다른예를 설명하는 주요부 회로도이다. 도안에서, 한점쇄선이 둘러싸인 부분이 화소메모리를 나타낸다. 상기 회로는 주사선(3)과 신호선(4)의 교차부에 설치된 박막트랜지스터로 이루어지는 스위치소자(21, 22, 23, 24)로 구성된다. 스위치소자(22, 23)은 인버터를 구성하고, 메모리회로로 되어 있다. 주사선(3)에 주사전압(펄스)을 인가하고 상기에 동기시켜서 스위치소자(24)의 개폐를 제어하는 신호를 신호선(4)을 매개로 하여 스위치소자(21)에 입력한다.
그외에도 각 화소별로 메모리를 설치한 선행기술에는 일본국특개평6-102530호, 일본국특개평8-286170, 일본국특개평9-113867호, 일본국특개평9-212140, 일본국특개평11-65489호 및 일본국특개평11-75144호 공보가 있다.
그러나, 어느 하나의 선행기술에서도 각 화소의 메모리회로의 전원노이드에는 시간별로 전압레벨이 변화하지 않는 직류전압을 인가하고 있고 시간이 경과하면서 전압레벨이 변화하는 교류전압을 메모리회로의 전원노이드에 인가하는 사상을 기재도 시사도 없었다.
따라서, 어느 선행기술에서도 각 화소의 메모리의 기억을 유지하기 위하여 각 화소별로 직류전압을 공급하는 배선을 특별하게 설치할 필요가 있다.

발명이 이루고자 하는 기술적 과제

상기 종래의 구성에서는 정적메모리타입으로 한 것으로 본래의 액정표시장치의 화소배열부에 불필요한 고저 2개의 고정전압을 각 화소에 공급할 필요가 있기 때문에 그로 인하여 배선스페이스를 필요로 하고 특히 투과형의 액정표시장치에서는 개구율계의 저하로 이어진다.
또한, 반사형 액정표시장치와, 전장발광(Electroluminescence)표시장치에서도 투과형액정은 물론이고 화소를 구동하는 드라이버등의 주변회로의 배선이 많아지고, 표시장치의 주변영역이 크게 이루어지고 콤팩트화를 소외시한다.
본 발명의 목적은 상기 종래기술의 현문제를 해소하여 본래의 액정표시장치의 화소배열부분에 불필요한 고저 2개의 고정전압을 이용하지 않고, 정적메모리회로와 비등한 화상메모리회로를 갖는 고개구율로 고정밀하며, 또한 적은 배선수로 다계조의 화상표시를 가능하게 한 액티브매트릭스형 표시장치를 제공하는 것이다.
상기 목적을 달성하기 위하여 본 발명은 화상메모리의 데이터보지를 화소구동용펄스 예를들면 액정에서는 액정교류구동용 펄스를 전원으로 하는 회로구성으로 하였다. 즉, 복수의 주사선과 복수의 신호선이 교차하는 부분에 대응하여 화소를 설치하여 이루고, 상기 화소를 화소전극과 상기 화소전극을 선택하는 스위칭소자와 상기 화소전극에 기입데이터를 기억하는 기억회로로 구성하고 상기 기억회로에 교류전압을 인가하는 전원선을 구비하였다.
행방향 및 열방향에 배열하는 복수의 화소와 상기 각 화소에 대응하여 설치한 상기 행방향으로 연장하는 복수의 주사선과 복수의 신호선을 구비하고,
상기 화소는 화소전극과, 상기 화소전극을 선택하는 스위치소자와, 상기 화소전극의 표시데이터를 기억하는 메모리회로와, 상기 화소전극에 인가하는 전압을 선택하면서 선택한 상기 전압의 하나를 상기 메모리회로에 공급하는 선택회로와, 상기 메모리회로에 한쌍의 교류전압을 인가하는 전원선으로 구성하였다.
복수의 요소화소(셀)를 모아서 1화소(단위화소)를 구성하고 상기 단위화소를 행방향 및 열방향으로 복수 배열하고 상기 요소화소에 대응하여 행방향으로 연장하는 복수의 행선택선과 열 방향으로 연장하는 복수의 열선택선을 설치하고 상기 요소화소는 화소전극과 상기화소전극을 선택하는 스위칭회로와 상기 화소전극의 점등/비점등의 데이터를 기억하는 메모리회로와 상기 화소전극에 인가하는 전압을 선택하는 선택회로와 상기 메모리회로에 한쌍의 교류전압을 인가하는 전원선으로 이루어지고, 상기 메모리회로에 상기 화소전극에 인가하는 전압의 하나를 공급하고 상기 복수의 행선택선을 구동하는 행선택회로와 상기 복수의 열선택선을 구동하는 열선택회로를 설치하고, 상기 하나의 단위화소에 속하는 복수의 요소화소를 상기 행선택회로 및 열선택회로에 의해 동시에 선택한다.
하나의 상기 단위화소에 속하는 복수의 요소화소의 점등수를 상기 메모리회로에 기입데이터에 의해 제어하여 계조를 표시한다.
하나의 상기 단위화소에 속하는 요소화소의 점등주기와 비점등주기의 비율을 상기 메모리회로에 기입데이터에 의해 제어하여 계조를 표시한다.
상기 구성에 의해 배선수를 저감하여 화소의 개구율의 저하를 방지하고 다계조 혹은 고정밀화의 화상표시를 구하는 것이 가능하다.
또한, 본 발명은 상기의 구성 및 후 기술하는 실시예의 구성에 한정되는 것은 아니고 본 발명의 기술사상을 일탈하지 않고 다양한 변경이 가능하다.

발명의 구성 및 작용

이하 본 발명의 실시형태에 대해서 실시예의 도면을 참조하여 상세하게 설명한다.
도 1은 본 발명에 의한 액티브매트릭스형표시장치, 구체적으로는 액정표시장치의 개략구성을 설명하는 모식도이다.
상기 액티브매트릭스형 표시장치는 기판상에 복수의 화소(PIX)를 X-Y평면으로 2차원 배열한 화소메모리배열의 한변에 X방향의 임의접근(Random Access)회로(X)(RAX)를 배치하고 다른 한변에 Y방향의 임의접근회로(Y)(RAY)를 배치한다. 또한, 임의접근회로(X)(RAX)측에는 선택스위치배열(SEL)이 설치된다.
임의접근회로(X)(RAX)에서는 선택신호선(HADL)이, 임의접근회로(Y)(RAY)에서는 선택신호선(VADL)이 화소메모리배열에 배선되고 또한 선택스위치배열(SEL)에서는 데이터선(영상신호선)(DL)이 화소메모리배열에 배선되어 있다.

상기 선택신호선(HADL), 선택신호선(VADL), 데이터선(DL)의 교차부에 화소(PIX)가 형성되어 있다. 또한, 화소(PIX)에는 고정전압(공통전극전압)(VCOM)을 인가하는 공통선(VCOM-L)이 배선되어 있다.
화소 메모리배열의 또다른 주변에는 고정전압(VCOM)의 인가패드(VCON-P)가 설치되어 있다.
그리고 고정전압(VOM)의 인가패드(VON-P)를 설치한 주변측 에는 필드별로 다른 2종류의 전압(PBP, PBN)의 인가패드(PBP-P, PBN-P)가 설치되고, 상기 인가패드(PBP-P, PBN-P)에 접속한 교번전압선(PBP-L, PBN-L)이 화소(PIX)에 연장하고 있다.
표시제어장치(CTL)로부터 출력되는 X어드레스데이터(X, Y)어드레이데이터(Y) 및 표시신호인 디지털데이터(R, G, B)는 각각의버스라인(X, Y, D)을 매개하여 임의접근회로(X)(RAX), 임의접근회로(Y)(RAX), 디지털데이터 버스라인(D)의 각각에 공급된다.
고정전압(VOCM) 교번전압(PBP, PBN)은 표시제어장치(CTL)에서 제어되는 전원회로(PWU)에서 공급된다.
도 2는 본 발명의 제 1 실시예인 액정표시장치의 1화소의 구성을 설명하는 회로도이다. 액정(LC)을 끼운 한쪽의 기판에 있어서 영상신호선(DL)을 구성하는 영상신호선(DL1)은 화소에 영상신호를 공급하는 배선을 구성하고 선택신호선(HADL1, VADL)은 영상신호를 인가하는 화소를 선택하기위한 배선이다. 화소는 다음에 선택되어 기입전환하는 동안 인가된 영상신호를 보지하는 기능을 갖는다.
또한, 본 실시예에 있어서 액정(LC)을 전장발광소자에 기입전환하면 전장발광형 표시장치가 된다.
고정전압(VCOM)은 고정전압선(VOCM-L)에 인가된다. 또한, 고정전압(VOM)은 액정(LC)을 끼운 다른쪽의 기판에 형성한 전극에도 인가된다. 교번전압(PVP, PBN)은 교번전압선(PBP-L, PBN-L)으로 인가된다.
화소로의 영상신호의 기입은 선택신호선(HADL)을 구성하는 선택신호선(HADL1)과 선택신호선(VADL)에 인가되는 각 선택신호로 2개의 NMOS트랜지스터(VADSW 1, HADSW 1)가 온 상태가 되는 것에 의해 실행된다.
기입된 영상신호가 전위를 입력게이트(전압노이드(N8))전위로 하고 한쌍의 p형 전계효과 트랜지스터(PLTF1)과 n형 전계효과 트랜지스터(NLTF1)의 각각의 소스 혹은 드레인이 되는 전극 혹은 확산영역이 전기적으로 접속되어 출력부(전압노이드(N9))를 형성하는 제 1의 인버터를 구성한다. 이하, 전압노이드를 단순하게 노이드로 명기한다.
제 1의 인버터를 구성하는 한쌍의 p형전계효과 트랜지스터(PLTF1)와 n형전계효과트랜지스터(NLTF1)의 각각의 소스 또는 드레인이 되는 전극 혹은 확산영역이 전기적으로 접속된 출력부(노이드(N9))의 전위를 입력게이트전위로 하는 한쌍의 p형 전계효과트랜지스터(PLTR1)과 n형 전계효과트랜지스터(NLTR1)로 제 2의 인버터를 구성한다.
제 2의 인버터를 구성하는 한쌍의 p형전계효과 트랜지스터(PLTR1)와 n형전계효과트랜지스터(NLTR1)의 각각의 소스 또는 드레인이 되는 전극 혹은 확산영역이 전기적으로 접속된 출력부(노이드(N8))의 전위를 입력게이트전위로 하는 한쌍의 p형 전계효과트랜지스터(PPVS1)과 n형 전계효과트랜지스터(NPVS1)로 제 3의 인버터를 구성한다.
그리고 제 2의 인버터를 구성하는 한쌍의 p형 전계효과 트랜지스터(PLTR1)과 n형전계효과트랜지스터(NLTR1)의 출력부(노이드(N8))는 동시에 제 1의 인버터의 입력게이트(노이드(N8))와 전기적으로 접속된다.
제 1과 제 2의 인버터를 구성하는 n형전계효과트랜지스터(NLTF1, NLTR1)의 인버터의 출력이 아닌 소스 혹은 드레인 혹은 확산영역(노이드(N6))이 상기 한쌍의 교번전압선의 한쪽(PBN)에 접속된다.
또한, 제 1과 제 2의 인버터를 구성하는 p형전계효과 트랜지스터(PLTRF, PLTR1)의 인버터의 출력이 아닌 소스 혹은 드레이 혹은 확산영역(노이드(N4))가 상기 제 1 및 제 2의 인버터의 n형 전계효과트랜지스터의 인버터출력이 아닌 소스로 이루는 전극 혹은 드레인 혹은 확산영역이 접속된 교번전압선(노이드(N6))와 쌍을 이루는 전압의 교번전압선(PBP)에 접속된다.
제 3의 인버터를 구성하는 한쌍의 p형전계효과 트랜지스터(PPVS1)와 n형전계효과트랜지스터(NPVS1)의 인버터출력부(노이드(N10))이 아닌 각각의 소스 혹은 드레인으로 이루어지는 전극(노이드(N6, N10))혹은 확산영역의 한쪽(노이드(N6))은 상기 교번전압선의 어느 한쪽(PBN) 에 접속되고 다른쪽은 고정전압선(VCOM)에 접속된다.
도 3은 도 2에 나타난 화소회로의 동작을 설명하는 파형도이고, 횡축으로 시간을 취하여 각각의 신호선에 인가되는 펄스전압과 노이드의 전압을 나타낸다. 도안에서 DL1은 해당하는 화소를 포함하는 화소배열(화소메모리배열)내의 화소열(혹은 화소행)에 공통의 영상신호선(드레인선)에 부가되는 신호펄스의 일례이다.
본 실시예에서는 선택 신호선(HADL1, VADL1)이 동시에 하이(High)상태가 된 경우에 2개의 트랜지스터(VADSW1, HADSW1)가 오프상태가 된다. 이때의 영상신호선(드레인선)(DL1)의 전압레벨이 화소메모리의 노이드(N8)에 기입된다.
도 2에서는 우선 (1)t1의 타이밍으로 트랜지스터(VADSW1, HADSW1)의 NMOS트랜지스터가 온상태가 되고 이때의 영상신호선(DL1)의 전압레벨이 화소메모리의 노 이드(N8)에 기입된다.
(2) 타이밍(t1)이전의 노이드(N8) 상태가 로우(LOW)라고 하면 상기 기입에 의해 노이드(N8)의 상태는 로우 상태로부터 하이상태로 변화한다. 이 때 도 3에 나타난 예에서는 한쌍의 교번전압선(PBP, PBN)의 전압상태는 PBP가 하이(+V), PBN이 로우(-V)이므로 2개의 인버터의 p형 전계효과트랜지스터(PLTF1)와 n형 전계효과 트랜지스터(NLTF1) 및 p형 전계효과트랜지스터(PLTR1)과 n형 전계효과트랜지스터(NLTR1)의 전압인가조건은 정상동작상태이고 노이드(N8)가 하이상태가 된다. 상기에 의해 p형 전계효과 트랜지스터(PLTF1)가 오프상태, n형전계효과 트랜지스터(NLTF1)가 온상태가 되고 상기 출력노이드(N9)는 교번전압선(PBN)과 접속되게 된다. 즉, 상기 상태는 하이상태로부터 로우상태로 변화한다.
노이드(N9)는 상태가 하이상태로부터 로우상태로 변화하는 것에 의해 p형 전계효과 트랜지스터(PLTR1)과 n형 전계효과 트랜지스터(NLTR1) 가운데 PLTR1이 온상태, NLTR1이 오프상태가 되므로 상기 출력노이드(N8)는 교번전압선(PBP)과 접속되고 상기 상태가 하이가 된다. 상기 결과로서 타이밍으로 NMOS트랜지스터(VADSW1, HADSW1)가 오프상태가 되고 노이드(N8)가 전기적으로 영상신호선(DL1)으로부터 이탈된 후 타이밍(t1)에서의 기입상태(하이상태)의 외부전위와 접속하여 상기 상태를 보지하는 것이 가능하다(메모리기능을 갖는다).

(3) 노이드(N8)의 전압은 동시에 제 3의 인버터를 구성하는 한쌍의 p형전계효과 트랜지스터(PPVS1)와 n형전계효과 트랜지스터(NPVS1)의 게이트전압이다. 노이드(N8)는 하이상태이므로 제 3의 인버터를 구성하는 p형 전계효과 트랜지스터(PPVS1)가 오프상태, n형전계효과 트랜지스터(NPVS1)가 오프상태가 되어 액정(LC)을 구동하는 미도시의 화소전극은 교번전압선(PBP)과 접속된다.
타이밍 t1으로부터 t3의 기간은 교번전압선(PBN)의 전위는 로우(-V)이므로 화소전극은 로우(-V)가 되고 대향전극전위(VCOM)(~((+V) + (-V)/2)와의 전압차분만큼의 전압을 액정으로 인가하는 상태가 된다.
(4) 타이밍 t1에서 t3의 기간은 한쌍의 교번전압선(PBP, PBN)의 전위는 변동하지 않기 때문에 상기의 (2) (3)의 상태가 보지된다.
(5) 타이밍 t4에서 한쌍의 교번전압선(PBP, PNP)는 그 전위를 반전한다. 즉 교번전압선(PBP)은 하이상태(+V)에서 로우상태(-V)로 변화하고 교번전압선(PBN)은 로우상태(-V)에서 하이상태(+V)로 변화한다.
(6) 상기 경우의 화소메모리의 동작은 다음과 같다. 노이드(N8)는 하이상태가 되므로 제 1의 인버터를 구성하는 한쌍의 p형 전계효과트랜지스터(PLTF1)와 n형 전계효과 트랜지스터(NLTF1)는 당연히 NLTF1가 온상태이고 상기 출력노이드(N9)는 교번전압선(PBN)과 전기적으로 접속하고 있다.
따라서, 교번전압선(PBN)의 전위가 로우상태(-V)로부터 하이상태(+V)로 변화한 것에 의해 노이드(N9)도 로우상태(-V)에서 하이상태(+V)로 변화로 변화한다.
(7) 노이드(N9)가 하이상태(+V)가 되면 제 2의 인버터를 구성하는 p형 전계효과트랜지스터(PLTR1)과 n형 전계효과 트랜지스터(NLTR1)은 PLTR1이 오프상태가 되고 NLTR1이 온상태로 변화한다. 상기에 의해 상기 출력노이드(N8)는 n형 전계효과 트랜지스터(NLTR1)를 매개하여 교번전압선(PBN)과 접속하는 경우가 된다. 따라 서 상기 전위는 하이상태(+V)이고 상기 경우도 노이드(N8)를 하이상태(+V)로 유지하도록 바이어스되고 제 3의 인버터를 구성하는 한쌍의 p형 전계효과 트랜지스터(PPVS1)와 n형 전계효과 트랜지스터(NPVS1)의 PPVS1가 오프상태, NPVS1이 온상태를 유지하게 된다.
상기 경우도 액정(LC)을 구동하는 화소전극(미도시)은 교번전압선(PBN)과 접속되지만 교번전압선(PBN)의 전위는 하이상태(+V) 이므로 화소전극의 전위는 하이상태(+V)가 된다. 상기 경우도 대향전극전위(VCOM(~((+V) + (-V)/2)와의 전압차분만큼의 전압을 액정으로 인가하는 상태가 된다.
상기 경우의 전압부호는 대향전극전위(VCOM)에 대해서 상기 (3)의 경우와는 반대가 되지만 이것은 액정을 구동할 경우에 액정의 쇠화방지를 위하여 일반적으로 이용되는 교번전압인가법 그 자체이고 화소메모리가 실현한 구동방법에 합치한다.
(8) 도 3에서는 타이밍 t7에서 다시 한쌍의 교번전압선(PBP, PNP)은 그 전위를 반전한다. 즉 교번전압선(PBP)은 로우상태(-V)로부터 하이상태(+V)로, PBN은 하이상태(+V)로부터 로우상태(-V)로 변화한다. 상기 경우는 상기(2), (3)에서 설명한 상태가 반복되는 것이 된다.
(9) 도 2에서는 타이밍 t9에서 다시 NMOS트랜지스터(VADSW1, HADSW1)가 온상태가 되고 노이드(N8)가 영상신호선(DL1)과 접속된다. 상기 경우의 영상신호선(DL1)의 상태는 로우상태(-V)이다. 따라서, 노이드(N8)는 로우상태(-V)로 변화하고 제 1의 인버터를 구성하는 한쌍의 p형 전계효과트랜지스터(PLTF1)와 n형 전계효과 트랜지스터(NLTF1) 가운데 트랜지스터PLTF1이 온상태, NLTF1은 오프상 태로 변화한다.
상기 경우 교번전압선 PBP은 하이상태(+V), PBN은 로우상태(-V)가 되므로 한쌍의 p형 전계효과 트랜지스터(PLTF2)와 n형 전계효과트랜지스터(NLTF1)의 출력노이드(N9)는 교번전압선(PBP)과 접속되어 하이상태(+V)가 된다.
노이드(N9)가 하이상태(+V)이므로 제 2의 인버터를 구성하는 한쌍의 p형 전계효과트랜지스터(PLTR1)과 n형 전계효과트랜지스터(NLTR1) 가운데 트랜지스턴 PLTR1이 오프상태로 트랜지스터 NLTR1이 온으로 변화한다. 상기 출력 노이드(N8)는 교번전압선(PBN)과 전기적으로 접속된다.
교번전압선(PBN)은 로우상태(-V)가 되어 있기 때문에 노이드(N8)는 로우상태(-V)가 되고 다시 NMOS트랜지스터(VADSW1M HADSW1)가 오프상태가 된 후도 로우상태(-V)를 보지하게 된다.
(10) 노이드(N8)가 로우상태(-V)이므로 제 3의 인버터를 구성하는 한쌍의 p형전계효과 트랜지스터(PPVS1)와 n형전계효과트랜지스터(NPVS1) 가운데 트랜지스터(PPVS1)는 온상태로 트랜지스터(NPVS1)는 오프상태가 되고 액정(LC)을 구동하는 화소전극(미도시)은 대향전극 전위(VCOM)로 접속된다. 화소전극은 전압(VCOM)이 되고 대향전극전위(VCOM)와 동전위이므로 액정에는 전압이 인가되지 않는 상태가 된다.
(11) 타이밍 t12로 다시 한쌍의 교번전압선(PBP, PNP)은 상기 전위를 반전한다. 즉, 교번전압선 PBP는 하이상태(+V)에서 로우상태(-V)로 교번전압선 PBN은 로우상태(-V)에서 하이상태(+V)로 변화한다. 노이드(N8)는 로우상태(-V)인 상태이므 로 제 1의 인버터를 구성하는 한쌍의 p형 전계효과 트랜지스터(PLTF1)와 n형전계효과 트랜지스터(NLTF1) 가운데 트랜지스터 PLTF1이 온상태, NLTF1은 오프상태인 상태로 즉 로우상태(-V)가 된다.
노이드 N9는 로우상태(-V)로 변화하면 제 2의 인버터를 구성하는 한쌍 의 p형 전계효과 트랜지스터(PLTR1)과 n형전계효과트랜지스터(NLTR1) 가운데 트랜지스터 PLTR 1이 온상태로 트랜지스터 NLTR 1이 오프로 변화한다. 출력노이드(N8)는 교번전압선(PBP)과 전기적으로 접속된다. 교번전압선(PBP)은 로우상태(-V)로 되어 있으므로 노이드(N8)는 로우전위(-V)가 되고 로우상태(-V)를 보지하는 경우가 된다.
(12) 노이드(N8)는 로우전위(-V)이므로 제 3의 인버터를 구성하는 한쌍의 p형 전계효과 트랜지스터(PPVS1)와 n형전계효과 트랜지스터(NPVS1) 가운데 트랜지스터 PPVS1는 온상태로 트랜지스터 NPVS1는 오프상태가 되고 액정(LC)을 구동하는 화소전극(미도시)은 대향전극전위(VCOM)에 접속된다. 화소전극은 전압(VCOM)이되고 대향전극전위(VOCM)과 동전위이므로 액정에는 전압이 인가되지 않는 상태가 된다.
(13) 이상 설명한 구성에 의해 본래 액정의 쇠화를 방지하기 위하여 각각의 전극에 전달하는 교번전압을 이용하여 화소내에 설치한 메모리(래치메모리)의 상태를 보지할 수 있다.

(14) 상기 (6) 및 (11)에서 교번전압의 전위가 변화하여도 노이드 N8의 전위는 변화하지 않는 것을 전제로 하였지만 실제 회로설계에서는 변화하는 요소이다. 극단의 경우 예를 들면 노이드 N8에 비하여 노이드 N9의 용량이 매우 커지도록 설계한 경우, 노이드 N9의 전위가 변화하기 어려우므로 자기안정화를 향하여 변화를 개시하는 닫혀진 래치업메모리(한쌍의 p형 전계효과 트랜지스터(PLTF1)와 n형 전계효과트랜지스터(NLTF1)에서 구성한 제 1의 인버터와 한쌍의 p형전계효과 트랜지스터(PLTR1)과 n형 전계효과트랜지스터(NLTR1)에서 구성한 제 2의 인버터의 상호 출력이 상대의 입력이 되는 회로구성)에서는 자기안정상태 노이드 N9의 전위에 의해 지배되게 된다. 즉, 상기(6)의 경우를 노이드 N9가 지배하고 있다는 가정에서 고려해보면 노이드 N9는 로우상태(-V)이므로 제 2의 인버터의 트랜지스터(PLTR1)는 온상태(+V)로 트랜지스터 NLTR1은 오프상태(-V)가 된다. 따라서, 노이드 N8은 교번전압선(PBP)과 접속하여 (6)의 조건하에서는 교번전압선(PBP)은 로우상태(-V)가 되어 있고 노이드 N8은 하이상태(+V)에서 로우상태(-V)로 변화하고 메모리보지가 실행되지 않게 된다.

(15) 노이드 N8과 노이드 N9를 도 2에 보면 노이드 N9가 제 2의 인버터의 트랜지스터(PLTR1, NLTR1)의 게이트용량 및 자기배선용량전용이다. 상기에 대해서 노이드N8은 제 1의 인버터의 트랜지스터(PLTF1, NLTF1)의 게이트용량 및 자기배선용량외에 제 3의 인버터 트랜지스터(PPVS1, NPVS1)의 게이트용량 및 NMOS 트랜지스터(HADSW1)의 게이트와 컵링용량을 가지므로 일반적으로는 노이드 N8이 자기안정상태를 지배한다고 사려되지만, 설계에 따라서는 상기 (14)의 상황이 일어날수 있다. 상기 대책을 고려한 회로구성을 도 4 ~ 도 6에 나타낸다.

도 4는 본 발명의 제 2의 실시예의 1화소의 구성을 설명하는 회로도이다. 도 2와 동일부호는 동일기능부분을 나타낸다(또한, 부호의 숫자2는 도 2의 숫자 1을 부여한 것과 동일소자 또는 선에 대응한다).

본 실시예에서는 제 2의 인버터를 구성하는 p형 전계효과 트랜지스터(PLTR1)와 n형 전계효과 트랜지스터(NLTR1)의 입력노이드 N8과 제 1의 인버터의 p형 전계효과 트랜지스터(PLTF1)와 n형 전계효과 트랜지스터(NLTF1)의 입력노이드(N8')과의 사이에 저항(RFB)을 삽입하였다.

노이드 N8의 메모리상태는 주로 NMOS 트랜지스터(VADSW2, HADSW2)의 오프레벨에서의 누전과 다른배선(DL2, PBP, PBN, VADL, HADL2)과의 용량결합에 의한 전위변동이고 통상 메모리상태가 반전하는 만큼 커다란 변동량이 되는 것은 비교적 긴 시간을 필요로 한다고 가정할 수 있다.

따라서, 출력노이드N8'의 전위는 상기의 비교적 여유로운 변동에 의한 전하의 변화분을 보충하는 것이 목적이기 때문에 고저항인 저항(RFB)을 상기한 부분에 삽입하여도 그 목적을 달성하는 것이 가능하다.

본 실시예의 구성으로 한 것으로 예를들면 상기(14)에서 기술한 바와 같은 노이드 N9의 용량이 비교적 크고 일시적으로 제 2의 인버터를 구성하는 트랜지스터(PLTR1)와 트랜지스터(NLTR1)의 상태가 N9로 지배되어 상기 출력이 어려운상황의 전위가 된 경우에서도 상기전위가 저항(RFB)을 매개하여 노이드 N8의 상태를 변화시키기 전에 상기(6),(11)에서 기술한 순서로 노이드(N8)에 지배된 상태에서의 설정이 일어나기 때문에 메모리데이터의 보지가 보다 확실해진다.

도 5는 본 발명의 제 3의 실시예의 1화소의 구성을 설명하는 회로도이다. 도 4와 동일부호는 동일기능부분을 나타낸다. 본 실시예에서는 제 2의 인버터를 구성하는 p형 전계효과 트랜지스터(PLTR2)와 n형 전계효과트랜지스터(NLTR2)의 입력노이드(N8)와 제 1의 인버터의 p형 전계효과 트랜지스터(PLTF2)와 n형 전계효과 트랜지스터(NLTF2)의 입력노이드(N8')사이에 nMOS트랜지스터(NFBSW)를 삽입하였다. 상기 nMOS트랜지스터(NFBSW)의 게이트입력 노이드를 교번전압선(PBP)에 접속하였다.

본 실시예의 구성에 의하면 2개의 인버터(제 2의 인버터와 제 1의 인버터)를 구성하는 트랜지스터 PLTR2 과 트랜지스터(NLTR2, PLTF2, NLTF2)가 일반적인 바이어스상태, 즉 p형 측이 n형보다도 전압이 높은 경우만으로 NMOS트랜지스터(NFBSW)가 온상태가 된다. 상기에 의한 (6),(11)에서 기술한 상태에서는 제 2의 인버터를 구성하는 트랜지스터(PLTR2, NLTR2)의 출력노이드(N8')과 제 1의 인버터를 구성하는 트랜지스터(PLTF2, NLTF2)의 입력노이드(N8)와의 전기적접속이 끊어진다. 따라서 상기(14)에서 기술한 바와 같은 상황은 일어나지 않게 된다.

도 6은 본 발명의 제 4 실시예의 1화소의 구성을 설명하는 회로도이다. 도 5와 동일부호는 동일기능부분을 나타낸다. 본 실시예에서는 제 2의 인버터를 구성하는 p형 전계효과 트랜지스터(PLTR2)와 n형 전계효과 트랜지스터(NLTR2)의 출력노이드(N8')과 제 1의 인버터의 p형 전계효과트랜지스터(PLTF2)와 n형 전계효과 트랜지스터(NLTF2)의 입력노이드(N8)의 사이에 NMOS트랜지스터(PFBSW)를 삽입하였다. 상기 NMOS트랜지스터(PFBSW)의 게이트입력노이드를 교번전압선(PBN)에 접속하였다.

본 실시예의 구성에 의해서도 상기도 5에서 설명한 것과 동일한 효과를 구하 는 것이 가능하다.

상기 각 실시예에서 설명한 구성에서는 CMOS 트랜지스터를 방전방식뿐아니라 충전방식에서도 사용하기 때문에 충전방식에 있어서의 전달전압의 한계치전압 하강에 유의하여 설계할 필요가 있다. 예를들면 제 3의 인버터를 구성하는 트랜지스터(NPVS2)가 온상태에서 교번전압선(PBN)과 화소전극이 전기적으로 연결되어 있는 경우 교번전압선(PBN)의 로우전압인 상태로 전달되지만 하이전압은 한계치분만큼 전압하강한 전압이 된다.

예를 들면, 상기 한계치를 VthN으로 한 경우 고정전압(VCOM)을{(하이(+V)+로우(-V))/2}-VthN/2부근으로 설정하는 배려가 필요해진다.

도 2의 회로구성에 있어서 제 2의 인버터(트랜지스터(PLTR1, NLTR1))의 출력인피던스가 매우 낮은 경우는 트랜지스터(VADSW1, HADSW1)가 온상태가 되어 기입이 실행될 경우도 전(前)상태가 보존되는 것이 우려된다. 이와 같은 경우에는 도 4에 나타난 구성으로 하는 것이 유효하다.

상기 각 실시예에서는 신호입력부의 MOS트랜지스터로서 표시부에 XY어드레스용의 2개의 트랜지스터(VADSW1, HADSW1)를 이용한 것을 설명하였다. 그러나, 상기 트랜지스터 가운데 한쪽, 예를 들면 통상사용되는 바와 같은 X어드레스용의 MOS트랜지스터(HADSW1)를 영상신호선(드레인선)(DL)을 선택하는 스위치로서 도에 표시되지않는 부분에 배치하여도 좋다. 또한, MOS트랜지스터(VADSW1, HADSW1)의 배치를 도와는 반대로 하여도 좋다.

다음으로 본 발명의 다른 실시예에 대해서 도 7 ~ 도 12를 참조하여 설명 한 다. 메모리기능을 갖는 화소를 이용하여 디서에 의한 다계조표시를 실행하는 경우 계조분의 신호선이 필요해 진다. 그로 인하여 고정밀화가 곤란하다.
상기를 해결하기 위하여 본 발명에서는 메모리내장형 화소를 이용하여 ①1화소를 표시면적이 다른 복수셀(액정셀과 전장발광소자등으로 이루어지는 부화소로 구성한다. ②2개의 신호선으로 4계조를 표시한다. ③3개의 신호선으로 8계조를 표시한다. ④계조를 디서에 의해 표시한다. ⑤계조를 FRC(Frnm Rate Control)에 의해 표시한다.
도 7은 4계조 표시를 실행하는 화소구성의 설명도이다. 본 실시예는 1화소를 2개의 셀(셀A: cell-A, 셀B:cell-B)로 구성하고 각 셀에는 각각 메모리(MR1, MR2)를 갖는다.
XL과 YL은 선택선이고 XL은 횡(수평)방향의 어드레스선, YL은 종(수직)방향의 어드레스선, DL1은 A의 데이터선(드레인선, 또는 영상 신호선), DL2는 셀B의 데이터선을 나타낸다. CLC는 액정용량이다.
1화소의 구성은 표시면적을(셀B:cell-B/셀A: cell-A)=2/1로 한다. 셀A: cell-A 및 셀B:cell-B는 각각 1비트(bit)메모리(MR1, MR2)를 구비한다.
1비트메모리(MR1, MR2)의 각각은 '1'과 '0' 2값을 갖는다. 어드레스선(XL, YL)은 표시 데이터를 기입하는 화소의 어드레스의 지정을 실행한다. 데이터선(DL1, DL2)는 각 셀의 표시데이터를 입력한다.
어드레스선(XL, YL)에 의해 선택된 화소는 데이터선(DL1, DL2)에 의해 표시데이터를 삽입하고 각 셀의 메모리(MR1, MR2)에 기억한다. 기억된 데이터는 다음 의 기입전환되는 시간까지 보지된다.
도 8은 4계조표시의 셀표시상태의 설명도이고 도안의 백색부분이 선택 셀이고 사선으로 나타낸 부분이 비선택셀을 나타낸다. 또한, 도 9는 4계조 표시의 매트릭스구성도이다. 2개의 셀A: cell-A 및 셀B:cell-B에서 구성한 화소는 제 0계조표시에서 제 3계조표시까지의 4계조를 표시한다.
제 0계조표시의 경우는 셀A: cell-A 및 셀B:cell-B 모두 '0'이다. 제 1계조표시의 경우는 셀A: cell-A은 '1'이고 셀B:cell-B는 '0'이다. 제 2계조표시의 경우는 셀A: cell-A 는 '0'이고 셀B:cell-B는 '1'이다. 제 3계조표시의 경우는 셀A: cell-A 및 셀B:cell-B 모두 '1'이다. 셀A: cell-A 의 면적을(1S)로 하면 셀B:cell-B의 면적은 그 2배인 2S가 된다.
셀의 표시데이터가 '1'일 경우에 액정에 전압을 인가하는 상태의 경우를 예로하면 각 계조 표시에 있어서 전압면적은 제 0계조표시에서는 0, 제 1 계조표시에서는 1S, 제 2 계조표시에서는 2S, 제 3 계조표시에서는 3S이다.
본 실시예에 의해 메모리기능을 갖는 화소를 이용한 고정밀표시가 가능해진다.
도 10은 8계조표시를 실행하는 화소구성의 설명도이다. 본 실시예에서는 1화소를 3개의 셀(셀A: cell-A 및 셀B:cell-B 및 셀C:cell-C)로 구성하고 각 셀에는 각각 메모리(MR, MR2, MR3)를 갖는다.
XL과 YL은 선택선이고 XL은 횡(수평)방향의 어드레스선, YL은 종(수직)방향의 어드레스선, DL1은 셀A의 데이터선(드레인선, 또는 영상신호선) DL2는 셀B의 데 이터선, DL3은 셀C의 데이터선을 나타낸다. CLC는 액정용량이다.
1화소의 구성은 표시면적을(셀C:cell-C/셀B:cell-B /셀A: cell-A)=3/2/1로 한다. 셀A: cell-A 및 셀B:cell-B 및 셀C:cell-C는 각각 1비트(bit)메모리(MR1, MR2, MR3)를 구비하고 있다.
1비트메모리(MR1, MR2, MR3)의 각각은 '1', '0'의 2값을 갖는다. 어드레스선(XL, YL)은 표시데이터를 기입하는 화소의 어드레스의 지정을 실행한다. 데이터선(DL1, DL2)는 각 셀의 표시데이터를 입력한다.
어드레스선(XL, YL)에 의해 선택된 화소는 데이터선(DL1, DL2, DL3)에 의해 표시데이터를 삽입하고 각 셀의 메모리(MR1, MR2, MR3)에 기억한다. 기억된 데이터는 다음의 기입전환되기까지 보지된다.
도 11은 8계조표시의 셀표시상태의 설명도이고 도안의 백색부분이 선택셀이고 사선으로 나타낸 부분이 비선택셀을 나타낸다. 또한, 도 12는 8계조표시의 매트릭스구성도이다. 2개의 셀A: cell-A 및 셀B:cell-B 및 셀C:cell-C로 구성한 화소는 제 0계조표시로부터 제 7계조 표시까지의 8계조를 표시한다.
제 0계조표시의 경우는 셀A: cell-A 및 셀B:cell-B 및 셀C:cell-C 모드 '0'이다. 제 1계조표시의 경우는 셀A: cell-A는 '1'이고 셀B:cell-B 및 셀C:cell-C는 '0'이다. 제 2계조표시의 경우는 셀A: cell-A 는 '0'이고 셀B:cell-B 는 '1', 셀C:cell-C은 '0'이다.
제 3계조표시의 경우는 셀A: cell-A 및 셀B:cell-B 는 모두 '1'이고, 셀C:cell-C는 '0'이다. 제 4계조표시의 경우는 셀A: cell-A 및 셀B:cell-B 는 모 두 '0'이고,셀C:cell-C는 '1'이다. 제 5계조표시의 경우는 셀A: cell-A는 '1'이고, 셀B:cell-B는 '0'이고, 셀C:cell-C는 '1'이다. 제 6계조표시의 경우는 셀A: cell-A 는 '0'이고, 셀B:cell-B는 '1'이고, 셀C:cell-C는 '1'이다. 제 7계조표시의 경우는 셀A: cell-A 및 셀B:cell-B 및 셀C:cell-C 모두 '1'이다.
셀A: cell-A의 면적을 1S로 하면 셀B:cell-B 의 면적은 그 2배인 2S, 셀C:cell-C의 면적은 셀A: cell-A 의 3배의 3S가 된다.
셀표시데이터가 '1'일 경우에 액정에 전압을 인가하는 상태의 경우를 예로하면 각 계조표시에 있어서의 전압면적은 제 0계조표시에서는 0, 제 1계조표시에서는 1S, 제 2 계조표시에서는 2S, 제 3계조표시에서는 3S, 제 4계조표시에서는 4S, 제 5 계조표시에서는 5S, 제 6 계조표시에서는 6S, 제 7계조표시에서는 7S이다.
본 실시예에 의해서도 상기한 메모리기능을 갖는 화소를 이용한 고정밀표시가 가능해진다.
또한, 1화소를 구성하는 셀수는 상기한 2 또는 3에 한정되는 것은 아니고 또한 다수의 셀로 1화소를 구성하는 것이 가능하다.
상기 각 실시예에서 설명한 다계조표시에서는 계조분의 신호선을 필요로 하지않고 통상의 디서에 의한 표시에 비하여 배선수가 대폭으로 저감이 가능하다.
또한, 상기 도 7 또는 도 10의 디서표시대신으로 FRC법을 적용하여도 동일한 효과를 구할 수 있다. FRC를 적용한 회로구성은 도 7 또는 도 10에 있어서 셀이 점등하는 시간과 비점등하는 시간의 비율을 주변구동회로(X구동회로(RAX, SEL) 및 Y구동회로(RAY))를 이용하여 제어하는 것에 의해 중간계조를 표시하는 것이다.
본 발명에 있어서 FRC법을 이용하여 계조표시를 실행하는 것에 의해, 디서표시보다도 작은 배선수로 다계조표시를 실행하는 것이 가능하다. 또한, FRC법을 실행하면 계조표시를 위하여 신속하게 표시에 대응할 수 없다. 따라서 동화

상을 표시하는 경우는 디서표시쪽이 바람직하다.
또한, 본 발명에 있어서 디서표시와 FRC법의 양쪽을 이용하여 계조표시를 실행하는 것에 의해 정지화소에 있어서 또한 계조수를 증가하는 것이 가능하고 동화상에 있어서도 충분한 계조를 산출하는 것이 가능하다
이와 같이 상기의 복수셀에 의한 다계조표시를 위한 구성으로는 4계조표시에서는 1화소별로 2개의 신호선, 8계조표시에서는 1화소별로 3개의 신호선, …, 즉 n계조표시에 대해서 1화소별 n^2 개의 신호선, 즉 디지털데이터의 비트수와 동수의 신호선으로 구성할 수 있다.
도 13은 본 발명에 의한 액티브매트릭스형 표시장치를 실장한 전자기기의 일례로서 휴대형정보단말의 구성예를 설명하는 사시도이다. 본 휴대형 정보단말(PDA)은 호스트컴퓨터(HOST)와 밧데리(BAT)를 수납하고 표면에 키보드(KB)를 구비한 본체부(MN)와 표시장치에 액정표시장치(LCD)를 이용하여 백라이트용의 인버터(INV)를 실장한 표시부(DP)로 구성되고 있다.
본체부(MN)에는 케이블(L2)을 매개하여 휴대전화기(PTP)가 접속가능하도록 되어 있고 원격지와의 사이에서 통신이 가능해져 있다.
표시부(DP)의 액정표시자치(LCD)와 호스트컴퓨터(MN)과의 사이에는 인터페이 스케이블(L1)로 접속되어 있다.
본 발명에 의하면 표시장치가 화상기억기능을 가지므로 호스트컴퓨터(MN)과의 사이는 인터페이스케이블(L1)로 접속되어 있다.
본 발명에 의하면 표시장치가 화상기억기능을 가지므로 호스트컴퓨터(MN)가 표시장치(LCD)로 보내는 데이터는 전기의 표시와 다른 부분만으로 좋고 표시에 변화가 없는 경우는 데이터를 이송할 필요가 없기 때문에 호스트컴퓨터(MN)의 부담이 매우 경감한다.
따라서, 본 발명의 표시장치를 이용한 정보처리장치는 소형과도 관계없이 매우 고속으로 다기능의 것으로 이루어진다.
또한, 표시부(DP)의 일부에는 펜홀더(PNH)가 설치되어 있고, 상기에 입력펜(PN)이 수납된다.
상기 액정표시장치는 키보드(KB)를 사용한 정보의 입력과 입력펜(PN)으로 터치패널의 표면을 누름조작하거나 만지거나 혹은 기입으로 다양한 정보를 입력하고, 혹은 액정표시소자(PNL)에 표시된 정보의선택, 처리기능의 선택 그외의 각종조작을 가능하게 하고 있다.
또한, 상기 종류의 휴대형정보단말(PDA)의 형태와 구조는 도시한 것에 한정되는 것은 아니고 상기 외에 다양한 형태, 구조 및 기능을 구비한 것이 가능하다.
또한, 도 13의 휴대전화기(PTP)는 표시부에 사용되는 표시소자(LCD2)의 본 발명의 액티브매트릭스형표시장치를 이용 하는 것에 의해 표시소자(LCD 2)에 보내는 이송표시데이터의 정보량을 작게할 수 있으므로 전파와 통신회선에서 보내는 화 상 데이터를 작게할 수 있고 휴대전화기의 표시부에 다계조 또는 고정밀의 문자와 도형, 사진표시 또는 동화상표시를 실행하는 것이 가능하다.
또한, 본 발명의 액정표시장치는 도13에서 설명한 형태형 정보단말에 한정되지 않고 데스크탑형 컴퓨터, 노트형컴퓨터, 투사형액정표시장치, 그외의 정보단말의 모니터기기에 이용하는 것이 가능 한 것은 물론이다.
또한, 본 발명의 액티브매트릭스표시장치는 액정전장발광형 표시장치에 한정되는 것은 아니고 예를들면 매트릭스디스플레이와 같은 매트릭스형의 표시장치로 하면 어느 경우에서도 응용가능하다.

발명의 효과

이상, 설명한 바와 같이 본 발명에 의하면 정적메모리회로와 비등 한 화상메모리회로를 갖는 고개구율로 고정밀, 또한 작은 배선수로 다계조의 화상표시를 가능하게 한 액티브매트릭스형 표시장치를 제공하는 것이 가능하다.

(57) 청구의 범위

청구항 1.

행방향 및 열방향으로 배열된 복수의 화소를 설치하고,
상기 화소를 화소전극과 상기 화소전극을 선택하는 스위칭소자와 상기 화소전극에 기입하는 데이터를 기억하는 기억회로로 구성하고, 상기 기억회로에 한쌍의 교류전압을 인가하는 전원선을 구비한 것을 특징으로 하는 액티브매트릭스형 표시장치.

청구항 2.

행방향 및 열방향에 배열한 복수의 화소와, 상기 각 화소에 대응하여 설치한 상기 행방향으로 연장하는 복수의 주사선과 복수의 신호선을 구비하고,
상기 화소는 화소전극과, 상기 화소전극을 선택하는 스위칭소자와, 상기 화소전극의 표시데이터를 기억하는 메모리회로와, 상기 화소전극에 인가하는 전압을 선택하면서 선택한 상기 전압의 하나를 상기 메모리회로에 공급하는 선택회로와, 상기 메모리회로에 한쌍의 교류전압을 인가하는 전원선으로 구성한 것을 특징으로 하는 액티브 매트릭스형 표시장치.

청구항 3.

복수의 요소화소를 집합하여 단위화소를 구성하고, 상기 단위화소를 행방향 및 열방향으로 복수배열하고, 상기 요소화소에 대응하여 행방향으로 연장하는 복수의 행선택선과 열방향으로 연장하는 복수의 열선택선을 설치하고,
상기 요소화소는 화소전극과 상기 화소전극을 선택하는 스위칭회로와 상기 화소전극의 점등/비점등의 데이터를 기억

하는 메모리회로와 상기 화소전극에 인가하는 전압을 선택하는 선택회로와 상기 메모리회로에 한쌍의 교류전압을 인가하는 전원선으로 이루어지고,
상기 메모리회로에 상기 화소전극에 인가하는 전압의 하나를 공급하고 상기 복수의 행선택선을 구동하는 행선택회로와 상기 복수의 열선택선을 구동하는 열선택회로를 설치하고,
상기 하나의 단위화소에 속하는 복수의 요소화소는 상기 행선택회로 및 열선택회로에 의해 동시에 선택되는 것을 특징으로 하는 액티브매트릭스형 표시장치.

청구항 4.

청구항 3에 있어서,
하나의 상기 단위화소에 속하는 복수의 요소화소의 점등수를 상기 메모리회로에 기입하는 데이터에 의해 제어하여 계조를 표시하는 것을 특징으로 하는 액티브매트릭스형 표시장치.

청구항 5.

청구항 3에 있어서,
하나의 상기 단위화소에 속하는 요소화소의 점등주기와 비점등주기의 비율을 상기 메모리회로에 기입하는 데이터에 의해 제어하여 계조를 표시하는 것을 특징으로 하는 액티브매트릭스형 표시장치.

청구항 6.

적어도 한쪽이 투명하여 상호 대향하는 2매의 기판과, 상기 2매의 기판간에 끼워진 액정층을 갖는 액정표시장치에 있어서,
영상신호를 다음에 선택하여 기입전환하는 동안 보지하는 기능을 갖는 복수 의 화소와,
상기 복수의 화소에 영상신호를 인가하는 복수의 신호선과,
상기 신호선에 영상신호를 공급하는 신호선구동수단과,
상기 영상신호를 인가하는 화소를 선택하기 위하여 복수의 선택신호선과,
상기 영상신호에 따라서 화소별로 선택되는 고정전압 및 필드별로 상이한 2종류의 전압을 상호 상이하도록 교번하는 한쌍의 전압을 액정을 끼운 전극의 한쪽에 공급하는 복수의 교번전압선을 구비하고,
상기 화소가 갖는 상기 영상신호를 다음에 기입전환할 동안 보지하는 기능은 상기 선택신호선에 의해 선택되어 화소내에 기입된 상기 영상신호의 전위를 입력게이트전위로하고, 한쌍의 p형, n형전계효과형 트랜지스터의 각각의 소스 혹은 드레인이 되는 전극 혹은 확산영역이 전기적으로 접속된 제 1의 인버터와,
상기 제 1의 인버터의 상기 한쌍의 p형, n형 전계효과형 트랜지스터의 각각의 소스 혹은 드레인이 되는 전극 혹은 확산영역이 전기적으로 접속된 출력부의 전위를 입력게이트전위로 하는 상기 제 1의 인버터와 동일한 제 2의 인버터를 구성하는 한쌍의 p형, n형전계효과형 트랜지스터와,
상기 제 2의 인버터를 구성하는 한쌍의 p형, n형 전계효과형 트랜지스터의 출력을 입력게이트전위로 하는 상기 제 1 및 제 2의 인버터와 동일한 제 3의 인버터를 구성하는 한쌍의 p형, n형전계효과형 트랜지스터를 구성하고,
상기 제 2의 인버터의 상기 한쌍의 p형, n형 전계효과형 트랜지스터의 출력을 동시에 상기 제 1의 인버터의 입력게이트와 전기적으로 접속하고,
상기 제 1과 제 2의 인버터의 n형 전계효과트랜지스터의 인버터의 출력이 아닌 소스 혹은 드레인으로 이루어지는 전극 혹은 확산영역을 상기 한쌍의 교번전압을 공급하는 교번전압선의 한쪽에 접속하고,
상기 제 1 및 제 2의 인버터의 p형 전계효과 트랜지스터의 인버터출력이 아닌 소스 혹은 드레인으로 이루어지는 전극 혹은 확산영역을 상기 제 1 과 제 2의 인버터의 n형 전계효과트랜지스터의 인버터의 출력이 아닌 소스 혹은 드레인으로 이루어지는 전극 혹은 확산영역이 접속된 교번전압선과 쌍을 이루는 전압의 교번전압선에 접속하고,
상기 제 3의 인버터의 n형전계효과 트랜지스터의 인버터의 출력이 아닌 각각의 소스 혹은 드레인으로 이루어지는 전극 혹은 확산영역의 한쪽을 상기 교번전압선중 어느 한쪽에 접속하고 다른쪽을 상기 고정전압에 접속하는 것을 특징으로 하는 액정표시장치.

청구항 7.

청구항 6에 있어서,
상기 제 2의 인버터를 구성하는 한쌍의 p형, n형 전계효과형 트랜지스터의출력과, 상기 제 1의 인버터의 입력게이트와의 사이를 저항을 매개로 하여 전기적으로 접속한 것을 특징으로 하는 액정표시장치.

청구항 8.

청구항 6에 있어서,
상기 제 2의 인버터를 구성하는 한쌍의 p형, n형 전계효과형 트랜지스터의 출력과 상기 제 1의 인버터의 입력게이트와의 사이에 상기 제 2의 인버터를 구성하는 한쌍의 p형, n형 전계효과형 트랜지스터의 출력을 소스 혹은 드레인으로 이루어지는 전극 혹은 확산영역의 한쪽과 전기적으로 접속하고, 또한 다른쪽이 상기 제 1의 인버터의 입력게이트에 접속되는 n형 전계효과트랜지스터를 구비하고,
상기 n형전계효과 트랜지스터의 게이트전극을 상기 제 1 및 제 2의 인버터의 p형 전계효과 트랜지스터의 인버터출력이 아닌 소스 혹은 드레인으로 이루는 전극 혹은 확산영역과 접속되는 교번전압선의 전압이 상이한 2종류의 전압의 절대전압이 높은 측의 전압상태일 경우에 상기 n형전계효과 트랜지스터가 온상태가 되도록 상기 제 1 및 제 2의 인버터의 p형 전계효과트랜지스터의 인버터출력이 아닌 소스 혹은 드레인으로 이루는 전극 혹은 확산영역과 접속되는 교번전압선과 동일하거나 혹은 동일한 변화를 하는 다른 교번전압선에 접속한 것을 특징으로 하는 액정표시장치.

청구항 9.

청구항 6에 있어서,

상기 제 2의 인버터를 구성하는 한쌍의 p형, n형 전계효과형 트랜지스터의 출력과 상기 제 1의 인버터의 입력게이트와의 사이에 상기 제 2의 인버터를 구성하는 한쌍의 p형, n형 전계효과형 트랜지스터의 출력을 소스 혹은 드레인으로 이루어지는 전극 혹은 확산영역의 한쪽과 전기적으로 접속하고, 또한 다른쪽이 상기 제 1의 인버터의 입력게이트에 접속되는 n형 전계효과트랜지스터를 구비하고,
상기 n형전계효과 트랜지스터의 게이트전극을 상기 제 1 및 제 2의 인버터의 p형 전계효과 트랜지스터의 인버터출력이 아닌 소스 혹은 드레인으로 이루는 전극 혹은 확산영역이 상기 제 1 및 제 2의 인버터의 p형 전계효과트랜지스터의 인버터출력이 아닌 소스 혹은 드레인으로 이루는 전극 혹은 확산영역과 접속되는 교번전압선의 전압이 상이한 2종류의 전압의 절대전압이 높은 측의 전압상태일 경우에 상기 n형 전계효과 트랜지스터의 온상태가 되도록, 상기 제1 및 제 2의 인버터의 p형 전계효과 트랜지스터의 인버터 출력이 아닌 소스 혹은 드레인으로 이루는 전극 혹은 확산영역과 접속되는 교번전압선과 다른 교번전압선에 접속한 것을 특징으로 하는 액정표시장치.

청구항 10.

청구항 6에 있어서,
상기 고정전압을 필드별로 상이한 고정전압 및 필드별로 상이한 2종류의 전압을 상호 상이하도록 교번하는 한쌍의 전압을 액정을 끼운 전극의 한쪽에 공급하는 복수의 교번전압선이 상이한 2종류의 전압간의 전압치로 설정하는 것을 특징으로 하는 액정표시장치.

청구항 11.

청구항 6에 있어서,
상기 고정전압을 필드별로 상이한 고정전압 및 필드별로 상이한 2종류의 전압을 상호 상이하도록 교번하는 한쌍의 전압을 액정을 끼운 전극의 한쪽에 공급하는 복수의 교번전압선이 상이한 2종류의 전압간의 중간전압치로 설정하는 것을 특징으로 하는 액정표시장치.

청구항 12.

청구항 6에 있어서,
상기 제 3의 인버터의 p형 및 n형 전계효과트랜지스터의 인버터출력이 안닌 각각의 소스 혹은 드레인으로 이루는 전극 혹은 확산영역의 p형 전계효과 트랜지스터의 인버터 출력이 아닌 소스 혹은 드레인으로 이루는 전극 혹은 확산영역을 상기 교번전압선에 접속하고 n형 전계효과 트랜지스터의 인버터 출력이 아닌 소스 혹은 드레인으로 이루는 전극 혹은 확산영역을 상기 고정전압에 접속하고,
상기 고정전압치를 필드별로 다른 고정전압 및 필드별로 다른 2종류의 전압을 상호 상이하도록 교번하는 한쌍의 전압을 액정을 끼운 전극의 한쪽에 공급하는 복수의 교번전압선이다른 2종류의 전압의 중간전압보다도 상기 제 3의 인버터의 p형 전계효과 트랜지스터의 한계치의 1/2만 높게 설정한 것을 특징으로 하는 액정표시장치.

청구항 13.

청구항 6에 있어서,
상기 제 3의 인버터의 p형 및 n형 전계효과트랜지스터의 인버터출력이 안닌 각각의 소스 혹은 드레인으로 이루는 전극 혹은 확산영역의 n형 전계효과 트랜지스터의 인버터 출력이 아닌 소스 혹은 드레인으로 이루는 전극 혹은 확산영역을 상기 교번전압선에 접속하고, p형 전계효과 트랜지스터의 인버터 출력이 아닌 소스 혹은 드레인으로 이루는 전극 혹은 확산영역을 상기 고정전압에 접속하고,
상기 고정전압치를 필드별로 다른 고정전압치를 필드별로 다른 고정전압 및 필드별로 다른 2종류의 전압을 상호 상이하도록 교번하는 한쌍의 전압을 액정을 끼운 전극의 한쪽에 공급하는 복수의 교번전압선이 다른 2종류의 전압의 중간전압보다도 상기 제 3의 인버터의 n형 전계효과 트랜지스터의 한계치의 1/2만 낮게 설정한 것을 특징으로 하는 액정표시장치.

청구항 14.

화소와, 주사선과, 신호선과, 한쌍의 교류전압을 공급하기 위한 2개의 전원선을 갖고,
상기 화소는 화소전극과, 상기 주사선과 신호선에 접속된 스위칭소자와, 상기 스위칭소자와 상기 화소전극과 상기 2개의 전원선에 접속된 메모리회로를 갖는 것을 특징으로 하는 액티브매트릭스형 표시장치.

청구항 15.

청구항 14에 있어서,
상기 2개의 전원선중의 한쪽의 교류전압이 하이에서 로우로 변화할 때, 상기 2개의 전원선중의 다른쪽 교류전압이 로우에서 하이로 변화하는 것을 특징으로 하는 액티브매트릭스형 표시장치.

청구항 16.

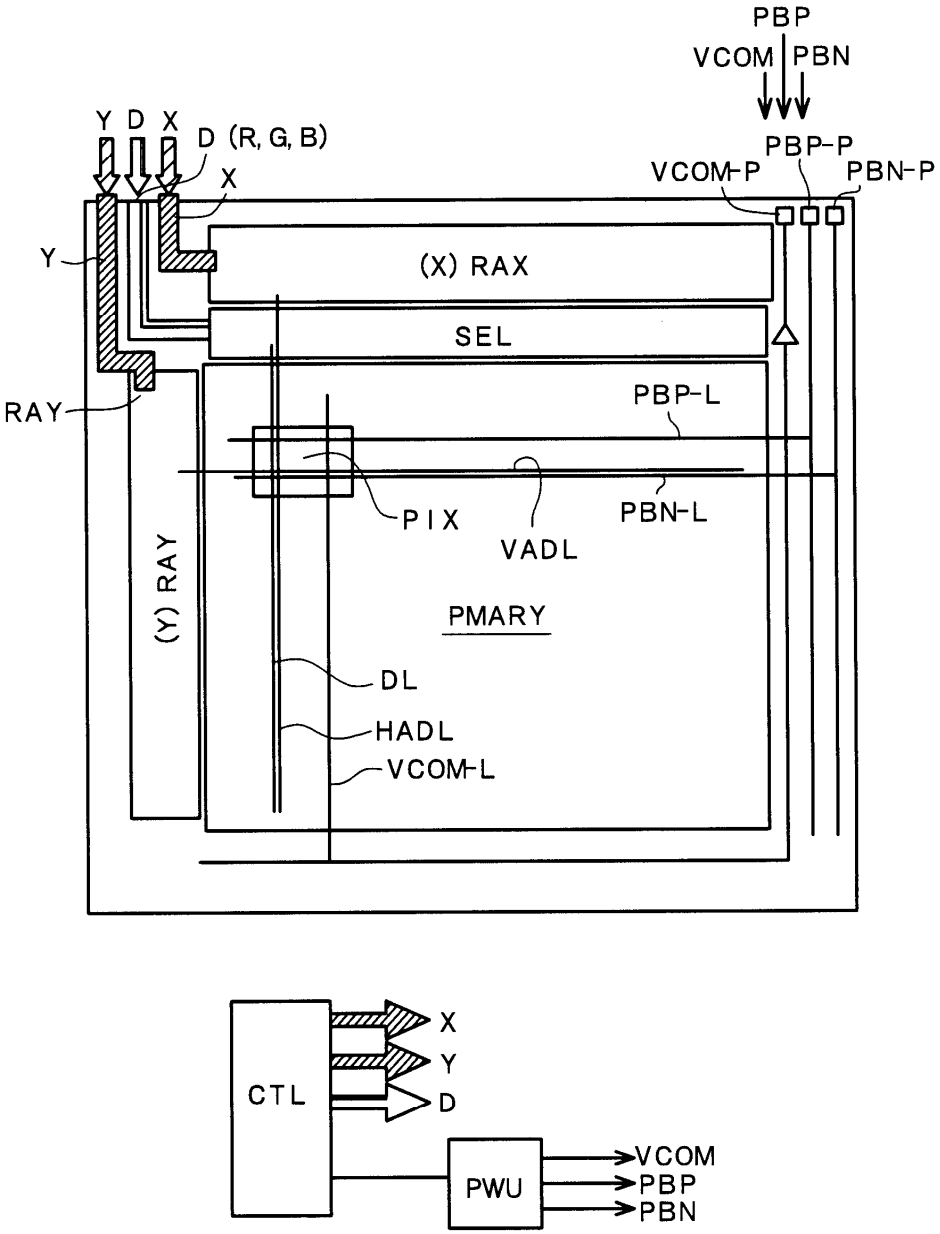
청구항 15에 있어서,
상기 메모리회로에 기억되는 데이터는 상기 화소전극에 기입되는 전압에 대응하는 데이터인 것을 특징으로 하는 액티브매트릭스형 표시장치.

청구항 17.

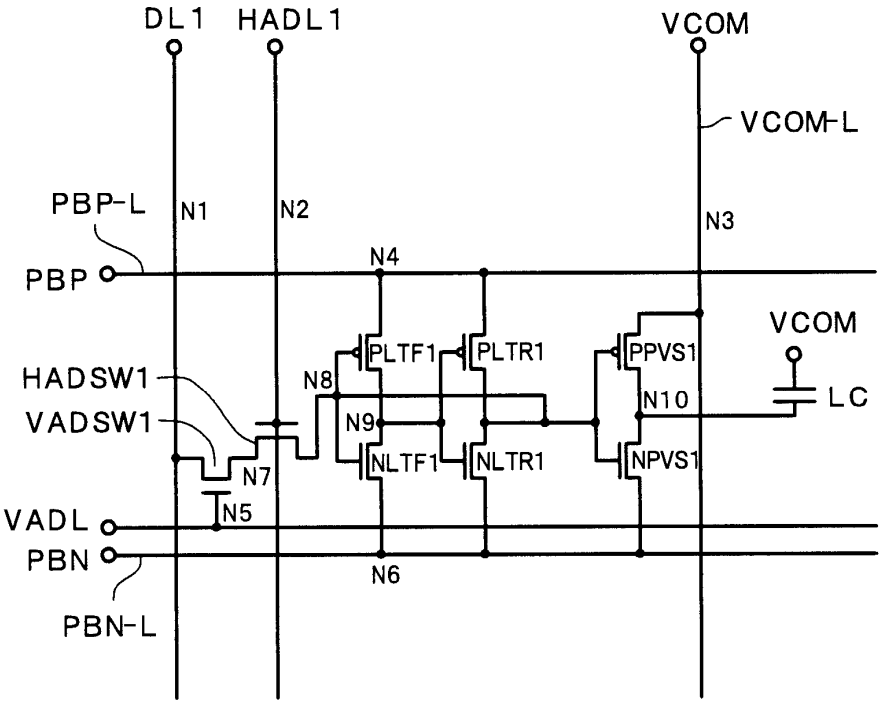
청구항 15에 있어서,
상기 메모리회로는 2개의 인버터를 갖는 스태틱형의 메모리회로인 것을 특징으로 하는 액티브매트릭스형 표시장치.

도면

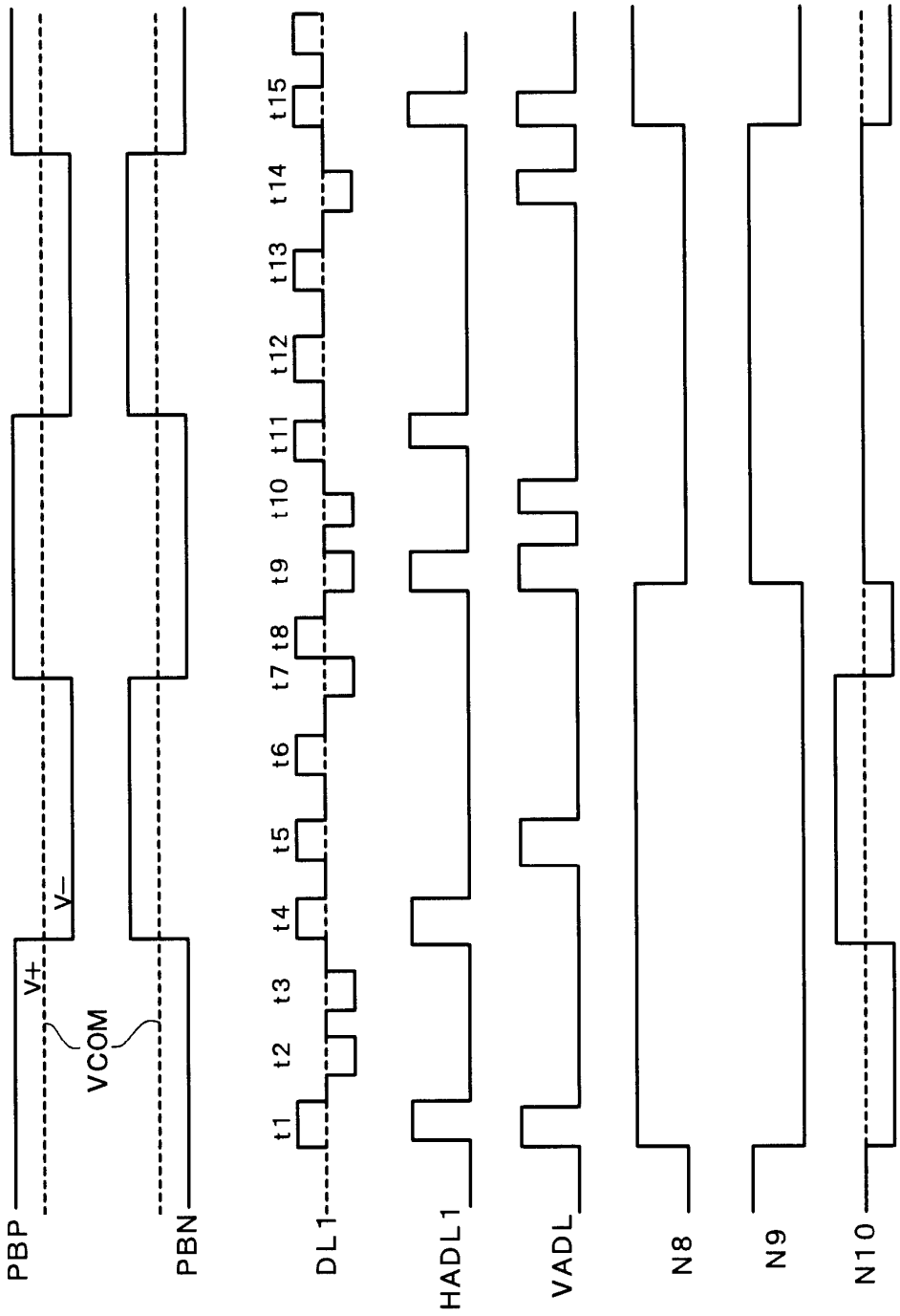
도면1


PBP
VCOM
PBN
Y D X
D (R, G, B)
X
PBP-P
VCOM-P
PBN-P
Y
(X) RAX
SEL
PBP-L
RAY
PIX
VADL
PBN-L
(Y) RAY
PMARY
DL
HADL
VCOM-L
CTL
X
Y
D
PWU
VCOM
PBP
PBN

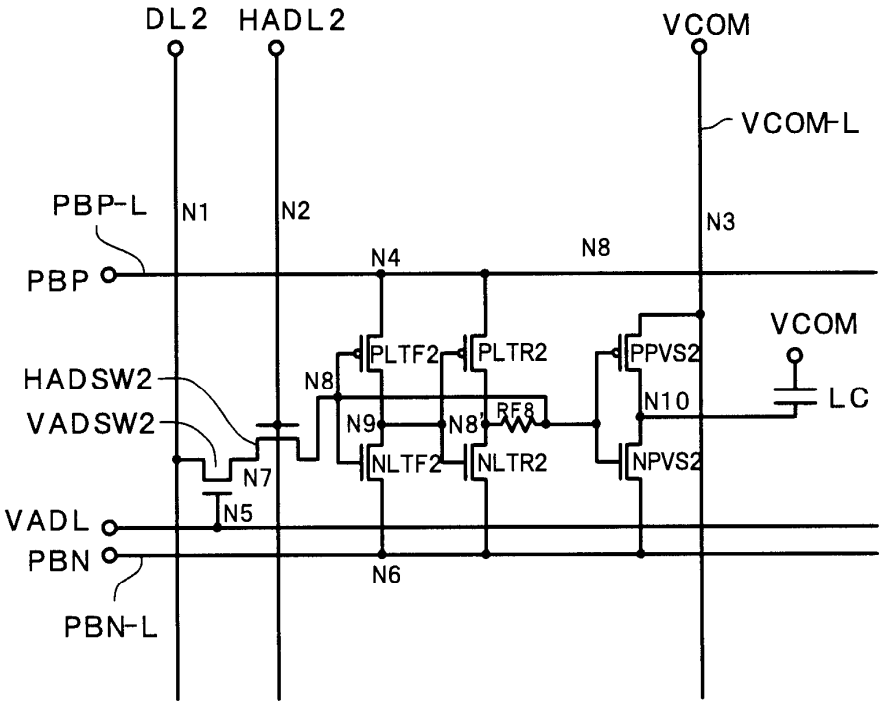
도면2


DL1
HADL1
VCOM
VCOM-L
PBP-L
N1
N2
N3
N4
PBP
PLTF1
PLTR1
PPVS1
VCOM
HADSW1
N8
N10
LC
VADSW1
N9
NLTF1
NLTR1
NPVS1
N7
N5
VADL
PBN
N6
PBN-L

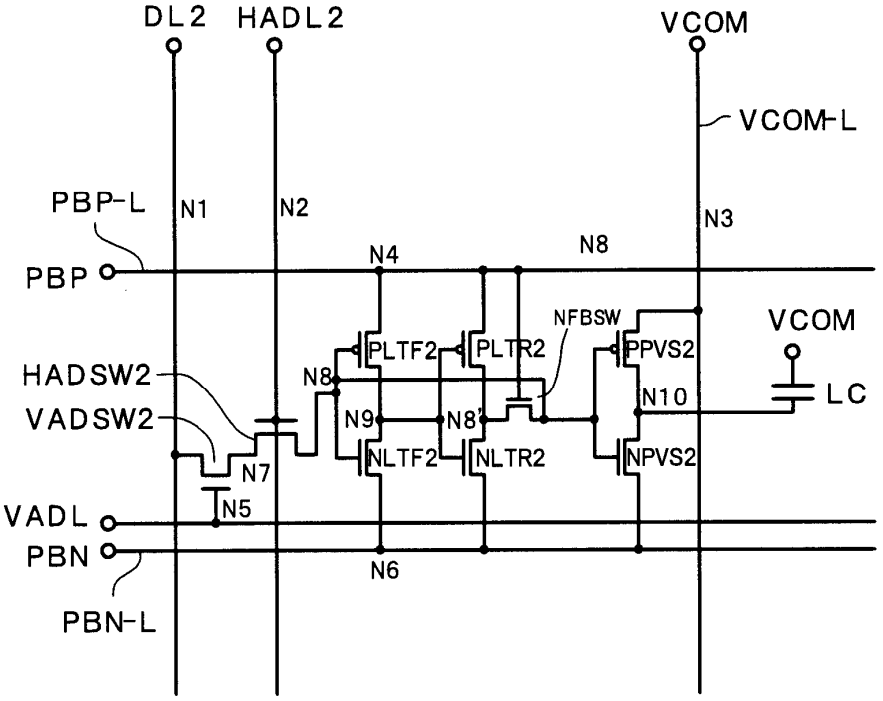
도면3


PBP
V+
V-
VCOM
PBN
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
t11
t12
t13
t14
t15
DL1
HADL1
VADL
N8
N9
N10

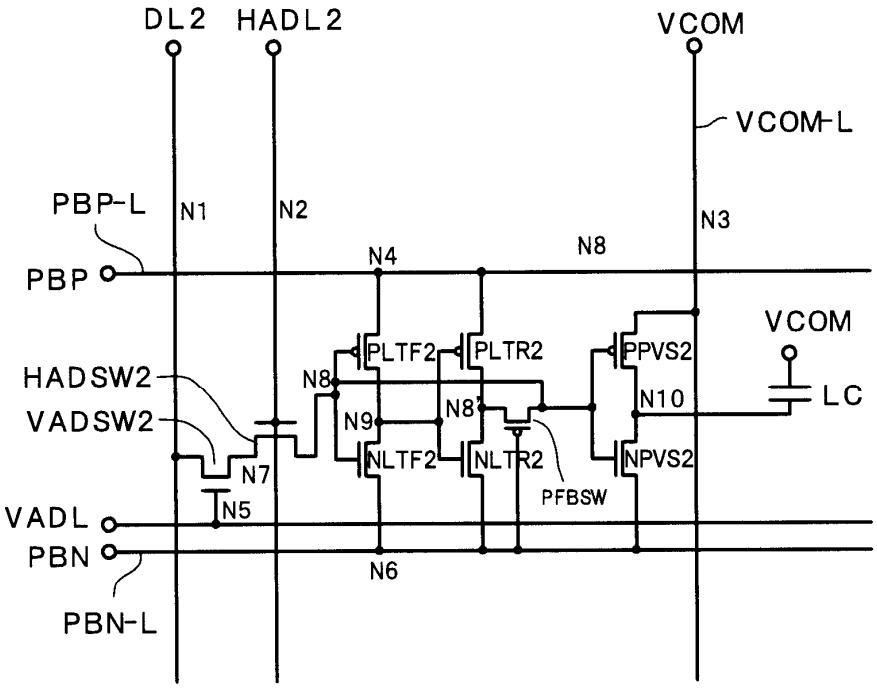
도면4


DL2
HADL2
VCOM
VCOM-L
PBP-L
N1
N2
N3
N4
N8
PBP
VCOM
PLTF2
PLTR2
PPVS2
HADSW2
N8
N10
LC
VADSW2
N9
N8'
RF8
NLTF2
NLTR2
NPVS2
N7
N5
VADL
PBN
N6
PBN-L

도면5

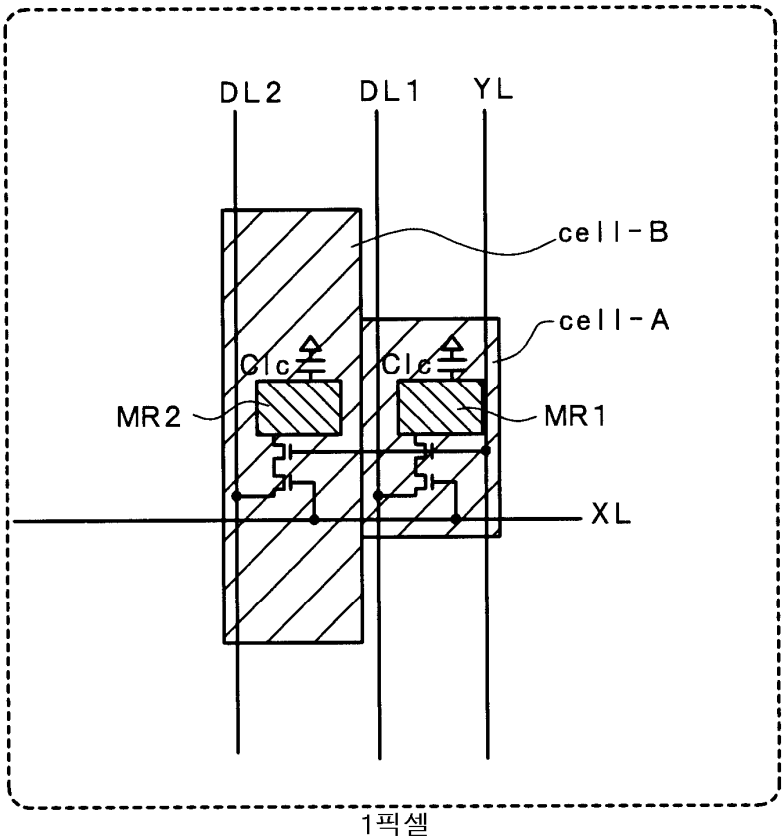

DL2
HADL2
VCOM
VCOM-L
PBP-L
N1
N2
N3
N4
N8
PBP
NFBSW
VCOM
PLTF2
PLTR2
PPVS2
HADSW2
N8
N10
LC
VADSW2
N9
N8'
NLTF2
NLTR2
NPVS2
N7
N5
VADL
PBN
N6
PBN-L

도면6



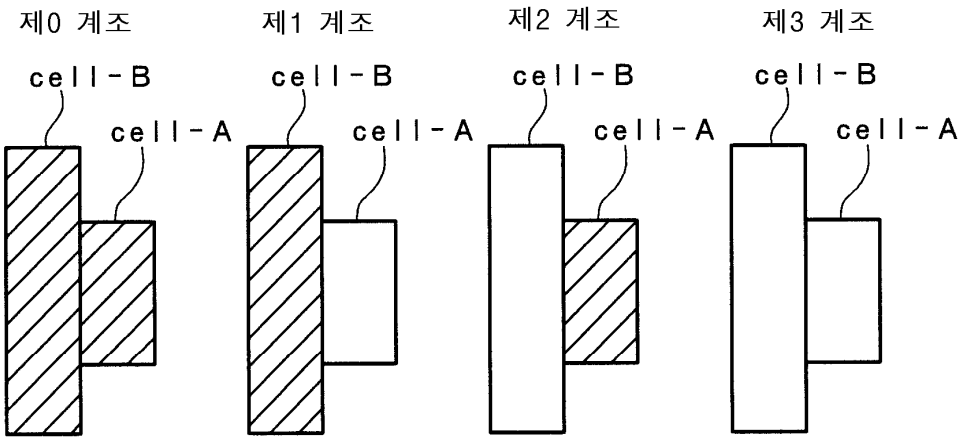
도면7

셀크기 : (cell-B)/(cell-A)=2/1

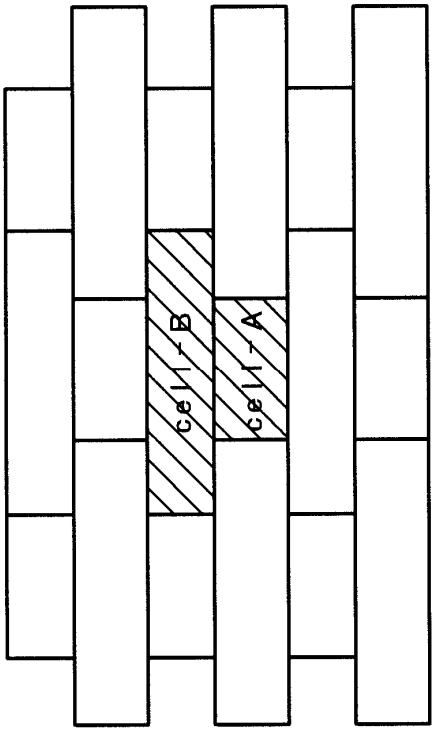


1픽셀

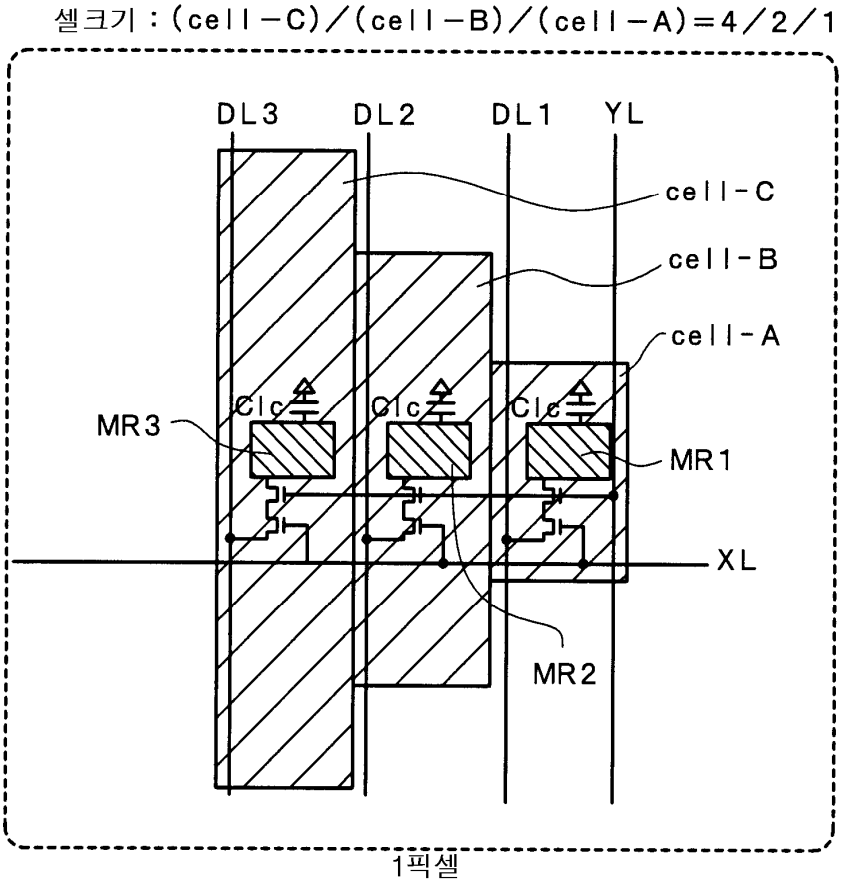
도면8


제0 계조
제1 계조
제2 계조
제3 계조
cell-B
cell-A
cell-B
cell-A
cell-B
cell-A
cell-B
cell-A

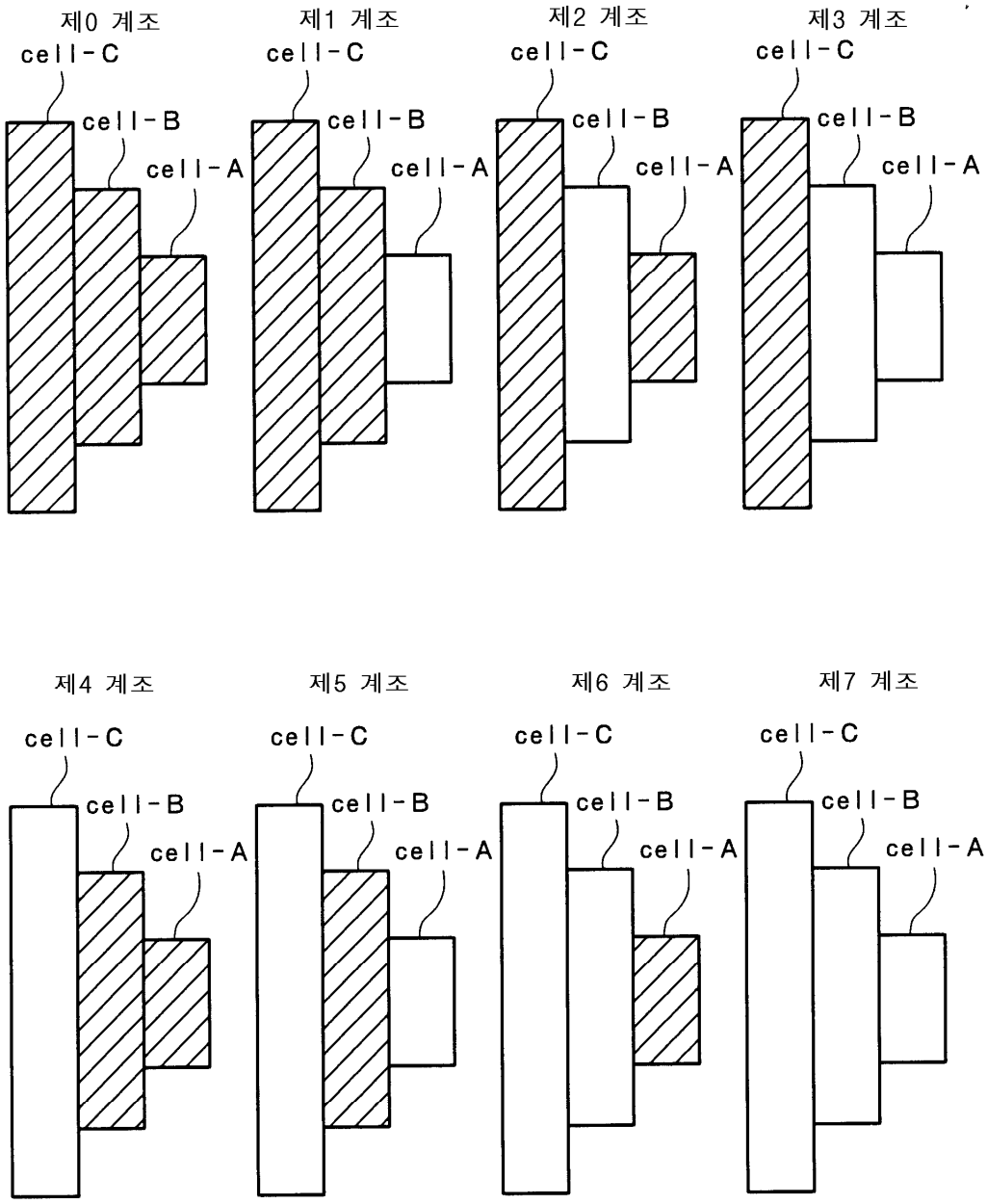
도면9


cell-B
cell-A

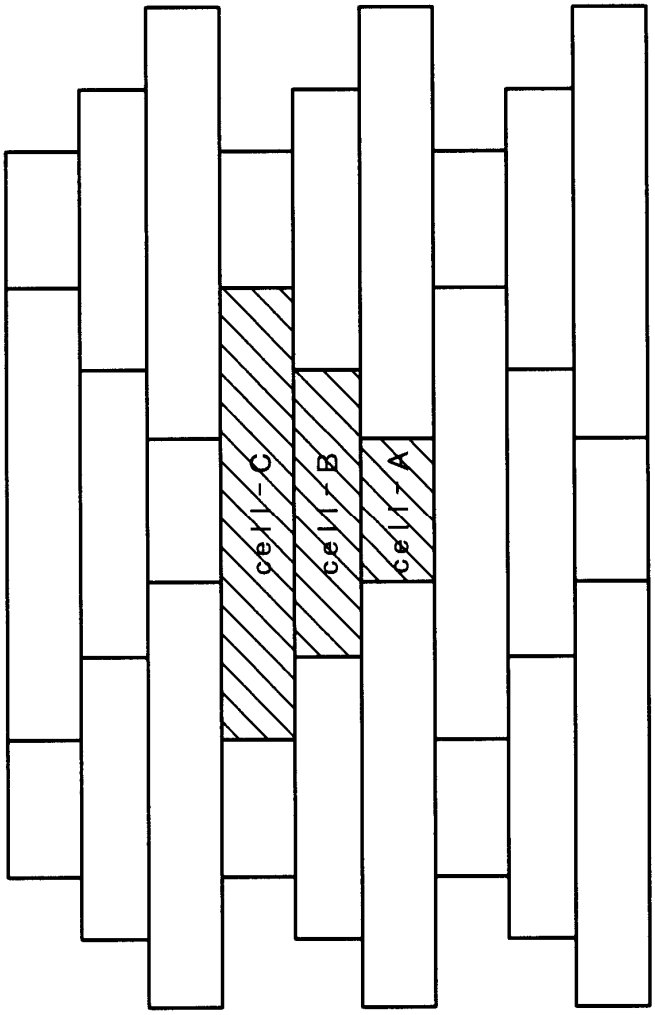
도면10


셀크기 : (cell-C)/(cell-B)/(cell-A)=4/2/1
DL3
DL2
DL1
YL
cell-C
cell-B
cell-A
Clc
Clc
Clc
MR3
MR1
XL
MR2
1픽셀

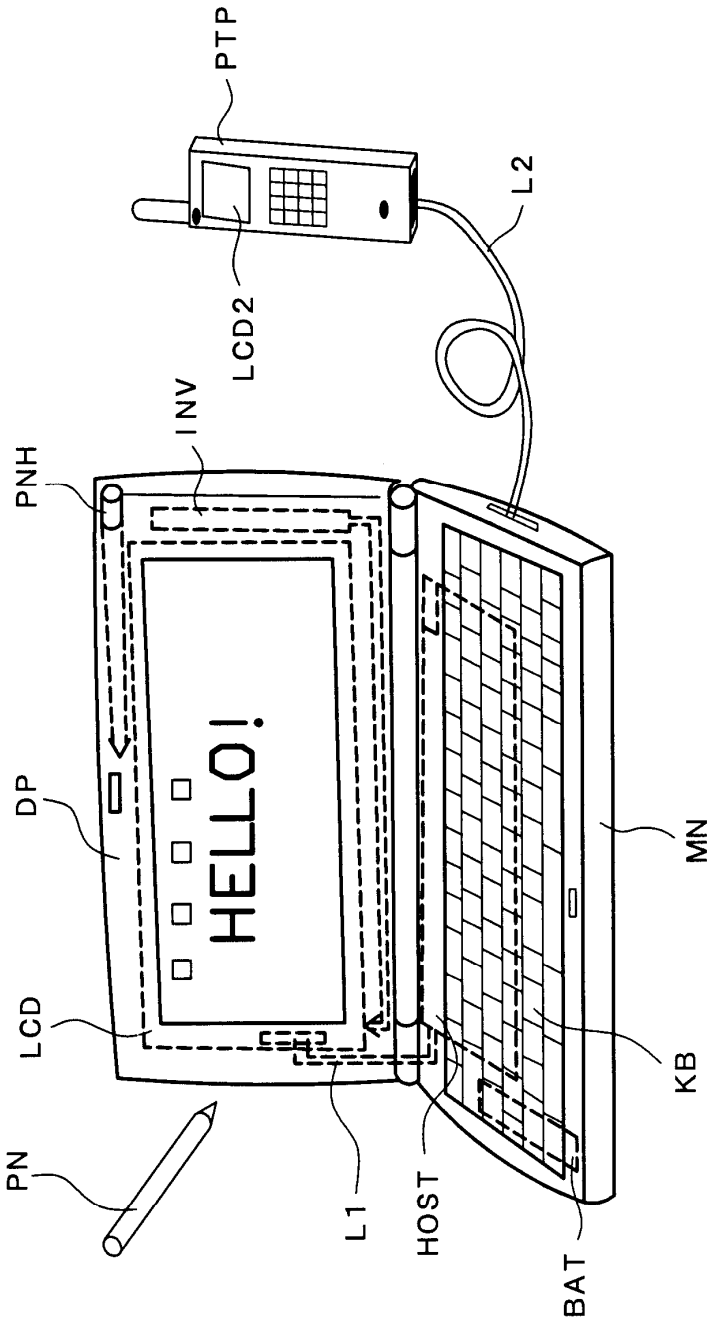
도면11


제0 계조
cell-C
cell-B
cell-A
제1 계조
cell-C
cell-B
cell-A
제2 계조
cell-C
cell-B
cell-A
제3 계조
cell-C
cell-B
cell-A
제4 계조
cell-C
cell-B
cell-A
제5 계조
cell-C
cell-B
cell-A
제6 계조
cell-C
cell-B
cell-A
제7 계조
cell-C
cell-B
cell-A

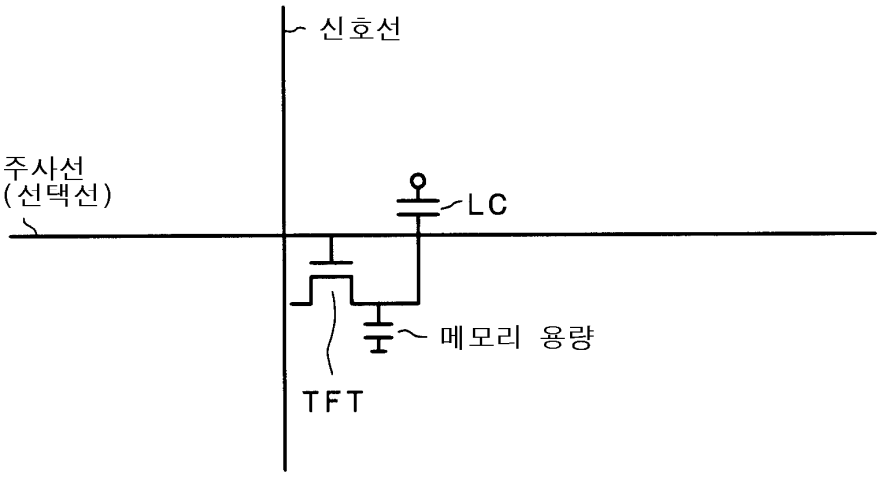
도면12



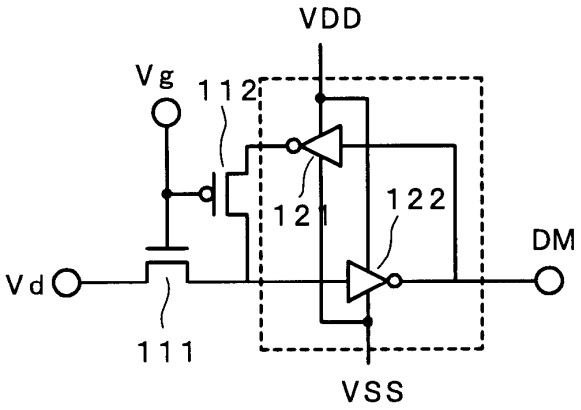
도면13


PTP
L2
LCD2
INV
PNH
HELLO!
DP
MN
LCD
KB
PN
L1
HOST
BAT

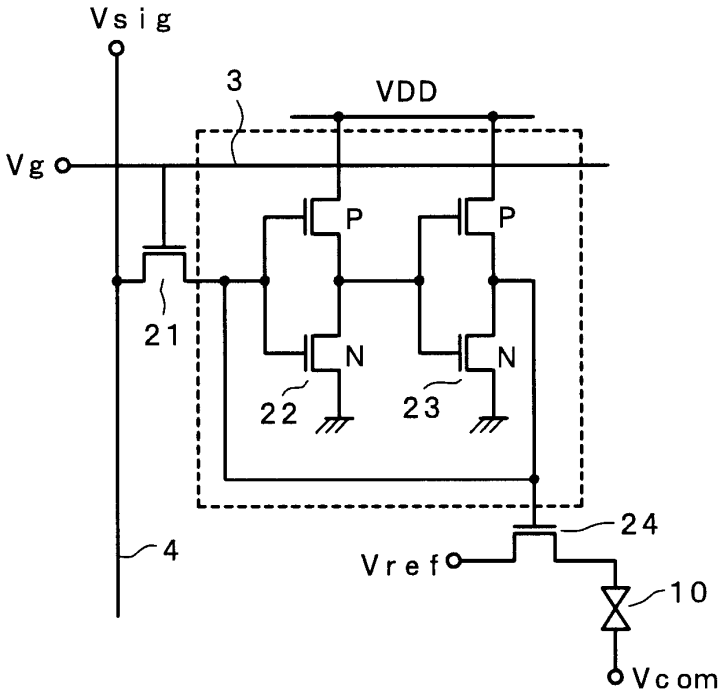
도면14


신호선
주사선
(선택선)
LC
메모리 용량
TFT

도면15


VDD
Vg
112
121
122
DM
Vd
111
VSS

도면16


Vsig
3
VDD
Vg
P
P
21
N
N
22
23
24
4
Vref
10
Vcom

专利名称(译)	有源矩阵型显示装置和液晶显示装置		
公开(公告)号	KR100447415B1	公开(公告)日	2004-09-04
申请号	KR1020010033359	申请日	2001-06-14
[标]申请(专利权)人(译)	日立HITACHI SEISAKUSHODBA		
申请(专利权)人(译)	株式会社日立制作所		
当前申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	MIYAZAWA TOSHIO 미야자와토시오 SATOU TOMOHIKO 사토우토모히코		
发明人	미야자와토시오 사토우토모히코		
IPC分类号	G09G3/30 G09G3/36 G02F1/1368 G09F9/30 G02F1/136 G09G3/20 G02F1/133		
CPC分类号	G09G3/2074 G09G2300/0857 G09G3/3659 G09G3/3614		
代理人(译)	李钟IL		
优先权	2000181692 2000-06-16 JP		
其他公开文献	KR1020010113486A		
外部链接	Espacenet		

摘要(译)

本发明提供了一种有源矩阵型显示装置，该有源矩阵型显示装置通过具有等同于静态存储电路的图像存储电路而无需使用两个电压，从而以最少的配线数实现了具有高数值孔径和高清晰度的多灰度级图像显示，即，高电压和低电压。 在多条扫描线（选择信号线）和多条信号线（数据线（视频信号线））彼此相交的部分处布置像素，每个像素包括像素电极，选择像素的开关元件。 像素电极和存储电路，其存储要写入像素电极的数据，并且提供将交流电压施加到存储电路的电源线。