

특허청구의 범위

청구항 1

다수의 표시 블록을 포함하는 액정 패널로, 상기 각 표시 블록은 다수의 게이트 라인과, 다수의 데이터 라인과, 각각 상기 게이트 라인 및 데이터 라인에 커플링된 다수의 화소를 포함하는 액정 패널;

데이터와 전하 공유 제어 신호를 포함하는 통합 신호를 제공하는 타이밍 컨트롤러; 및

상기 다수의 표시 블록에 각각 대응되는 다수의 데이터 구동칩으로, 상기 각 데이터 구동칩은 상기 타이밍 컨트롤러와 점대점(point-to-point) 방식으로 커플링되고 상기 통합 신호를 제공받아 전하 공유 기간동안 대응되는 표시 블록 내의 다수의 데이터 라인을 서로 단락시키는 다수의 데이터 구동칩을 포함하되,

상기 다수의 데이터 구동칩 중 적어도 2개의 데이터 구동칩은 상기 전하 공유 기간을 서로 다르게 조절하는 액정 표시 장치.

청구항 2

제 1항에 있어서,

전원 전압을 발생하는 전원 전압 발생기를 더 포함하고,

상기 다수의 데이터 구동칩과 상기 전원 전압 발생기는 서로 캐스캐이드 방식으로 커플링되는 액정 표시 장치.

청구항 3

제 2항에 있어서,

상기 다수의 데이터 구동칩은 제1 및 제2 데이터 구동칩을 포함하되, 상기 제2 데이터 구동칩은 상기 제1 데이터 구동칩을 통해서 상기 전원 전압을 제공받고,

상기 제2 데이터 구동칩은 상기 제1 데이터 구동칩보다 상기 전하 공유 기간을 짧게 조절하는 액정 표시 장치.

청구항 4

제 2항에 있어서,

상기 각 데이터 구동칩은 상기 전원 전압 발생기로부터 상기 전원 전압을 제공받아, 상기 대응되는 데이터 라인을 구동하기 위한 영상 데이터 전압을 생성하는 액정 표시 장치.

청구항 5

제 1항에 있어서, 상기 각 데이터 구동칩은

상기 통합 신호를 제공받아 전하 공유 신호를 제공하는 디코딩부와,

상기 다수의 데이터 라인 사이에 형성되고 상기 전하 공유 신호에 응답하여 상기 다수의 데이터 라인을 서로 단락시키는 다수의 스위칭 소자를 포함하는 전하 공유부를 포함하는 액정 표시 장치.

청구항 6

제 1항에 있어서,

상기 통합 신호는 싱글 엔디드 신호인 액정 표시 장치.

청구항 7

제 1항 또는 제 6항에 있어서,

상기 타이밍 컨트롤러와 상기 다수의 데이터 구동칩은 전류 구동 방식을 이용하여 통신하는 액정 표시 장치.

청구항 8

제 1항에 있어서,

상기 다수의 데이터 구동칩은 상기 액정 패널 상에 COG(Chip On Glass) 방식으로 실장되어 있는 액정 표시 장치.

청구항 9

제1 및 제2 표시 블록을 포함하는 액정 패널로서, 상기 각 표시 블록은 다수의 게이트 라인과, 다수의 데이터 라인과, 각각 상기 게이트 라인 및 데이터 라인에 커플링된 다수의 화소를 포함하는 액정 패널; 및

상기 제1 및 제2 표시 블록에 각각 대응되는 제1 및 제2 데이터 구동칩으로서, 상기 제1 데이터 구동칩은 상기 제1 표시 블록에 포함된 다수의 데이터 라인을 제1 기간동안 서로 단락시킨 후 상기 제1 표시 블록에 포함된 상기 다수의 데이터 라인에 영상 데이터 전압을 인가하고, 상기 제2 데이터 구동칩은 상기 제2 표시 블록에 포함된 다수의 데이터 라인을 상기 제1 기간과 다른 제2 기간동안 서로 단락시킨 후 상기 제2 표시 블록에 포함된 상기 다수의 데이터 라인에 영상 데이터 전압을 인가하는 제1 및 제2 데이터 구동칩을 포함하는 액정 표시 장치.

청구항 10

제 9항에 있어서,

상기 제1 데이터 구동칩에 제1 전하 공유 신호를 제공하고, 상기 제2 데이터 구동칩에 상기 제1 전하 공유 신호와 다른 제2 전하 공유 신호를 제공하는 타이밍 컨트롤러를 더 포함하는 액정 표시 장치.

청구항 11

제 10항에 있어서,

상기 타이밍 컨트롤러는 데이터와 제1 전하 공유 신호를 포함하는 제1 통합 신호를 제1 데이터 구동칩에 제공하고, 데이터와 제2 전하 공유 신호를 포함하는 제2 통합 신호를 제2 데이터 구동칩에 제공하는 액정 표시 장치.

청구항 12

제 11항에 있어서,

상기 통합 신호는 싱글 엔디드 신호인 액정 표시 장치.

청구항 13

제 10항에 있어서,

상기 제1 및 제2 데이터 구동 칩과 상기 타이밍 컨트롤러와 점대점(point-to-point) 방식으로 커플링된 액정 표시 장치.

청구항 14

제 10항 또는 제 12항에 있어서,

상기 타이밍 컨트롤러와 상기 제1 및 제2 데이터 구동칩은 전류 구동 방식을 이용하여 통신하는 액정 표시 장치.

청구항 15

제 9항에 있어서,

상기 제1 및 제2 데이터 구동칩에 전원 전압을 발생하는 전원 전압 발생기를 더 포함하는 액정 표시 장치.

청구항 16

제 15항에 있어서,

상기 제1 및 제2 데이터 구동칩과 상기 전원 전압 발생기는 서로 캐스캐이드 방식으로 커플링된 액정 표시 장치.

청구항 17

제 16항에 있어서,

상기 제2 데이터 구동칩은 상기 제1 데이터 구동칩을 통해서 상기 전원 전압을 제공받고, 상기 제2 기간은 상기 제1 기간보다 짧은 액정 표시 장치.

청구항 18

제 9항에 있어서,

상기 제1 및 제2 데이터 구동칩은 상기 액정 패널 상에 COG(Chip On Glass) 방식으로 실장되어 있는 액정 표시 장치.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 액정 표시 장치에 관한 것이다.

배경 기술

<2> 액정 표시 장치는 화소 전극이 구비된 하부 유리판, 공통 전극이 구비된 상부 유리판, 하부 유리판과 상부 유리판 사이에 주입된 유전율 이방성(dielectric anisotropy)을 갖는 액정층을 갖는 액정 패널을 포함한다. 화소 전극과 공통 전극 사이에 전계가 형성되고, 이 전계의 세기가 조절됨으로써 액정 패널을 투과하는 빛의 양이 제어되어 원하는 화상이 표시된다. 이러한 액정 패널은 화상을 표시하는 최소 단위인 다수의 화소로 이루어지고, 각 화소는 게이트 라인과 데이터 라인과 커플링되어 있다. 또한, 액정 표시 장치는 다수의 화소를 구동하기 위한 게이트 구동부와 데이터 구동부를 포함한다. 게이트 구동부는 게이트 라인을 통해서 각 화소에 게이트 전압을 제공하고, 데이터 구동부는 데이터 라인을 통해서 각 화소에 영상 데이터 전압을 제공한다.

<3> 데이터 구동부는 다수의 데이터 구동칩으로 이루어 질 수 있고, 각 데이터 구동칩은 다수의 제어 신호와 전원 전압을 제공받아 데이터 전압을 생성한다. 그런데, 다수의 데이터 구동칩은 전원 전압을 제공하는 전원 전압 발생기와 캐스케이드(cascade) 방식으로 연결될 수 있다. 이러한 경우, 전원 전압은 다수의 데이터 구동칩을 거치면서, 전압 라인의 저항 성분에 의해 전압 레벨이 떨어지게 된다. 따라서, 다수의 데이터 구동칩이 서로 다른 전압 레벨의 전원 전압을 사용하여 데이터 전압을 생성하게 되므로, 액정 표시 장치의 시인성이 떨어지게 된다.

발명의 내용

해결 하고자하는 과제

<4> 본 발명이 해결하고자 하는 과제는, 시인성이 개선된 액정 표시 장치를 제공하는 것이다.

<5> 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제 해결수단

<6> 상기 기술적 과제를 달성하기 위한 본 발명의 일 태양(aspect)에 따른 액정 표시 장치는 다수의 표시 블록을 포함하는 액정 패널로, 각 표시 블록은 다수의 게이트 라인과, 다수의 데이터 라인과, 각각 게이트 라인 및 데이터 라인에 커플링된 다수의 화소를 포함하는 액정 패널, 데이터와 전하 공유 제어 신호를 포함하는 통합 신호를 제공하는 타이밍 컨트롤러, 및 다수의 표시 블록에 각각 대응되는 다수의 데이터 구동칩으로, 각 데이터 구동칩은 타이밍 컨트롤러와 점대점(point-to-point) 방식으로 커플링되고 통합 신호를 제공받아 전하 공유 기간동안 대응되는 표시 블록 내의 다수의 데이터 라인을 서로 단락시키는 다수의 데이터 구동칩을 포함하되, 다수의 데이터 구동칩 중 적어도 2개의 데이터 구동칩은 전하 공유 기간을 서로 다르게 조절한다.

<7> 상기 기술적 과제를 달성하기 위한 본 발명의 다른 태양(aspect)에 따른 액정 표시 장치는 제1 및 제2 표시 블록을 포함하는 액정 패널로서, 각 표시 블록은 다수의 게이트 라인과, 다수의 데이터 라인과, 각각 게이트 라인

및 데이터 라인에 커플링된 다수의 화소를 포함하는 액정 패널, 및 제1 및 제2 표시 블록에 각각 대응되는 제1 및 제2 데이터 구동칩으로서, 제1 데이터 구동칩은 제1 표시 블록에 포함된 다수의 데이터 라인을 제1 기간동안 서로 단락시킨 후 제1 표시 블록에 포함된 다수의 데이터 라인에 영상 데이터 전압을 인가하고, 제2 데이터 구동칩은 제2 표시 블록에 포함된 다수의 데이터 라인을 제1 기간과 다른 제2 기간동안 서로 단락시킨 후 제2 표시 블록에 포함된 다수의 데이터 라인에 영상 데이터 전압을 인가하는 제1 및 제2 데이터 구동칩을 포함한다.

<8> 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

효 과

<9> 상기한 바와 같은 액정 표시 장치에서, 다수의 데이터 구동칩은 전하 공유 기간을 서로 다르게 조절함으로써 시 인성을 개선할 수 있다.

발명의 실시를 위한 구체적인 내용

<10> 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시 예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

<11> 하나의 소자(elements)가 다른 소자와 "연결된(connected to)" 또는 "커플링된(coupled to)" 이라고 지칭되는 것은, 다른 소자와 직접 연결 또는 커플링된 경우 또는 중간에 다른 소자를 개재한 경우를 모두 포함한다. 반면, 하나의 소자가 다른 소자와 "직접 연결된(directly connected to)" 또는 "직접 커플링된(directly coupled to)"으로 지칭되는 것은 중간에 다른 소자를 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.

<12> 비록 제1, 제2 등이 다양한 소자, 구성요소 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소 및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소 또는 섹션들을 다른 소자, 구성요소 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자, 제1 구성요소 또는 제1 섹션은 본 발명의 기술적 사상내에서 제2 소자, 제2 구성요소 또는 제2 섹션 일 수도 있음은 물론이다.

<13> 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

<14> 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.

<15> 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치를 설명하기 위한 블록도이고, 도 2는 한 화소의 등가 회로도이다. 도 3은 도 1의 다수의 데이터 구동칩에서 출력되는 영상 데이터 전압을 비교하여 표시한 도면이다.

<16> 우선, 도 1을 참조하면, 액정 표시 장치(10)는 액정 패널(300), 게이트 구동부(400), 데이터 구동부(500), 타이밍 컨트롤러(600)를 포함한다.

<17> 먼저, 액정 패널(300)은 등가 회로로 볼 때 다수의 표시 신호선(G1~Gn, D1~Dm)과 이에 연결된 다수의 화소(미도시)를 포함한다. 다수의 표시 신호선(G1~Gn, D1~Dm)은 다수의 게이트 라인(G1~Gn) 과 다수의 데이터 라인(D1~Dm)을 포함한다.

<18> 액정 패널(300)을 다수의 화소를 포함하는데, 도 2에 한 화소에 대한 등가 회로가 도시되어 있다. 화소(PX), 예를 들면 f번째(f=1~n) 게이트 라인(Gf)과 g번째(g=1~m) 데이터선(Dg)에 연결된 화소(PX)는, 게이트 라인(Gf) 및 데이터 라인(Dg)에 연결된 스위칭 소자(Qp)와, 이에 연결된 액정 커패시터(liquid crystal capacitor)(Clc) 및 유지 커패시터(storage capacitor)(Cst)를 포함한다. 액정 커패시터(Clc)는 하부 유리판(100)의 화소 전극(P

E)과, 상부 유리판(200)의 공통 전극(CE)을 포함한다. 공통 전극(CE)의 일부에는 선택필터(CF)가 형성되어 있다.

- <19> 게이트 구동부(400)는 타이밍 컨트롤러(600)로부터 게이트 제어 신호를 제공받아 게이트 신호를 게이트 라인(G1~Gn)에 인가한다. 여기서 게이트 신호는 게이트 온/오프 전압 발생부(미도시)로부터 제공된 게이트 온 전압(Von)과 게이트 오프 전압(Voff)의 조합으로 이루어진다. 게이트 제어 신호는 게이트 구동부(500)의 동작을 제어하기 위한 신호로써, 게이트 구동부(500)의 동작을 개시하는 수직 시작 신호, 게이트 온 전압의 출력 시기를 결정하는 게이트 클럭 신호 및 게이트 온 전압의 펄스 폭을 결정하는 출력 인에이블 신호 등을 포함할 수 있다.
- <20> 게이트 구동부(400)는 다수의 게이트 구동칩을 포함할 수 있고, 이러한 다수의 게이트 구동칩은 액정 패널(300) 위에 직접 실장되거나, 가요성 인쇄 회로막(flexible printed circuit film)(미도시) 위에 실장되어 테이프 캐리어 패키지(tape carrier package)의 형태로 액정 패널(300)에 부착될 수도 있다. 이와는 달리, 게이트 구동부(400)는 표시 신호선(G1~Gn, D1~Dm)과 스위칭 소자(Qp) 등과 함께 액정 패널(300)에 집적될 수도 있다.
- <21> 데이터 구동부(500)는 타이밍 컨트롤러(600)로부터 데이터 제어 신호를 제공받아 영상 데이터 전압을 데이터 라인(D1~Dm)에 인가한다.
- <22> 한편, 데이터 구동부(500)는 다수의 데이터 구동칩(500_1~500_8)으로 이루어질 수 있다. 도 1에서는 8개의 데이터 구동칩(500_1~500_8)을 도시하고 있으나, 이에 한정되는 것은 아니다. 필요에 따라서는 8개보다 많은 수 혹은 8개보다 적은 수의 데이터 구동칩을 사용할 수도 있다. 다수의 데이터 구동칩(500_1~500_8)은 액정 패널(300) 위에 직접 장착되거나(즉, COG(Chip On Glass) 방식), 가요성 인쇄 회로막(flexible printed circuit film)(미도시) 위에 장착되어 테이프 캐리어 패키지(tape carrier package)의 형태로 액정 패널(300)에 부착될 수도 있다.
- <23> 본 발명의 일 실시예에 따른 액정 표시 장치(10)에서, 액정 패널(300)은 다수의 표시 블록(BLK1~BLK8)을 포함할 수 있고 다수의 표시 블록(BLK1~BLK8) 각각은 다수의 데이터 구동칩(500_1~500_8)에 대응된다. 예를 들어 설명하면, 도 1에 도시된 바와 같이, 데이터 구동칩(500_1)은 표시 블록(BLK1)에 대응되고, 데이터 구동칩(500_2)은 표시 블록(BLK2)에 대응된다.
- <24> 특히, 각 데이터 구동칩(500_1~500_8)은 신호 버스(signal bus)(502)를 통해서 타이밍 컨트롤러(600)와 점대점(point-to-point) 방식으로 커플링되어 있고, 다수의 데이터 구동칩(500_1~500_8)은 전원 전압을 제공하는 전원 전압 발생기(미도시)와, 전압 라인(504)을 통해서, 서로 캐스케이드(cascade) 방식으로 커플링되어 있다. 이러한 데이터 구동칩(500_1~500_8), 타이밍 컨트롤러(600), 전원 전압 발생기 사이의 자세한 연결 관계는 도 4 및 도 5를 통해서 예시적으로 도시하였다.
- <25> 구체적으로, 기술한 연결 관계를 설명하면 다음과 같다.
- <26> 각 데이터 구동칩(500_1~500_8)은 신호 버스(signal bus)(502)를 통해서 타이밍 컨트롤러(600)와 점대점(point-to-point) 방식으로 커플링되어 있다. 점대점(point-to-point) 방식으로 커플링되어 있기 때문에, 각 데이터 구동칩(500_1~500_8)은 신호 버스(502)를 통해서 타이밍 컨트롤러(600)로부터 데이터 제어 신호를 직접 제공받는다. 즉, 각 데이터 구동칩(예를 들어, 500_1)은 데이터 제어 신호를 다른 데이터 구동칩(예를 들어, 500_2)를 통해서 전달받는 것이 아니고, 타이밍 컨트롤러(600)로부터 직접 데이터 제어 신호를 제공받는다.
- <27> 특히, 본 발명의 일 실시예에서, 데이터 제어 신호는 통합 신호, 구동 클럭, 데이터 입출력 신호 등을 포함할 수 있다. 여기서, 통합 신호는 데이터와 적어도 하나의 제어 신호(예를 들어, 전하 공유 제어 신호, 반전 신호 등)를 포함하는 신호를 의미한다. 따라서, 타이밍 컨트롤러(600)는 하나의 신호 버스(502)를 통해서 데이터와 상기 적어도 하나의 제어 신호를 제공할 수 있다.
- <28> 또한, 이러한 데이터 제어 신호는 싱글 엔디드 신호(single-ended signal)이고, 타이밍 컨트롤러(600)와 다수의 데이터 구동칩(500_1~500_8)은 전류 구동 방식을 통해서 통신할 수 있다. 따라서, 데이터 구동칩(500_1~500_8)은 타이밍 컨트롤러(600)에서 제공하는 데이터의 전류 레벨을 기준 전류 레벨과 비교하여 하이 레벨인지 로우 레벨인지 여부를 판단하게 된다.
- <29> 한편, 다수의 데이터 구동칩(500_1~500_8)은 전원 전압을 제공하는 전원 전압 발생기(미도시)와, 전압 라인(504)을 통해서, 서로 캐스케이드(cascade) 방식으로 커플링되어 있다. 따라서, 전원 전압은 다수의 데이터 구동칩(500_1~500_8)을 거치면서, 전압 라인(504)의 저항 성분에 의해, 전압 레벨이 낮아질 수 있다. 예를 들어, 전원 전압이 데이터 구동칩(500_2)을 거쳐서 데이터 구동칩(500_1)에 전달되면, 데이터 구동칩(500_1)이 사용하는 전원 전압의 레벨은 데이터 구동칩(500_2)이 사용하는 전원 전압의 레벨보다 낮을 수 있다. 데이터 구동칩

(500_1, 500_2)은 이와 같이 서로 다른 레벨의 전원 전압을 이용하여 영상 데이터 전압을 생성하기 때문에, 데이터 구동칩(500_1, 500_2)이 타이밍 컨트롤러(600)로부터 동일한 데이터를 제공받아서 이에 대응되는 영상 데이터 전압을 생성하더라도, 데이터 구동칩(500_1, 500_2) 각각이 출력하는 영상 데이터 전압의 출력 전압이 다르게 된다. 따라서, 데이터 구동칩(500_1)에 대응되는 표시 블록(BLK1) 내의 화소의 충전량과, 데이터 구동칩(500_2)에 대응되는 표시 블록(BLK2) 내의 화소의 충전량이 서로 다르게 된다. 따라서, 표시 블록(BLK1)의 시인성과, 표시 블록(BLK2)의 시인성이 서로 다를 수 있다.

- <30> 그런데, 본 발명의 일 실시예에서는 다수의 데이터 구동칩(500_1~500_8)은 전하 공유 기간을 서로 다르게 조합함으로써 표시 블록(BLK1~BLK8)간의 시인성의 차이를 개선한다. 이에 대해서 자세히 설명하면 다음과 같다. 다수의 데이터 구동칩(500_1~500_8)은 다수의 데이터 라인(D1~Dm)에 영상 데이터 전압을 인가하기 전에, 소정의 전하 공유 기간 동안 대응되는 데이터 라인(D1~Dm)을 서로 단락시킨다. 서로 단락되는 동안 서로 다른 극성의 영상 데이터 전압으로 충전되어 있는 데이터 라인(D1~Dm)은 서로 전하 공유를 한다. 따라서, 데이터 라인(D1~Dm)의 전압 레벨은 공통 전압(Vcom) 부근으로 바뀌게 된다. 데이터 구동칩(500_1~500_8)은 전하 공유 기간 이후에 데이터 라인(D1~Dm)에 영상 데이터 전압을 인가하는데, 영상 데이터 전압으로 데이터 라인(D1~Dm)을 충전하는 데 걸리는 시간이 단축된다.
- <31> 여기서, 도 3을 참조하면, S1과 S2는 서로 다른 데이터 구동칩에서 출력되는 영상 데이터 전압을 나타낸다. 예를 들어, 데이터 구동칩(예를 들어, 500_1)이 전원 전압을 다른 데이터 구동칩(예를 들어, 500_2)를 통해서 전달받는 경우, S1이 데이터 구동칩(500_1)에서 출력되는 영상 데이터 전압이라면, S2는 데이터 구동칩(500_2)에서 출력되는 영상 데이터 전압일 수 있다. 또한, 데이터 구동칩(예를 들어, 500_8)이 전원 전압을 다른 데이터 구동칩(예를 들어, 500_7)를 통해서 전달받는 경우, S1이 데이터 구동칩(500_8)에서 출력되는 영상 데이터 전압이라면, S2는 데이터 구동칩(500_7)에서 출력되는 영상 데이터 전압일 수 있다.
- <32> 이하에서는 설명의 편의를 위해서, 데이터 구동칩(예를 들어, 500_1)이 전원 전압을 다른 데이터 구동칩(예를 들어, 500_2)를 통해서 전달받는 경우만을 한정하여 설명한다. 즉, S1은 데이터 구동칩(500_41)에서 출력되는 영상 데이터 전압이고 W1은 데이터 구동칩(500_1)에서 출력되는 영상 데이터 전압의 전하 공유 기간을 나타낸다. S2는 데이터 구동칩(500_2)에서 출력되는 영상 데이터 전압이고, W2은 데이터 구동칩(500_2)에서 출력되는 영상 데이터 전압의 전하 공유 기간을 나타낸다.
- <33> S1과 S2를 비교하면, 데이터 구동칩(500_1)에서 사용하는 전원 전압이 데이터 구동칩(500_2)에서 사용하는 전원 전압보다 작기 때문에, 영상 데이터 신호(S1)의 전압 레벨이 영상 데이터 신호(S2)의 전압 레벨보다 작음을 알 수 있다. 반면, 영상 데이터 신호(S1)의 전하 공유 기간(W1)이 영상 데이터 신호(S2)의 전하 공유 기간(W2)보다 짧음을 알 수 있다.
- <34> 여기서, 전하 공유 기간(W1, W2)를 조합함으로써 면적 A, B를 실질적으로 동일하게 만들면, 데이터 구동칩(500_1)에 대응되는 표시 블록(BLK1) 내의 화소의 충전량과, 데이터 구동칩(500_2)에 대응되는 표시 블록(BLK2) 내의 화소의 충전량을 실질적으로 동일하게 만들 수 있다. 따라서, 표시 블록(BLK1, BLK2) 사이의 시인성 차이를 개선할 수 있다.
- <35> 이하, 도 4 내지 도 8을 참조하여, 다수의 데이터 구동칩(500_1~500_8)이 전하 공유 기간을 조절하는 방식에 대해서 구체적으로 설명하도록 한다.
- <36> 도 4 및 도 5는 도 1의 다수의 데이터 구동칩의 배치, 신호 버스, 전압 라인을 설명하기 위한 도면이다. 도 4은 이해의 편의를 위해서 신호 버스와 전압 라인을 개략적으로 도시한 것이고, 도 5는 신호 버스와 전압 라인을 도 4보다 자세히 도시한 것이다.
- <37> 도 4 및 도 5를 참조하면, 다수의 데이터 구동칩(500_1~500_8)이 액정 패널(300)의 하부 유리판(100) 상에 COG 방식으로 직접 실장되어 있다. 타이밍 컨트롤러(미도시), 전원 전압 발생기(미도시), 감마 전압 발생기(미도시) 등이 회로 기판(610) 상에 실장되어 있다. 액정 패널(300)과 회로 기판(610)은 가요성 인쇄 회로막(620_1, 620_2)을 통해서 서로 연결되어 있다.
- <38> 다수의 데이터 구동칩(500_1~500_8)의 배치를 살펴보면, 가요성 인쇄 회로막(620_1)을 중심으로 2개의 데이터 구동칩(500_1, 500_2)은 좌측에 배치되고 2개의 데이터 구동칩(500_3, 500_4)은 우측에 배치된다. 또한, 가요성 인쇄 회로막(620_2)을 중심으로 2개의 데이터 구동칩(500_5, 500_6)은 좌측에 배치되고 2개의 데이터 구동칩(500_7, 500_8)은 우측에 배치된다. 이러한 배치는 예시적인 것이고, 이에 한정되는 것은 아니다.
- <39> 전술한 바와 같이, 다수의 데이터 구동칩(500_1~500_8)과 타이밍 컨트롤러(600)는 점대점 방식으로 커플링되어

있으므로, 다수의 데이터 구동칩(500_1~500_8)은 각각의 대응되는 신호 버스(502)를 통해서 데이터 제어 신호를 제공받는다. 데이터 제어 신호는 제1 및 제2 통합 신호(D0, D1), 데이터 입출력 신호(DIO), 구동 클럭(CLK) 등을 포함할 수 있다. 여기서, 제1 통합 신호(D0)는 데이터와 전하 공유 제어 신호(CSP)를 포함할 수 있고, 제2 통합 신호(D1)는 데이터와 반전 신호(POL)를 포함할 수 있다. 여기서, 데이터 구동칩(500_1~500_8)은 전하 공유 제어 신호(CSP)를 디코딩되어 전하 공유 기간을 조절한다.

- <40> 또한, 다수의 데이터 구동칩(500_1~500_8)은 전원 전압 발생기와 캐스케이드 방식으로 커플링되어 있고, 감마 전압 발생기와도 캐스케이드 방식으로 커플링되어 있다. 구체적으로, 다수의 데이터 구동칩(500_1~500_8)은 전압 라인(504_1)을 통해서 전원 전압을 제공받고, 전압 라인(504_2)을 통해서 감마 전압을 제공받는다. 여기서, 전원 전압은 로직 전원 전압(VDD1, VSS1)과, 아날로그 전원 전압(VDD2, VSS2) 등을 포함한다.
- <41> 이와 같은 구성에서, 데이터 구동칩(500_1~500_8)은 전원 전압 발생기와 캐스케이드 방식으로 커플링되어, 각 데이터 구동칩(500_1~500_8)에서 사용하는 전원 전압의 레벨이 서로 다를 수 있다. 하지만, 데이터 구동칩(500_1~500_8)은 타이밍 컨트롤러와 점대점 방식으로 커플링되어 있다. 따라서, 각각의 데이터 구동칩(500_1~500_8)은 전하 공유 기간을 조절할 수 있는 전하 공유 제어 신호(CSP)를 타이밍 컨트롤러로부터 각각 제공받게 된다. 따라서, 다수의 데이터 구동칩(500_1~500_8)은 전하 공유 기간을 적절히 조절할 수 있다.
- <42> 이하에서, 도 6 및 도 7을 참조하여 데이터 구동칩의 내부 구조를 설명한다. 도 6는 도 1의 데이터 구동칩의 내부 블록을 설명하기 위한 블록도이다. 도 7은 도 6의 출력 버퍼를 설명하기 위한 회로도이다.
- <43> 도 6을 참조하면, 데이터 구동칩(500_1~500_8)은 디코더(510), 디시리얼라이저(deserializer)(520), 시프트 레지스터(shift register)(530), 데이터 래치(540), 디지털 아날로그 컨버터(digital-analogue converter; DAC)(550), 감마 버퍼(560) 및 출력 버퍼(570)를 포함한다.
- <44> 디코더(510)는 타이밍 컨트롤러(600)로부터 데이터 입출력 신호(DIO), 구동 클럭(CLK), 제1 및 제2 통합 신호(D0, D1)를 제공받아, 이들을 디코딩하여 전하 공유 신호(SHR), 반전 신호(POL), 래치 지시 신호(DL), 수평 시작 신호(STH)를 제공한다. 각 신호들을 설명하면, 전하 공유 신호(SHR)는 다수의 데이터 라인을 단락시켜 다수의 데이터 라인이 전하 공유를 하도록 하는 신호이고, 반전 신호(POL)는 영상 데이터 전압의 극성을 선택시키는 신호이고, 래치 지시 신호(DL)는 데이터 래치(540)의 동작 시작을 결정하는 신호이고, 수평 시작 신호(STH)는 데이터 구동칩의 동작 시작을 결정하는 신호이다.
- <45> 디시리얼라이저(520)는 시리얼하게 입력되는 제1 및 제2 통합 신호(D0, D1) 내의 데이터를 병렬로 재배치한다.
- <46> 시프트 레지스터(530)는 수평 시작 신호(STH)를 제공받아 동작이 시작되며, 디시리얼라이저(520)를 거쳐서 제공되는 데이터를 순차적으로 데이터 래치(540)로 제공한다.
- <47> 데이터 래치(540)는 래치 지시 신호(DL)를 제공받아 동작이 시작되며, 시프트 레지스터(530)로부터 데이터를 제공받아 래치하고, 제공받은 데이터를 동시에 디지털 아날로그 컨버터(550)로 제공한다.
- <48> 디지털 아날로그 컨버터(550)는 감마 버퍼(560)로부터 감마 전압(VGMA1~VGMA8)을 제공받아, 디지털 형태의 데이터를 아날로그 형태의 영상 데이터 전압(Y1~Y480)으로 변환한다. 여기서, 디지털 아날로그 컨버터(550)가 출력하는 각각의 영상 데이터 전압은 계조 레벨 전압(gray level voltage)를 나타낸다.
- <49> 출력 버퍼(570)는 반전 신호(POL)를 제공받아 영상 데이터 전압(Y1~Y480)의 극성을 선택하고, 전하 공유 신호(SHR)를 제공받아 데이터 라인을 서로 단락시킴으로써 데이터 라인이 서로 전하 공유를 하게 한다. 출력 버퍼(570)는 도 7에 도시된 것과 같이, 버퍼 회로(572), 제1 스위칭부(574), 제2 스위칭부(576)를 포함할 수 있다. 버퍼 회로(572)는 정극성의 영상 데이터 전압과 부극성의 영상 데이터 전압을 출력하고, 제1 스위칭부(574)는 반전 신호(POL)를 제공받아 정극성의 영상 데이터 전압과 부극성의 영상 데이터 전압 중 하나를 선택하여 출력한다. 제2 스위칭부(576)는 전하 공유 신호(SHR)를 제공받아 전하 공유 기간동안 다수의 데이터 라인을 서로 단락시킨다. 예를 들어, 제2 스위칭부(576)는 전하 공유 신호(SHR)를 제공받아 턴온되는 MOS 트랜지스터일 수 있다.
- <50> 이하, 도 6 내지 도 8을 참조하여 데이터 구동칩의 동작을 설명한다. 도 8은 도 1의 데이터 구동칩의 동작을 설명하기 위한 타이밍도이다.
- <51> 우선, 도 8을 참조하면, 구동 클럭(CLK)의 3클럭 동안 데이터 입출력 신호(DIO)가 로우 레벨이고 제1 및 제2 통합 신호(D0, D1)이 각각 하이 레벨인 경우(구간 t1 참조), 데이터 구동칩(500_1~500_8) 내의 디코더(510)는 수

평 시작 신호(STH)를 출력한다.

<52> 시프트 레지스터(530)는 수평 시작 신호(STH)를 제공받아 동작을 시작하여, 구간 t2 동안, 입력되는 제1 및 제2 통합 신호(D0, D1) 내의 데이터를 제공받게 된다.

<53> 이어서, 디코더(510)는 제1 통합 신호(D0) 내의 6비트의 전하 공유 제어 신호(CSP)를 제공받아 디코딩하여, 전하 공유 신호(SHR)를 생성한다. 이러한 6비트의 전하 공유 신호는 전하 공유 기간을 결정할 수 있다. 6비트의 전하 공유 신호에 따른 전하 공유 기간을 예로 들면, 표 1과 같다. 예를 들어, 전하 공유 신호(CSP)가 001000인 경우에는 구동 클럭(CLK) 17clk동안 전하 공유를 하게 된다. 즉, 다수의 데이터 라인이 서로 전하 공유하는 구간(t5)이 17clk이 된다. 따라서, 데이터 구동칩은 전하 공유 제어 신호(CSP)의 값에 따라서, 전하 공유 기간을 조절하게 된다. 즉, 타이밍 컨트롤러는 다수의 데이터 구동칩에 인가되는 전하 공유 제어 신호(CSP)의 값을 다르게 조절함으로써 전하 공유 기간을 조절할 수 있다.

표 1

<54>

CSP[5:0]						전하 공유 기간
Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
0	0	0	0	0	0	N/A
0	0	0	0	0	1	N/A
0	0	0	0	1	0	N/A
0	0	0	0	1	1	N/A
0	0	0	1	0	0	9clk
0	0	0	1	0	1	11clk
0	0	0	1	1	0	13clk
0	0	0	1	1	1	15clk
0	0	1	0	0	0	17clk
...
1	1	1	1	0	1	123clk
1	1	1	1	1	0	125clk
1	1	1	1	1	1	127clk

<55> 구동 클럭의 2클럭 동안 데이터 입출력 신호(DIO)가 로우 레벨인 경우(구간 t4 참조), 디코더(510)는 래치 지시 신호(DL)를 제공한다. 데이터 래치(540)는 래치 지시 신호(DL)를 제공받아 동작한다.

<56> 디지털 아날로그 컨버터(550)는 감마 버퍼(560)로부터 감마 전압(VGMA1~VGMA8)을 제공받아, 디지털 형태의 데이터를 아날로그 형태의 영상 데이터 전압으로 변환한다. 여기서, 디지털 아날로그 컨버터(550)가 출력하는 각각의 영상 데이터 전압은 계조 레벨 전압(gray level voltage)를 나타낸다.

<57> 출력 버퍼(570)는 반전 신호(POL)을 제공받아 영상 데이터 전압(Y1~Y480)의 극성을 선택하고, 전하 공유 신호(SHR)를 제공받아 데이터 라인을 서로 단락시킴으로써 데이터 라인이 서로 전하 공유를 하게 한다.

<58> 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면의 간단한 설명

<59> 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치를 설명하기 위한 블록도이다.

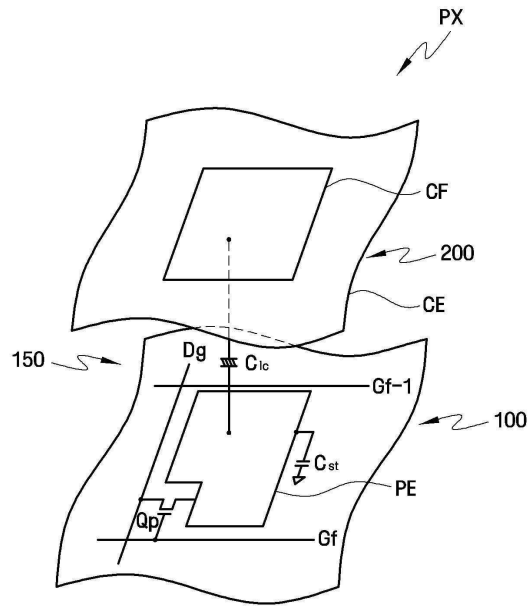
<60> 도 2는 한 화소의 등가 회로도이다.

<61> 도 3은 도 1의 다수의 데이터 구동칩에서 출력되는 영상 데이터 전압을 비교하여 표시한 도면이다.

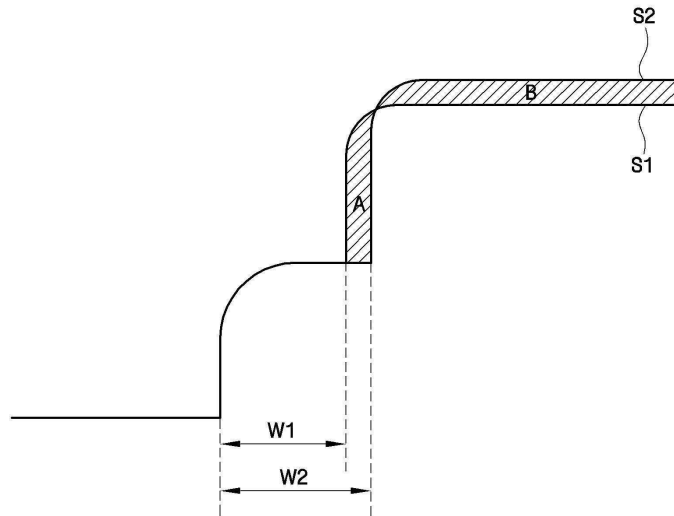
<62> 도 4 및 도 5는 도 1의 다수의 데이터 구동칩의 배치, 신호 버스, 전압 라인을 설명하기 위한 도면이다.

<63> 도 6는 도 1의 데이터 구동칩의 내부 블록을 설명하기 위한 블록도이다.

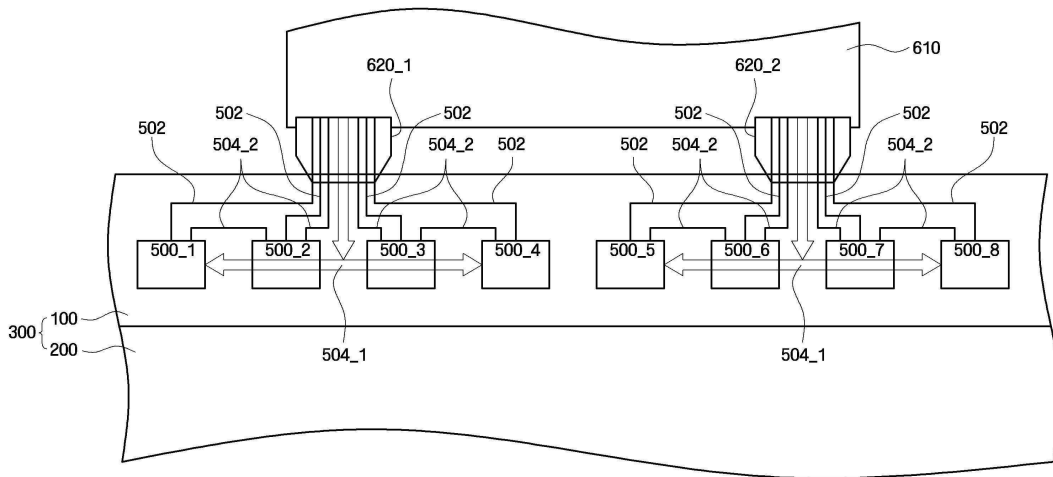
도면2



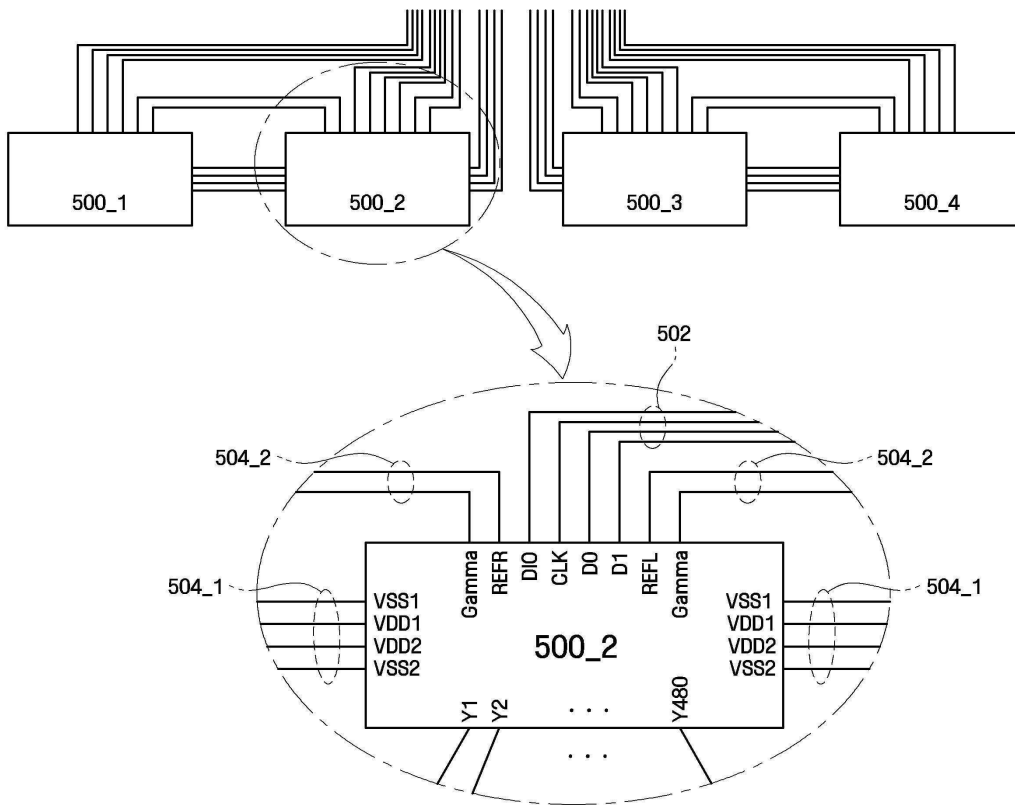
도면3



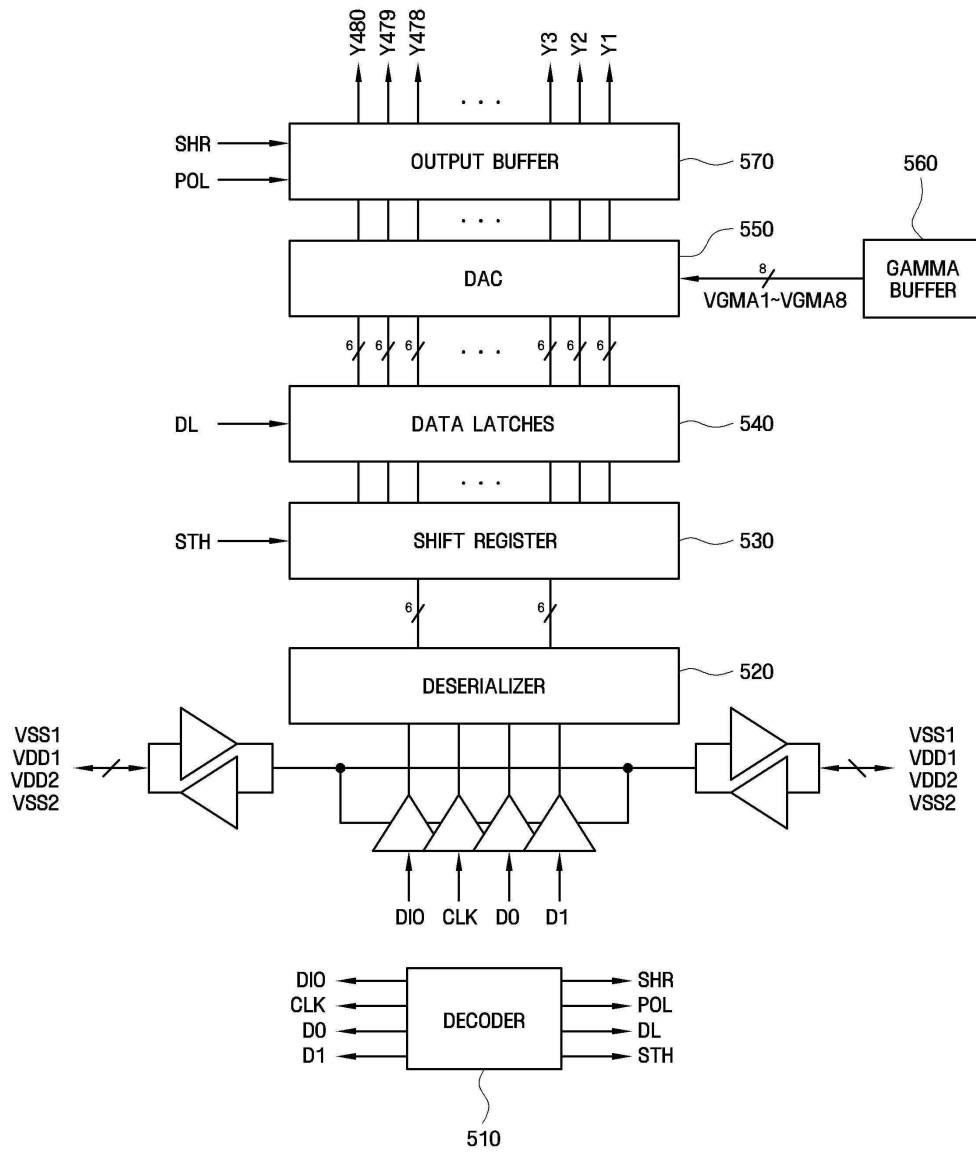
도면4



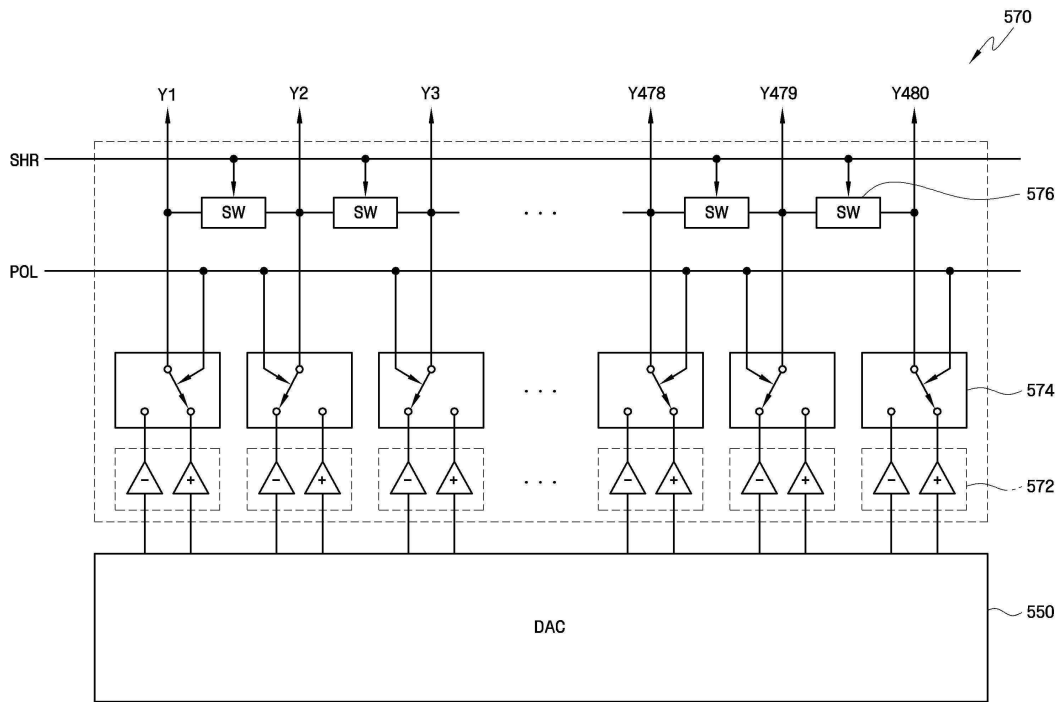
도면5



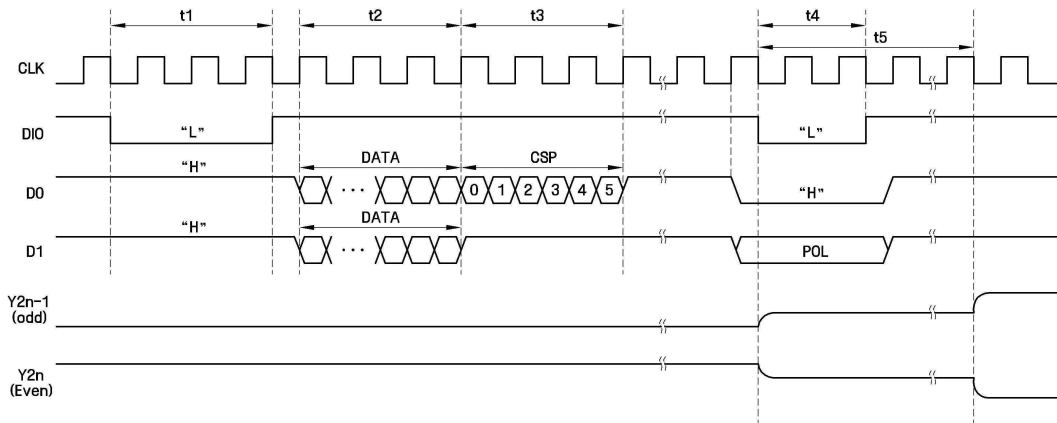
도면6



도면7



도면8



专利名称(译)	液晶显示装置具有改善的可视性		
公开(公告)号	KR1020090043879A	公开(公告)日	2009-05-07
申请号	KR1020070109670	申请日	2007-10-30
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM BO RA 김보라 SON SUN KYU 손선규		
发明人	김보라 손선규		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G2310/0281 G09G3/3648 G09G3/3688 G09G2310/0291 G09G2320/0233 G09G2330/02 G09G2320/0223 G09G2300/0426 G09G2310/0248		
其他公开文献	KR101405341B1		
外部链接	Espacenet		

摘要(译)

提供一种具有改善的可视性的液晶显示装置。液晶显示装置包括液晶面板，该液晶面板包括多个显示块，每个显示块包括多条栅极线，多条数据线，以及耦合到栅极线和数据线的多个像素，用于提供包括数据和电荷共享控制信号的集成信号的定时控制器，以及每个对应于多个显示块的多个数据驱动芯片，每个数据驱动芯片包括定时控制器和点对点多个数据驱动芯片，耦接至多个数据驱动芯片，并耦接至多个数据驱动芯片，用以接收集成信号，以在电荷共享期间对相应显示块中的多条数据线进行短路，电荷共享期间的调整方式不同。

