



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(11) 공개번호 10-2007-0034673

(43) 공개일자 2007년03월29일

(21) 출원번호 10-2005-0089114

(22) 출원일자 2005년09월26일

심사청구일자 없음

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 최필모
서울특별시 관악구 봉천11동 1651-3번지 103호
김일곤
서울특별시 동작구 상도동 431번지 상도3차 래미안 327동 803호
김웅식
경기 수원시 영통구 망포동 늘푸른벽산아파트 116동 1704호
송석천
경기 수원시 영통구 영통동 황골마을1단지아파트 125동 1201호
이상훈
서울특별시 송파구 삼전동 43-12 에이스빌 502호
박근우
서울특별시 강남구 도곡2동 개포한신아파트 5동 901호
맹호석
서울특별시 서초구 방배4동 방배현대아파트 106동 1802호

(74) 대리인 박영우

전체 청구항 수 : 총 17 항

(54) 액정표시장치 및 이의 구동 방법

(57) 요약

화질을 향상시키기 위한 액정표시장치 및 이의 구동 방법이 개시된다. 액정표시장치는 액정표시패널 및 구동부를 포함한다. 액정표시패널은 복수의 화소부들을 포함하며, 각 화소부는 제1 게이트 배선에 연결된 제1 스위칭 소자와 제1 스위칭 소자에 연결된 제1 액정 캐패시터를 갖는 투과부와, 제2 게이트 배선에 연결된 제2 스위칭 소자와 제2 스위칭 소자에 연결된 제2 액정 캐패시터 및 제2 스위칭 소자와 제2 액정 캐패시터와 사이에 연결된 분할 캐패시터를 갖는 반사부를 포함한다. 구동부는 제1 스위칭 소자가 턴 온 될 때 제1 액정 캐패시터에 제1 공통 전압을 인가하고, 제1 스위칭 소자가 턴-오프되고 제2 스위칭 소자가 턴-온 될 때 제2 액정 캐패시터에 제2 공통 전압을 인가한다. 이에 따라, 제2 액정 캐패시터와 직렬로 연결된 분할 캐패시터를 구비함으로써 V-T 곡선과 V-R 곡선을 실질적으로 일치시켜 화질을 향상시킬 수 있다.

대표도

도 2

특허청구의 범위

청구항 1.

복수의 화소부들을 포함하며, 각 화소부는 제1 게이트 배선에 연결된 제1 스위칭 소자와 상기 제1 스위칭 소자에 연결된 제1 액정 캐패시터를 갖는 투과부와, 제2 게이트 배선에 연결된 제2 스위칭 소자와 상기 제2 스위칭 소자에 연결된 제2 액정 캐패시터 및 상기 제2 스위칭 소자와 제2 액정 캐패시터와 사이에 연결된 분할 캐패시터를 갖는 반사부를 포함하는 액정표시패널; 및

상기 제1 스위칭 소자가 턴 온 될 때 상기 제1 액정 캐패시터에 제1 공통 전압을 인가하고, 상기 제1 스위칭 소자가 턴-오프되고 상기 제2 스위칭 소자가 턴-온 될 때 상기 제2 액정 캐패시터에 제2 공통 전압을 인가하는 구동부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 2.

제1항에 있어서, 제1항에 있어서, 상기 제1 및 제2 액정 캐패시터는 액정층을 포함하며,

상기 액정층은 VA(Vertical Alignment) 모드인 것을 특징으로 하는 액정표시장치.

청구항 3.

제1항에 있어서, 상기 투과부는 제1 스토리지 캐패시터를 포함하고, 상기 반사부는 제2 스토리지 캐패시터를 포함하며,

상기 구동부는 상기 제1 스위칭 소자가 턴 온 될 때 상기 제1 스토리지 캐패시터에 상기 제1 공통 전압을 인가하고, 상기 제1 스위칭 소자가 턴-오프되고 상기 제2 스위칭 소자가 턴-온 될 때 상기 제2 스토리지 캐패시터에 상기 제2 공통 전압을 인가하는 것을 특징으로 하는 액정표시장치.

청구항 4.

제1항에 있어서, 상기 제1 스위칭 소자는 상기 제1 게이트 배선에 연결된 제1 게이트 전극과, 소스 배선에 연결된 제1 소스 전극 및 상기 제1 액정 캐패시터의 제1 전극인 투명 전극에 연결된 제1 드레인 전극을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 5.

제4항에 있어서, 상기 제2 스위칭 소자는 상기 제1 게이트 배선에 인접한 상기 제2 게이트 배선에 연결된 제2 게이트 전극과, 상기 소스 배선에 연결된 제2 소스 전극 및 상기 분할 캐패시터의 제1 전극에 연결된 드레인 전극을 포함하며,

상기 분할 캐패시터의 제2 전극은 상기 제2 액정 캐패시터의 제1 전극인 반사 전극에 연결된 것을 특징으로 하는 액정표시장치.

청구항 6.

제5항에 있어서, 상기 제1 및 제2 액정 캐패시터의 제1 및 제2 공통 전극은 전기적으로 연결된 것을 특징으로 하는 액정표시장치.

청구항 7.

제5항에 있어서, 상기 구동부는

상기 소스 배선에 데이터전압을 출력하는 소스 구동부;

상기 제1 및 제2 게이트 배선을 활성화시키는 제1 및 제2 게이트 신호를 출력하는 게이트 구동부; 및

상기 제1 게이트 배선이 활성화될 때 상기 제1 공통 전압을 상기 제1 액정 캐패시터에 인가하고, 상기 제1 게이트 배선이 비활성되고 제2 게이트 배선이 활성화 될 때 상기 제2 공통 전압을 상기 제2 액정 캐패시터에 인가하는 전압 발생부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 8.

제7항에 있어서, 상기 제1 게이트 배선은 초기 H/2 구간동안 활성화되고, 상기 제2 게이트 배선은 후기 H/2 구간동안 활성화되는 것을 특징으로 하는 액정표시장치.

청구항 9.

제7항에 있어서, 상기 제1 게이트 배선은 초기 H/2 구간동안 활성화되고, 상기 제2 게이트 배선은 1H 구간동안 활성화되는 것을 특징으로 하는 액정표시장치.

청구항 10.

제1 스위칭 소자와 상기 제1 스위칭 소자에 연결된 제1 액정 캐패시터를 갖는 투과부와, 제2 스위칭 소자와 상기 제2 스위칭 소자에 연결된 분할 캐패시터와 상기 분할 캐패시터에 연결된 제2 액정 캐패시터를 갖는 반사부로 이루어진 화소부를 포함하는 액정표시장치의 구동 방법에서,

상기 제1 스위칭 소자를 턴-온 시켜 상기 제1 액정 캐패시터에 상기 제1 스위칭 소자로부터 전달된 데이터전압과 제1 공통 전압에 대응하는 제1 화소전압을 충전시키는 단계; 및

상기 제1 스위칭 소자를 턴-오프 시키고 상기 제2 스위칭 소자를 턴-온 시켜 상기 제2 액정 캐패시터에 상기 제2 스위칭 소자로부터 전달된 데이터전압과 제2 공통 전압에 대응하는 제2 화소전압을 충전시키는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동 방법.

청구항 11.

제10항에 있어서, 상기 제1 스위칭 소자는 제1 게이트 배선에 연결된 제1 게이트 전극과, 소스 배선에 연결된 제1 소스 전극 및 상기 제1 액정 캐패시터의 제1 전극인 투명 전극에 연결된 제1 드레인 전극을 포함하는 것을 특징으로 하는 액정표시장치의 구동 방법.

청구항 12.

제11항에 있어서, 상기 제2 스위칭 소자는 상기 제1 게이트 배선에 인접한 상기 제2 게이트 배선에 연결된 제2 게이트 전극과, 상기 소스 배선에 연결된 제2 소스 전극 및 상기 분할 캐패시터의 제1 전극에 연결된 드레인 전극을 포함하며,

상기 분할 캐패시터의 제2 전극은 상기 제2 액정 캐패시터의 제1 전극인 반사 전극에 연결된 것을 특징으로 하는 액정표시장치의 구동 방법.

청구항 13.

제12항에 있어서, 상기 제1 화소전압을 충전시키는 단계는

상기 제1 공통 전압을 상기 제1 액정 캐패시터의 제1 공통 전극에 인가하는 단계; 및

상기 제1 게이트 배선을 활성화시켜 상기 소스 배선으로 인가된 상기 데이터전압을 상기 제1 액정 캐패시터의 투명 전극에 인가하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동 방법.

청구항 14.

제12항에 있어서, 상기 제2 화소전압을 충전시키는 단계는

상기 제1 게이트 배선을 비활성화시키는 단계;

상기 분할 캐패시터의 제2 전극과 상기 제2 액정 캐패시터의 제2 공통전극에 제2 공통전압을 인가하는 단계;

상기 제2 게이트 배선을 활성화시켜 상기 소스 배선으로 인가된 상기 데이터전압의 일부전압을 상기 분할 캐패시터의 제1 전극에 인가하는 단계; 및

상기 데이터전압 중 상기 일부전압을 제외한 나머지 전압을 상기 제2 액정 캐패시터의 반사 전극에 인가하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동 방법.

청구항 15.

제12항에 있어서, 상기 제1 게이트 배선은 초기 H/2 구간동안 활성화되는 것을 특징으로 하는 액정표시장치의 구동 방법.

청구항 16.

제12항에 있어서, 상기 제2 게이트 배선은 초기 H/2 구간동안 활성화되는 것을 특징으로 하는 액정표시장치의 구동 방법.

청구항 17.

제12항에 있어서, 상기 제2 게이트 배선은 1H 구간동안 활성화되는 것을 특징으로 하는 액정표시장치의 구동 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치 및 이의 구동 방법에 관한 것으로, 보다 상세하게는 화질을 향상시키기 위한 액정표시장치 및 이의 구동 방법에 관한 것이다.

액정표시패널은 상호 마주보는 하부 기판 및 상부 기판의 사이에 액정층이 형성된다. 상기 액정표시패널은 액정에 전계를 인가하여 액정의 분자 배열을 변경시켜 영상을 표시한다.

상기 액정표시패널은 광원의 형태에 따라, 외부로부터 입사되는 외부광을 반사시켜 영상을 표시하는 반사형 액정표시패널, 배면으로부터 입사되는 내부광을 투과시켜 영상을 표시하는 투과형 액정표시패널 및 외부광을 반사 및 내부광을 투과하여 영상을 표시하는 반사-투과형 액정표시패널로 분류된다.

상기 반사-투과형 액정표시패널은 투과 모드에서 전압 대 투과율(V-T) 곡선과 반사 모드에서의 전압 대 반사율(V-R) 곡선이 서로 다르다.

도 1a는 VA 모드에서 전압 대 투과율을 나타낸 그래프이고, 도 1b는 VA 모드에서 전압 대 반사율을 나타낸 그래프이다.

도 1a 및 도 1b를 참조하면, 투과 모드의 블랙 전압(VTb)과 반사 모드의 블랙 전압(VRb)은 대략 0V 내지 1.5V 로 서로 비슷하다. 반면, 투과 모드의 화이트 전압(VTw)과 반사 모드의 화이트 전압(VRw)은 서로 다르다. 구체적으로 투과모드의 화이트 전압(VTw)은 대략 4.5V이고, 반사 모드의 화이트 전압(VRw)은 대략 2.5V로서, 대략 2V 정도의 편차를 갖는다.

이와 같이 V-T 곡선과 V-R 곡선의 투과율과 반사율이 일치하지 않는 특성에 따라서 반사-투과형 액정표시장치는 화질이 저하되는 문제점을 갖는다.

발명이 이루고자 하는 기술적 과제

이에 본 발명의 기술적 과제는 이러한 종래의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 화질을 향상시키기 위한 액정표시장치를 제공하는 것이다.

본 발명의 다른 목적은 상기 액정표시장치의 구동 방법을 제공하는 것이다.

발명의 구성

상기한 본 발명의 목적을 실현하기 위한 실시예에 따른 액정표시장치는 액정표시패널 및 구동부를 포함한다. 상기 액정표시패널은 복수의 화소부들을 포함하며, 각 화소부는 제1 게이트 배선에 연결된 제1 스위칭 소자와 상기 제1 스위칭 소자에 연결된 제1 액정 캐패시터를 갖는 투과부와, 제2 게이트 배선에 연결된 제2 스위칭 소자와 상기 제2 스위칭 소자에 연결된 제2 액정 캐패시터 및 상기 제2 스위칭 소자와 제2 액정 캐패시터와 사이에 연결된 분할 캐패시터를 갖는 반사부를 포함한다. 상기 구동부는 상기 제1 스위칭 소자가 턴 온 될 때 상기 제1 액정 캐패시터에 제1 공통 전압을 인가하고, 상기 제1 스위칭 소자가 턴-오프되고 상기 제2 스위칭 소자가 턴-온 될 때 상기 제2 액정 캐패시터에 제2 공통 전압을 인가한다.

상기한 본 발명의 다른 목적을 실현하기 위한 실시예에 따른 제1 스위칭 소자와 상기 제1 스위칭 소자에 연결된 제1 액정 캐패시터를 갖는 투과부와, 제2 스위칭 소자와 상기 제2 스위칭 소자에 연결된 분할 캐패시터와 상기 분할 캐패시터에 연결된 제2 액정 캐패시터를 갖는 반사부로 이루어진 화소부를 포함하는 액정표시장치의 구동 방법은 상기 제1 스위칭 소자를 턴-온시켜 상기 제1 액정 캐패시터에 상기 제1 스위칭 소자로부터 전달된 데이터전압과 제1 공통 전압에 대응하는 제1 화소전압을 충전시키는 단계 및 상기 제1 스위칭 소자를 턴-오프시키고 상기 제2 스위칭 소자를 턴-온시켜 상기 제2 액정 캐패시터에 상기 제2 스위칭 소자로부터 전달된 데이터전압과 제2 공통 전압에 대응하는 제2 화소전압을 충전시키는 단계를 포함한다.

이러한 액정표시장치 및 이의 구동 방법에 의하면, 반사부의 액정캐패시터와 직렬로 연결되어 상기 액정캐패시터의 충전 전압을 분할하는 분할 캐패시터를 구비함으로써 V-T 곡선과 V-R 곡선의 실질적으로 일치시켜 화질을 향상시킬 수 있다.

이하, 첨부한 도면들을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.

도 2는 본 발명의 실시예에 따른 액정표시장치의 개략적인 평면도이다.

도 2를 참조하면, 액정표시장치는 액정표시패널(100), 구동 장치(200) 및 연성인쇄회로기판(300)을 포함한다. 상기 연성 인쇄회로기판(Flexible Printed Circuit Board; 이하, FPC)(300)은 외부 장치(미도시)와 상기 구동 장치(200)를 전기적으로 연결한다.

상기 액정표시패널(100)은 하부 기판(110)과 상부 기판(120) 및 상기 하부 및 상부 기판(110, 120) 사이에 개재된 액정층(미도시)을 포함하고, 표시 영역(DA)과 상기 표시 영역(DA)을 둘러싸는 주변 영역(PA)으로 이루어진다. 상기 액정층은 상기 하부 기판(110) 및 상부 기판(120)에 등전위가 형성되는 경우 수직 배향되는 VA(Vertical Alignment) 모드가 바람직하다.

상기 표시 영역(DA)에는 m 개의 소스 배선들(DL1,...,DL m)과 상기 소스 배선들(DL1,...,DL m)과 교차하는 $2n$ 개의 게이트 배선(GL1,...,GL $2n$)이 형성된다. 상기 표시 영역(DA)은 상기 소스 배선들(DL1,...,DL m)과 게이트 배선들(GL1,...,GL $2n$)에 의해 $m \times n$ 개의 화소부(P)들이 정의된다. 여기서, n, m 은 자연수이다.

각 화소부(P)는 하나의 소스 배선(DL)과 두 개의 제1 및 제2 게이트 배선(GLt, GLr)에 의해 제1 광을 투과하는 투과부(Pt)와 제1 광을 반사하는 반사부(Pr)로 정의된다. 상기 투과부(Pt)와 반사부(Pr)의 액정층의 셀 갭은 서로 동일한 단일 셀 갭(Single Cell Gap)을 갖는다.

상기 투과부(Pt)는 상기 소스 배선(DL)과 제1 게이트 배선(GLt)에 연결된 제1 스위칭 소자(TFTt)와, 상기 제1 스위칭 소자(TFTt)에 연결된 제1 액정 캐패시터(CL Ct) 및 제1 스토리지 캐패시터(CSTt)를 포함한다.

상기 반사부(Pr)는 상기 소스 배선(DL)과 제2 게이트 배선(GLr)에 연결된 제2 스위칭 소자(TFTTr)와, 상기 제2 스위칭 소자(TFTTr)에 연결된 분할 캐패시터(CC)와, 상기 분할 캐패시터(CC)와 직렬로 연결된 제2 액정 캐패시터(CL Cr) 및 상기 스위칭 소자(TFTTr)에 연결된 제2 스토리지 캐패시터(CSTr)를 포함한다. 상기 제1 및 제2 액정 캐패시터(CL Ct, CL Cr) 각각의 공통 전극은 일체로 형성되며, 상기 제1 및 제2 스토리지 캐패시터(CSTt, CSTr) 각각의 공통 전극은 공통으로 연결된다.

상기 화소부(P)의 구동 방식을 살펴보면, 제1 게이트 배선(GLt)이 활성화됨에 따라 제1 스위칭 소자(TFT1)가 턴-온 되어 상기 소스 배선(DL)으로부터 전달된 데이터 전압(VD)이 상기 제1 액정 캐패시터(CL Ct)에 제1 전극(예컨대, 투명 전극)에 인가된다. 한편, 제1 액정 캐패시터(CL Ct)의 제2 전극인 공통전극에는 공통전압(VCOM)이 인가된다. 이에 따라서, 투과부(Pt)의 제1 액정 캐패시터(CL Ct)에는 상기 데이터 전압(VD)과 공통 전압(VCOM)에 대응하는 제1 화소 전압(VPt)이 충전된다.

이어, 상기 제1 게이트 배선(GLt)이 비활성화되어 상기 제1 스위칭 소자(TFTt)를 턴-오프 된 상태에서, 제2 게이트 배선(GLr)이 활성화되어 제2 스위칭 소자(TFT2)를 턴-온 시킨다. 상기 제2 스위칭 소자(TFTTr)가 턴-온 됨에 따라 상기 소스 배선(DL)으로부터 전달된 데이터 전압(VD)은 제2 액정 캐패시터(CL Cr)의 제1 전극(예컨대, 반사 전극)에 인가된다. 상기 제2 액정 캐패시터(CL Cr)의 제2 전극인 공통 전극에는 공통 전압(VCOM)이 인가된다.

한편, 상기 제2 액정 캐패시터(CL Cr)와 직렬로 연결된 분할 캐패시터(CC)에는 상기 데이터 전압(VD)의 일부 전압(VD1)이 충전되고, 이에 따라서 실질적으로 상기 제2 액정 캐패시터(CL Cr)에는 상기 일부 전압(VD1)을 제외한 나머지 데이터 전압(VD2)이 인가됨에 따라 상기 제1 화소 전압(VPt) 보다 작은 제2 화소 전압(VPr)이 충전된다.

즉, 상기 분할 캐패시터(CC)의 커패시턴스를 조절하여 V-T 곡선의 화이트 계조전압(VTw)과 블랙 계조전압(VTb)간의 차(VTw-VTb)와 V-R 곡선의 화이트 계조전압(VRw)과 블랙 계조전압(VRb)간의 차(VRw-VRb)를 실질적으로 동일하게 한다.

이렇게 조절된 V-T 곡선과 V-R 곡선 간의 오프셋(offset)값은 상기 제1 및 제2 액정 캐패시터(CL Ct, CL Cr)의 공통 전극에 인가되는 공통 전압(VCOM)을 변동시켜 보상한다.

상기 제1 및 제2 스토리지 캐패시터(CSTt, CSTr)의 제1 및 제2 공통 전극에도 상기 제1 및 제2 공통전압(VCOMt, VCOMr)과 동일한 방식으로 제1 및 제2 공통전압(VSTGt, VSTGr)이 각각 인가된다. 상기 액정 캐패시터의 공통전압(VCOM)과 스토리지 캐패시터의 공통전압(VSTG)을 실질적으로 동일하다.

즉, 투과부(Pt)의 제1 스위칭 소자(TFTt)가 구동될 때에는 상기 제1 스토리지 캐패시터(CSTt)에 제1 공통 전압(VSTGt=VCOMt)이 인가되고, 상기 반사부(Pr)의 제2 스위칭 소자(TFTr)가 구동될 때에는 상기 제2 스토리지 캐패시터(CSTr)에 제2 공통 전압(VSTGr=VCOMr)이 인가된다.

상기 구동 장치(200)는 메인 구동부(210) 및 게이트 회로부(230)를 포함한다.

상기 메인 구동부(210)는 상기 주변 영역(PA)에 실장되는 단일 칩으로, 상기 연성인쇄회로기판(300)으로부터 전달된 제어 신호 및 데이터신호를 이용하여 상기 화소부들(P)을 구동시키는 구동신호들을 출력한다.

상기 게이트 회로부(230)는 상기 주변 영역(PA)에 집적되거나, 별도의 칩 형태로 실장된다. 상기 게이트 회로부(230)는 상기 메인 구동부(210)로부터 제공되는 구동신호에 기초하여 상기 게이트 배선들(GL1,...,GL2n)에 게이트 신호들(G1t, G1r,...,Gnt, Gnr)을 출력한다. 각 화소부(P)에 인가되는 제1 및 제2 게이트 신호들(G1t, G1r)은 1H(수평 구간) 동안에 출력된다.

도 3은 도 2에 도시된 메인 구동부에 대한 상세한 블록도이다.

도 2 및 도 3을 참조하면, 상기 메인 구동부(210)는 제어부(211), 메모리(213), 전압 발생부(215) 및 소스 구동부(217)를 포함한다.

상기 제어부(211)는 외부로부터 데이터신호(210a)와 제어신호(210b)를 입력받는다. 상기 제어신호(210b)는 수평동기신호, 수직동기신호, 메인클럭신호, 데이터인에이블신호를 포함한다.

상기 제어부(211)는 상기 제어신호(210b)에 기초하여 상기 데이터신호(210a)를 상기 메모리(213)에 기록 및 독출한다. 상기 제어부(211)는 상기 게이트 회로부(230)에 게이트 제어신호들(211a)을 출력한다. 상기 게이트 제어신호들(211a)은 수직개시신호(STV), 제1 클럭신호(CK), 제2 클럭신호(CKB) 및 게이트 전압(VSS)을 포함한다.

상기 제어부(211)는 상기 소스 구동부(217)에 소스 제어신호들(211b)을 출력하고, 상기 메모리(213)로부터 독출된 데이터신호(211d)를 상기 소스 구동부(217)에 출력한다. 상기 소스 제어신호들(211b)은 수평시작신호, 로드신호, 반전신호를 포함한다.

상기 제어부(211)는 상기 전압 발생부(215)에 메인클럭신호, 반전신호 등의 제어신호(211c)를 출력한다.

상기 전압 발생부(215)는 외부로부터 인가된 외부전원(210c)을 이용하여 구동전압들을 생성한다. 상기 구동전압들은 상기 제어부(211)에 제공되는 게이트 전압들(VSS, VDD)(215a)과, 상기 소스 구동부(217)에 제공하는 기준감마전압들(VREF)(215b)과, 상기 상부 기관(120)의 공통 전극에 인가하는 공통 전압(VCOMt, VCOMr) 및 하부 기관(110)의 스토리지 공통전극에 인가되는 공통 전압(VSTGt, VSTGr)(215c)을 포함한다.

상기 전압 발생부(215)는 상기 제어부(211)의 제어에 따라서, 1H 구간 중 상기 제1 게이트 배선(GLt)이 활성화되는 제1 구간에는 제1 공통 전압(VCOMt)을 상기 제1 액정 캐패시터(CLt)의 제1 공통 전극에 출력하고, 상기 제2 게이트 배선(GLr)이 활성화되는 제2 구간에는 제2 공통 전압(VCOMr)을 상기 제2 액정 캐패시터(CLr)의 제2 공통 전극에 출력한다.

상기 전압 발생부(215)는 상기 제1 및 제2 스토리지 캐패시터(CSTt, CSTr)의 제1 및 제2 공통 전극에도 상기 제1 및 제2 공통전압(VCOMt, VCOMr)과 동일한 방식으로 제1 및 제2 공통전압(VSTGt, VSTGr)을 각각 인가한다.

상기 제2 공통 전압(VCOMr)은 투과 모드와 반사 모드의 데이터전압 간의 윗값을 보상하기 위한 전압으로 실험에 의해 기설정된 값이다. 즉, 상기 제2 공통 전압(VCOMr)은 투과 모드시의 데이터전압에 따른 액정층의 유전율과 반사 모드시의 데이터전압에 따른 액정층의 유전율을 비교하여 얻어진 값이다.

상기 소스 구동부(217)는 상기 감마기준전압(VREF)(215b)에 기초하여 상기 메모리(213)로부터 독출된 데이터신호(211d)를 아날로그의 데이터 전압들(D1,...,Dm)로 변환하여 상기 하부 기관(110)에 형성된 소스 배선들(DL1,...,DLm)에 출력한다.

도 4는 도 2의 게이트 회로부에 대한 상세한 블록도이다.

도 2 및 도 4를 참조하면, 상기 게이트 회로부(230)는 서로 종속적으로 연결된 $2n+1$ 개의 스테이지(SRC1 ~ SRC $2n+1$)로 이루어진 하나의 제1 쉬프트 레지스터를 포함한다. 상기 스테이지들(SRC1 ~ SRC $2n+1$)은 $2n$ 개의 구동 스테이지(SRC1 ~ SRC $2n$)와 1개의 더미 스테이지(SRC $2n+1$)로 이루어진다.

각 스테이지(SRC1)는 입력단자(IN), 클럭단자(CK), 전압단자(VSS), 제어단자(CT), 제1 출력단자(GOUT) 및 제2 출력단자(SOUT)를 포함한다.

상기 클럭단자(CK)에는 제1 및 제2 클럭신호(CK, CKB)가 인가된다. 상기 제1 클럭신호(CK)는 홀수번째 스테이지들(SRC1, SRC3,...,SRC $2n+1$)에 인가되고, 상기 제2 클럭신호(CKB)는 짝수번째 스테이지들(SRC2, SRC4,..., SRC $2n$)에 인가된다.

상기 홀수번째 스테이지들(SRC1, SRC3,...,SRC $2n+1$)의 제1 출력단자(GOUT)들은 상기 제1 클럭신호(CK)에 동기된 게이트 신호들(G1t, G2t,..., Gnt)을 출력하고, 상기 짝수번째 스테이지들(SRC2, SRC4,..., SRC $2n$)의 제1 출력단자(GOUT)들은 상기 제2 클럭신호(CKB)에 동기된 게이트 신호(G1r, G2r,..., Gnr)를 출력한다.

첫 번째 스테이지(SRC1)의 제1 출력단자(GOUT)는 투과부(Pt)의 제1 게이트 배선(GLt)에 연결되어 제1 스위칭 소자(TFTt)의 구동을 제어하며, 두 번째 스테이지(SRC2)의 제1 출력단자(GOUT)는 반사부(Pr)의 제2 게이트 배선(GLr)에 연결되어 제2 스위칭 소자(TFTr)의 구동을 제어한다.

바람직하게 상기 첫 번째 스테이지(SRC1)의 출력신호인 제1 게이트 신호(G1t)는 1H 구간의 초기 H/2 구간에 출력되고, 두 번째 스테이지(SRC2)의 출력신호인 제2 게이트 신호(G1r)는 후기 H/2 구간 또는 1H 구간에 출력된다. 이와 같은 방식으로 $2n$ 개의 스테이지들(SRC1 ~ SRC $2n$)은 순차적으로 게이트 신호들(G1t, G1r,...,Gnt, Gnr)을 출력한다.

한편, 상기 더미 스테이지(SRC $2n+1$)의 제1 출력단자(GOUT)는 대응하는 게이트 배선이 존재하지 않기 때문에 플로팅 상태로 유지된다.

각각의 홀수번째 스테이지(SRC1)의 제2 출력단자(SOUT)는 상기 제1 클럭신호(CK)를 스테이지 구동신호로 출력하고, 각각의 짝수번째 스테이지(SRC2)의 제2 출력단자(SOUT)는 상기 제2 클럭신호(CKB)를 스테이지 구동신호로 출력한다.

각각의 홀수번째 스테이지(SRC1)의 입력단자(IN)에는 이전 스테이지의 상기 제2 출력단자(SOUT)로부터 출력된 스테이지 구동신호가 인가되고, 상기 제어단자(CT)에는 다음 스테이지의 상기 제2 출력단자(SOUT)로부터 출력된 스테이지 구동신호가 인가된다.

여기서, 상기 첫 번째 스테이지(SRC1)의 이전 스테이지가 존재하지 않기 때문에, 상기 첫 번째 스테이지(SRC1)의 입력단자(IN)에는 수직개시신호(STV)가 인가된다. 또한, 상기 더미 스테이지(SRC $n+1$)의 다음 스테이지가 존재하지 않기 때문에, 상기 더미 스테이지(SRC $n+1$)의 제어단자(CT)에는 상기 수직개시신호(STV)가 인가된다.

한편, 각각 스테이지들(SRC1 ~ SRC $2n+1$)은 게이트 오프전압(VSS)이 인가되는 전압단자를 더 포함한다.

도 5는 도 3에 도시된 소스 구동부의 상세한 블록도이다.

도 3 및 도 5를 참조하면, 소스 구동부(270)는 샘플링 래치부(271), 레벨 쉬프터부(272), 홀딩 래치부(273), 먹스부(274), DAC부(275) 및 디먹스부(276)를 포함한다.

상기 샘플링 래치부(271)는 복수의 샘플링 래치들(Sampling Latch :SL)을 포함하고, 상기 제어부(211)로부터 제공된 1H 구간에 대응하는 데이터신호들(R1, G1, B1, ..., Rk, Gk, Bk)을 순차적으로 래치시킨다.

상기 레벨 쉬프터부(272)는 복수의 레벨 쉬프터들(Level Shifter :LS)을 포함하고, 상기 쉬프트 레지스터부(271)로부터 출력된 데이터신호들의 레벨을 소정 레벨로 쉬프팅시킨다.

상기 홀딩 래치부(273)는 복수의 홀딩 래치들(Holding Latch :HL)을 포함하고, 상기 레벨 쉬프터부(272)로부터 출력된 데이터신호들을 순차적으로 래치하고, 상기 제어부(211)로부터 제공되는 제어신호(211b)에 기초하여 로딩시킨다.

상기 믹스부(274)는 상기 홀딩 래치부(273)로부터 출력되는 데이터신호들을 복수의 그룹으로 묶어, 각각의 그룹에 포함된 데이터신호들의 출력을 제어한다.

구체적으로, 도시된 바와 같이 홀딩 래치부(373)로부터 출력되는 데이터신호들(R1, G1, B1, ..., Rk, Gk, Bk)을 레드 데이터 그룹, 그린 데이터 그룹 및 블루 데이터 그룹으로 묶고, 각 그룹내의 레드, 그린 및 블루 데이터신호들의 출력을 제어한다.

먼저, 레드 데이터신호들(R1, ..Rk)을 상기 DAC부(275)에 출력하고, 다음 그린 데이터신호들(G1, ..Gk)을 상기 DAC부(275)에 출력하고, 이어 블루 데이터신호들(B1, ..Bk)을 상기 DAC부(275)에 출력한다.

상기 DAC부(275)는 상기 레드 데이터신호들(R1, ..., Rk)을 먼저 아날로그 형태의 데이터전압으로 변환하여 상기 디믹스부(376)에 출력한다. 상기 디믹스부(276)는 입력된 레드 데이터전압들을 제1 출력단들과 연결된 소스 배선들(DL1, DL4,...,DLm-2)들에 출력한다.

다음, 상기 DAC부(275)는 그린 데이터신호(G1, ..., Gk)를 아날로그 형태의 데이터전압으로 변환하여 디믹스부(276)에 출력한다. 상기 디믹스부(276)는 입력된 그린 데이터전압들을 제2 출력단들과 연결된 소스 배선들(DL2, DL6,...,DLm-1)들에 출력한다.

같은 방식으로 블루 데이터신호(B1, ..Bk)로 상기 DAC부(375)를 거쳐 디믹스부(376)의 제3 출력단들과 연결된 소스 배선들(DL3, DL7,...,DLm)들에 출력한다.

결과적으로 상기 소스 배선들(DL1, DL2, ..DLm)에 출력되는 데이터전압들은 상기 소스 구동부(270)의 출력방식에 대응하여 레드 데이터전압들 먼저 해당하는 소스 배선들(DL1, ..DLm-2)에 출력되고, 다음 그린 데이터전압들이 해당하는 소스 배선들(DL2, ..DLm-1)에 출력되고, 이어 블루 데이터전압들이 소스 배선들(DL3, ..DLm)에 출력된다.

도 6은 도 2에 도시된 액정표시장치의 구동 방법을 설명하기 위한 타이밍도이다.

도 2 내지 도 6을 참조하면, 소스 구동부(270)는 1H 구간 동안 상기 제어부(211)로부터 제공된 수평 라인의 데이터신호를 아날로그 형태의 데이터전압으로 변환하여 소스 배선들(DL1,..., DLm)에 출력한다(DATA_O).

구체적으로, 1H 구간 중 초기 H/2 구간 동안 상기 소스 구동부(270)는 첫 번째 수평 라인의 데이터전압(1L_O)을 출력하고, 게이트 회로부(230)는 첫 번째 수평 라인에 대응하는 제1 게이트 신호(G1t)를 출력하며, 전압 발생부(215)는 제1 공통 전압(VCOMt)을 상부 기판의 공통 전극에 출력한다. 상기 전압 발생부(215)는 상기 제1 공통 전압(VCOMt)과 동일한 전위의 제3 공통 전압(VSTGt)을 상기 하부 기판의 스토리지 공통 전극에 출력한다. 이때, 상기 소스 구동부(270)는 첫 번째 수평 라인의 데이터전압(1L_O)을 3×1 MUX 방식에 따라서 레드 데이터전압, 그린 데이터전압 및 블루 데이터전압 순으로 그룹핑하여 출력한다.

상기 투과부(Pt)의 제1 스위칭 소자(TFTt)는 상기 제1 게이트 신호(G1t)에 의해 턴-온 되어 상기 소스 배선(DL)으로 전달되는 데이터전압을 제1 액정 캐패시터(CLCT)의 제1 전극인, 투명 전극(TE)에 전달한다. 상기 제1 액정 캐패시터(CLCT)의 제2 전극인, 공통 전극에는 제1 공통 전압(VCOMt)이 전달된다.

이에 의해 상기 투과부(Pt)의 제1 액정 캐패시터(CLCT)에 충전되는 화소 전압(VDP), 즉, 상기 데이터전압(VD)과 상기 제1 공통 전압(VCOMt)의 전위차에 대응하는 제1 화소 전압(VPt)이 충전된다.

다음, 1H 구간의 후기 H/2 구간 동안 상기 소스 구동부(270)는 출력되고 있는 첫 번째 수평 라인의 데이터전압(1L_O)을 유지하고, 게이트 회로부(230)는 첫 번째 수평 라인에 대응하는 제2 게이트 신호(G1r)를 출력하며, 전압 발생부(215)는 제2 공통 전압(VCOMr)을 상부 기판의 공통 전극에 출력한다. 상기 전압 발생부(215)는 상기 제2 공통 전압(VCOMr)과 동일한 전위의 제4 공통 전압(VSTGr)을 하부기판의 스토리지 공통전극에 출력한다.

즉, 후기 H/2 구간 동안에는 상기 투과부(Pt)의 제1 스위칭 소자(TFTt)는 턴-오프 되고, 반사부(Pr)의 제2 스위칭 소자(TFTr)가 턴-온 된다.

이에 의해 상기 반사부(Pr)의 제2 스위칭 소자(TFTr)는 상기 제2 게이트 신호(G1r)에 의해 턴-온 되어 상기 소스 배선(DL)으로 전달되는 데이터전압은 상기 제2 액정 캐패시터(CLCr)에 직렬로 연결된 분할 캐패시터(CC)에 전달된다. 상기 분할 캐패시터(CC)에는 상기 데이터전압의 일부 데이터전압(VD1)이 충전되고, 나머지 데이터전압(VD2)이 상기 제2 액정 캐패시터(CLCr)에 충전된다. 한편, 상기 제2 액정 캐패시터(CLCr)의 제2 전극인 공통 전극에는 제2 공통 전압(VCOMr)이 인가된다.

이에 의해 상기 반사부(Pr)의 제2 액정 캐패시터(CLCr)에 충전되는 화소전압(VDP)은 상기 나머지 데이터전압(VD2)과 상기 제2 공통 전압(VCOMr)의 전위차에 대응하는 제2 화소 전압(VPr)이 충전된다. 상기 제2 화소 전압(VPr)은 상기 분할 캐패시터(CC)에 의해 상기 제1 화소 전압(VPt)이 분할되어 상기 제1 화소 전압(VPt) 보다 낮은 전압이 충전된다.

또한, 상기 투과부(Pt)가 구동되는 동안 제1 액정 캐패시터(CL Ct)에 인가되는 제1 공통 전압(VCOMt)과 상기 반사부(Pr)가 구동되는 동안 상기 제2 액정 캐패시터(CL Cr)에 인가되는 제2 공통 전압(VCOMr)간의 전압차(ΔV)에 의해 상기 분할 캐패시터(CC)에 의해 조절된 V-T 곡선 및 V-R 곡선 간의 옅어짐이 보상된다.

결과적으로 분할 캐패시터(CC)와 공통전압(VCOM)의 변동에 의해 V-T 곡선 및 V-R 곡선은 실질적으로 일치된다.

도 7은 본 발명의 실시예에 따른 시뮬레이션에 의한 V-T 곡선과 V-R 곡선을 도시한 그래프이다.

도 2 및 도 7을 참조하면, 반사부(Pr)의 제2 액정 캐패시터(CL Cr)와 직렬로 연결된 분할 캐패시터(CC)의 커패시턴스를 조절하여 V-R 곡선의 화이트 전압(VRw)과 블랙 전압(VRb)의 차(VRw-VRb)와 V-T 곡선의 화이트 전압(VTw)과 블랙 전압(VTb)의 차(VTw-VTb)와 실질적으로 동일하도록 조정한다.

또한, 화이트 전압과 블랙 전압의 차가 실질적으로 동일하도록 조정된 V-R 곡선 및 V-T 곡선 간의 옅어짐은 투과부(Pt)의 제1 액정 캐패시터(CL Ct)에 인가되는 제1 공통 전압(VCOMt)과 반사부(Pr)의 제2 액정 캐패시터(CL Cr)에 인가되는 제2 공통 전압(VCOMr)을 변동시켜 보상한다.

바람직하게 상기 제2 공통전압(VCOMr)은 상기 제2 공통 전압(VCOMr)은 투과 모드시의 데이터전압에 따른 액정층의 유전율과 반사 모드시의 데이터전압에 따른 액정층의 유전율을 비교하여 얻어진 값이다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명에 따르면 반사부의 제2 액정 캐패시터와 직렬로 연결된 분할 캐패시터를 형성하여 상기 분할 캐패시터의 커패시턴스를 조절함으로써 투과 모드의 화이트 전압과 블랙 전압의 차와 반사 모드의 화이트 전압과 블랙 전압의 차를 실질적으로 동일하게 할 수 있다.

또한, 상기 분할 캐패시터에 의해 조절된 V-T 곡선과 V-R 곡선의 옅어짐은 액정 캐패시터의 공통전압의 레벨을 조절하여 보상시킬 수 있다.

이에 의해 상기 V-T 곡선과 V-R 곡선을 실질적으로 일치시킴으로써 반사-투과형 액정표시장치의 화질을 향상시킬 수 있다.

이상에서는 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

도 1a는 VA 모드에서 전압 대 투과율을 나타낸 그래프이다.

도 1b는 VA 모드에서 전압 대 반사율을 나타낸 그래프이다.

도 2는 본 발명의 실시예에 따른 액정표시장치의 개략적인 평면도이다.

도 3은 도 2에 도시된 메인 구동부에 대한 상세한 블록도이다.

도 4는 도 2의 게이트 회로부에 대한 상세한 블록도이다.

도 5는 도 3에 도시된 소스 구동부의 상세한 블록도이다.

도 6은 도 4의 소스 구동부에 의한 액정표시장치의 구동 방법을 설명하기 위한 타이밍도이다.

도 7은 본 발명의 실시예에 따른 시뮬레이션에 의한 V-T곡선과 V-R곡선을 도시한 그래프이다.

<도면의 주요부분에 대한 부호의 설명>

100 : 액정표시패널 200 : 구동 장치

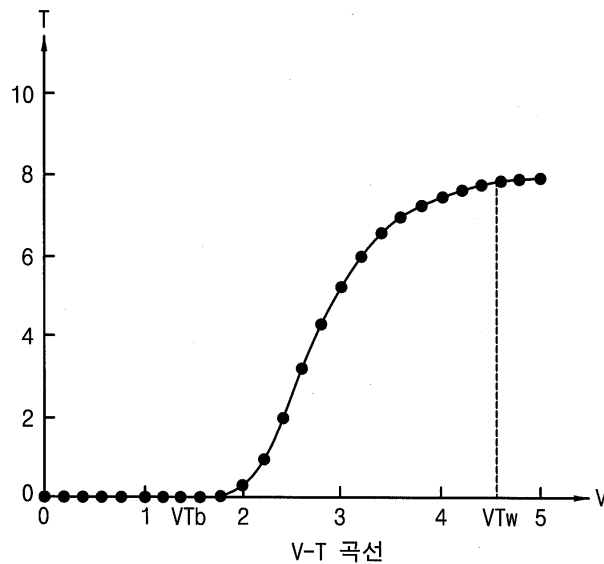
210 : 메인 구동부 211 : 제어부

215 : 전압 발생부 217 : 소스 구동부

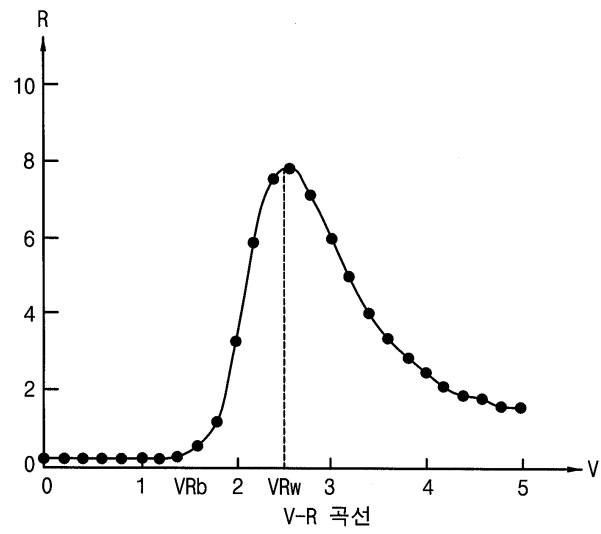
230 : 게이트 회로부 300 : 연성인쇄회로기판

도면

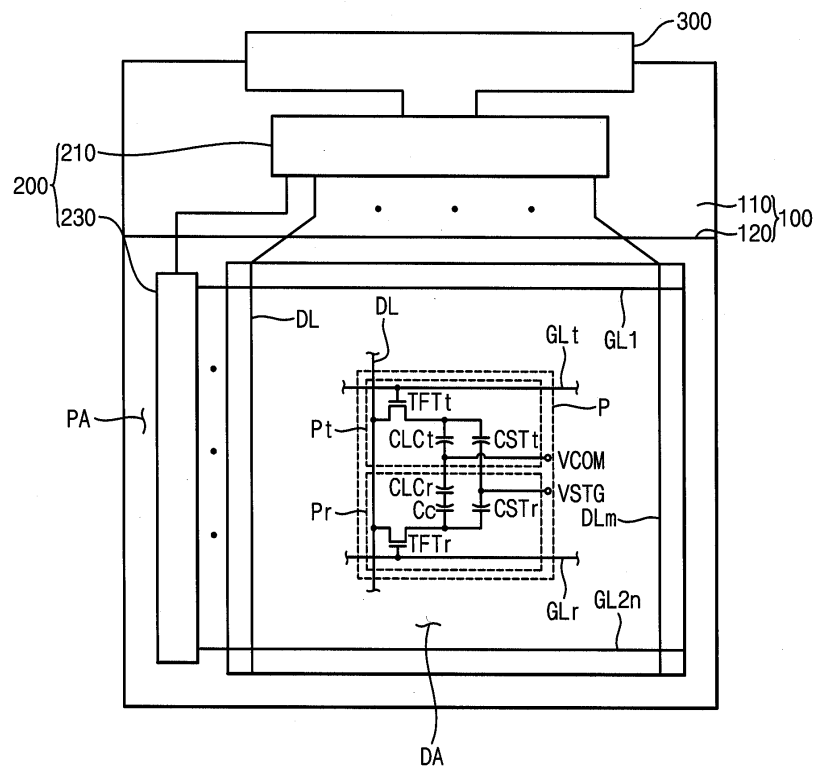
도면1a



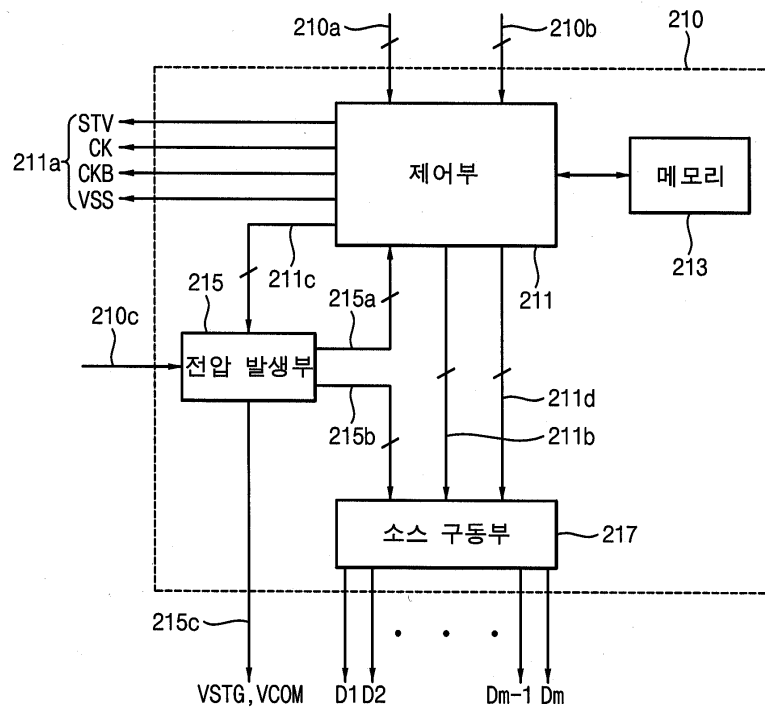
도면1b



도면2

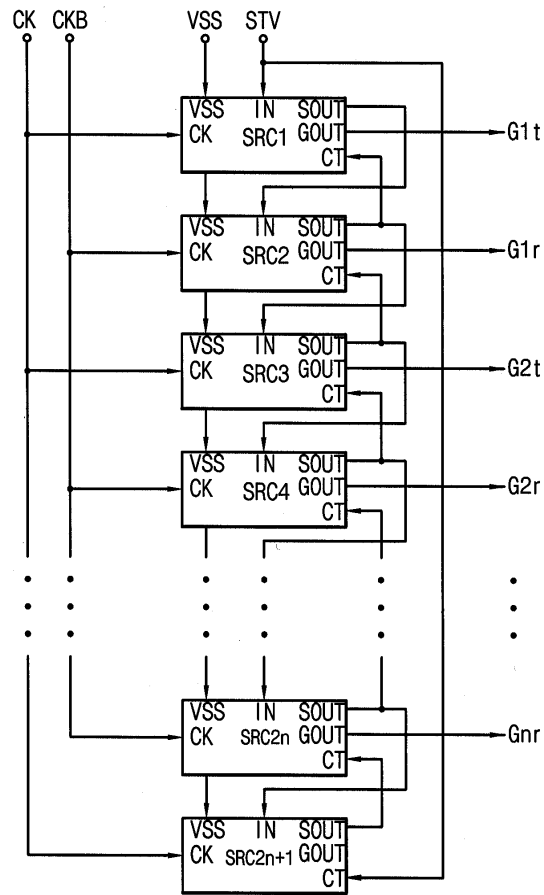


도면3

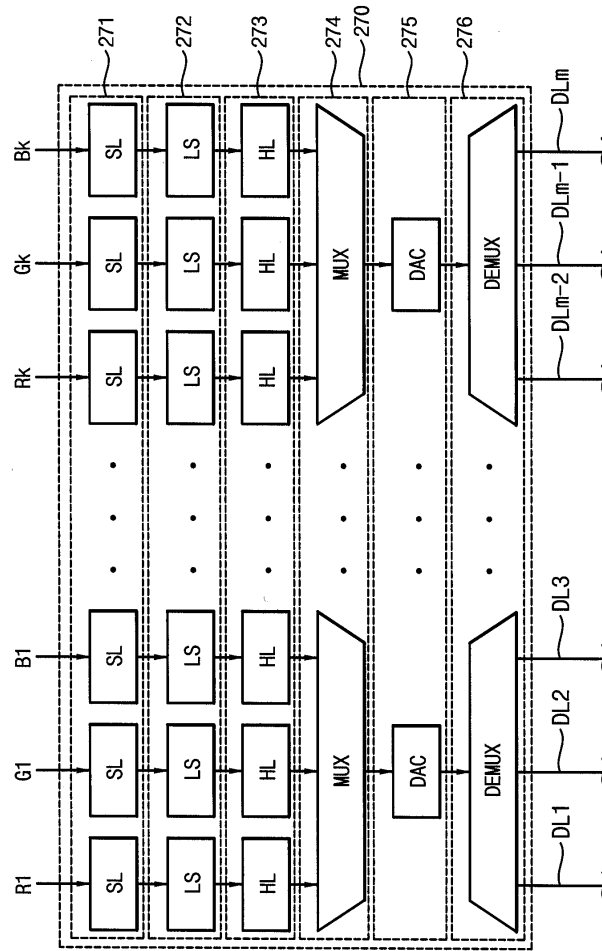


도면4

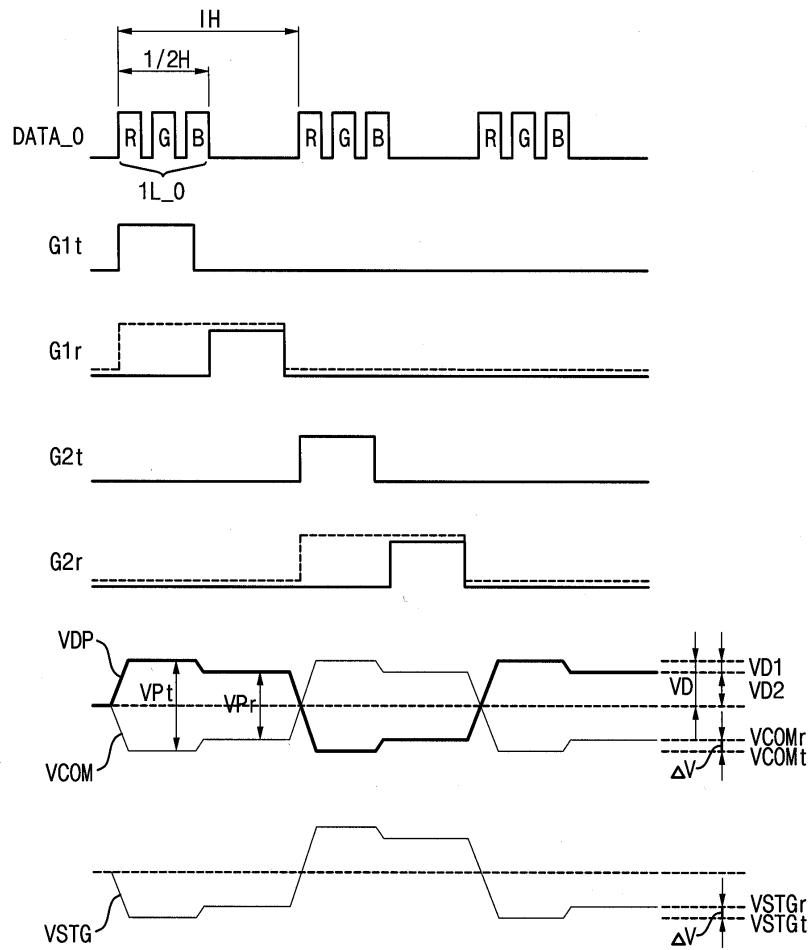
230



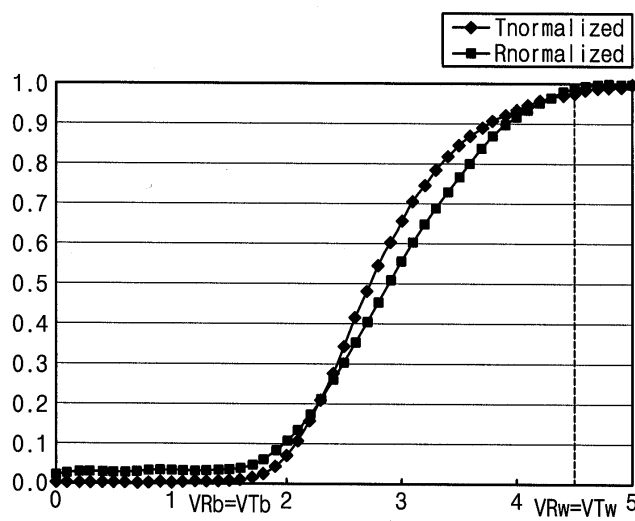
도면5



도면6



도면7



专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	KR1020070034673A	公开(公告)日	2007-03-29
申请号	KR1020050089114	申请日	2005-09-26
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	CHOI PIL MO 최필모 KIM IL GON 김일곤 KIM UNG SIK 김웅식 SONG SEOCK CHEON 송석천 LEE SANG HOON 이상훈 PARK KEUN WOO 박근우 MAENG HO SUK 맹호석		
发明人	최필모 김일곤 김웅식 송석천 이상훈 박근우 맹호석		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3655 G09G2300/0495		
代理人(译)	PARK , YOUNG WOO		
外部链接	Espacenet		

摘要(译)

公开了一种液晶显示器及其驱动方法，用于改善图像质量。液晶显示器包括LCD面板和驱动器。LCD面板包括多个像素。并且每个像素包括连接到第一栅极布线的第一开关装置，传输部分具有连接到第一开关装置的第一液晶电容器，连接到第二栅极布线的第二开关元件，以及具有第二开关装置的反射体液晶电容器连接到第二开关元件，分压电容器连接到第二开关元件，第二液晶电容器和间隔。当关于驱动器的第一开关装置接通时，第一公共电压在第一液晶电容器中被授权。当第一开关装置关断并且第二开关元件导通时，第二公共电压在第二液晶电容器中被授权。因此，通过包括第二液晶电容器和串联连接的分割电容器，分割电容器符合V-T曲线和V-R曲线，并且可以改善图像质量。分电容器，液晶电容器，反射体，传输部分，公共电压。

