



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

G09G 3/36 (2006.01)

G02F 1/133 (2006.01)

(11) 공개번호

10-2007-0002784

(43) 공개일자

2007년01월05일

(21) 출원번호 10-2005-0058454

(22) 출원일자 2005년06월30일

심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 김 빈
서울 양천구 목5동 목동4단지아파트 408동 2003호
장용호
경기 성남시 분당구 분당동 셋별마을삼부아파트 414-806
윤수영
경기 고양시 덕양구 행신2동 무원마을10단지아파트 서광아파트1010동
802호

(74) 대리인 김영호

전체 청구항 수 : 총 21 항

(54) 쉬프트 레지스터와 이를 이용한 액정표시장치

(57) 요약

본 발명은 배선 공간 및 기생 용량을 줄이면서 더미 스테이지를 리셋시키고 게이트펄스의 품질을 향상시키기 위한 쉬프트 레지스터와 이를 이용한 액정표시장치에 관한 것이다.

이 액정표시장치는 다수의 게이트라인들과 다수의 데이터라인들이 교차되고 다수의 액정셀들이 배치되는 액정표시패널과; 각각 제1 노드의 전압에 응답하여 출력단자의 충전을 제어하고 제2 노드의 전압에 응답하여 출력단자의 방전을 제어하여 출력신호를 순차적으로 쉬프트 시키기 위한 다수의 스테이지, 상기 다수의 스테이지 중 마지막 출력신호를 발생하는 마지막 스테이지의 상기 제1 노드에 접속된 더미 출력단자의 충전을 제3 노드의 전압에 응답하여 제어하고 제4 노드의 전압에 응답하여 상기 더미 출력단자의 방전을 제어하며 상기 제4 노드의 전압에 응답하여 상기 제3 노드를 리셋시키는 더미 스테이지를 포함하여 상기 게이트라인들에 게이트펄스를 순차적으로 공급하는 게이트 구동부와; 상기 데이터라인들에 데이터 전압을 공급하기 위한 데이터 구동회로를 구비한다.

대표도

도 8

특허청구의 범위

청구항 1.

각각 제1 노드의 전압에 응답하여 출력단자의 충전을 제어하고 제2 노드의 전압에 응답하여 출력단자의 방전을 제어하여 출력신호를 순차적으로 쉬프트 시키기 위한 다수의 스테이지와;

상기 다수의 스테이지 중 마지막 출력신호를 발생하는 마지막 스테이지의 상기 제1 노드에 접속된 더미 출력단자의 출력을 제3 노드의 전압에 응답하여 제어하고 제4 노드의 전압에 응답하여 상기 제3 노드를 리셋시키는 더미 스테이지를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 2.

제1 항에 있어서,

상기 더미 스테이지는,

마지막 스테이지 출력신호, 고전위 구동 전압, 저전위 구동 전압 및 클럭신호를 공급받는 것을 특징으로 하는 쉬프트 레지스터.

청구항 3.

제2 항에 있어서,

상기 더미 스테이지는,

출력단자에 출력신호를 공급하는 출력 버퍼와;

상기 출력 버퍼를 제어하는 제어부를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 4.

제3 항에 있어서,

상기 출력 버퍼는,

상기 제3 노드에 의해 제어되어 클럭신호에 따라 상기 출력단자에 하이 전압과 로우 전압 중 어느 하나를 공급하는 풀-업 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 5.

제4 항에 있어서,

상기 제어부는,

마지막 스테이지 출력신호를 공급받아 턴-온되어 제3 노드에 하이 전압을 공급함으로써 상기 풀-업 트랜지스터를 턴-온시켜 제1 클럭신호를 상기 출력단자에 공급시키는 제1 트랜지스터와;

제2 클럭신호의 하이 전압을 공급받아 턴-온됨으로써 제4 노드에 고전위 구동 전압을 공급하는 제4 트랜지스터와;

상기 제2 노드의 하이 전압을 통해 턴-온됨으로써 상기 제3 노드를 방전시키는 제3 및 제3a 트랜지스터와;

상기 마지막 스테이지의 출력신호를 공급받아 턴-온됨으로써 제4 노드를 방전시키는 제5 트랜지스터와;

상기 제1 노드의 하이 전압을 통해 턴-온됨으로써 상기 제4 노드를 방전시키는 제5a 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 6.

제4 항에 있어서,

상기 제어부는,

마지막 스테이지의 출력신호를 공급받아 턴-온되어 제3 노드에 하이 전압을 공급함으로써 상기 풀-업 트랜지스터를 턴-온시켜 제1 클럭신호를 상기 출력단자에 공급시키는 제1 트랜지스터와;

제4 클럭신호의 하이 전압을 공급받아 턴-온됨으로써 제5 노드를 고전위 구동 전압으로 충전시키는 제4a 트랜지스터와;

제5 노드의 하이 전압을 공급받아 턴-온됨으로써 제4 노드를 고전위 구동 전압으로 충전시키는 제4 트랜지스터와;

제2 클럭신호의 하이 전압을 공급받아 턴-온됨으로써 제5 노드를 방전시키는 제4b 트랜지스터와;

상기 마지막 스테이지의 출력신호를 공급받아 턴-온됨으로써 제5 노드를 방전시키는 제4c 트랜지스터와;

상기 제4 노드의 하이 전압을 통해 턴-온됨으로써 상기 제3 노드를 방전시키는 제3 및 제3a 트랜지스터와;

상기 제3 노드로부터 하이 전압을 공급받아 턴-온됨으로써 상기 제4 노드를 방전시키는 제5a 트랜지스터와;

상기 마지막 스테이지의 출력신호를 공급받아 턴-온됨으로써 제4 노드를 방전시키는 제5 트랜지스터와;

상기 제2 클럭신호의 하이 전압을 공급받아 턴-온됨으로써 제4 노드를 방전시키는 제5i 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 7.

제5 항 및 제6 항 중 어느 한 항에 있어서,

상기 출력 버퍼는,

제4 노드에 의해 제어되어 상기 출력단자에 저전위 구동 전압을 공급하는 풀-다운 트랜지스터를 더 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 8.

제4 항에 있어서,

상기 제4 노드는,

오드 프레임 기간 동안 상기 제3 노드를 방전시키기 위한 제1 QB 노드와;

이븐 프레임 기간 동안 상기 제3 노드를 방전시키기 위한 제2 QB 노드를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 9.

제8 항에 있어서,

상기 더미 스테이지는,

오드 프레임의 경우에는 오드 프레임 고전위 구동 전압이 공급되고,

이븐 프레임의 경우에는 이븐 프레임 고전위 구동 전압이 공급되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 10.

제9 항에 있어서,

상기 제어부는,

제3 노드를 충방전시키기 위한 제1 제어부와;

제1 QB 노드를 충방전시키기 위한 제2 제어부와;

제2 QB 노드를 충방전시키기 위한 제3 제어부를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 11.

제10 항에 있어서,

상기 제1 제어부는,

마지막 스테이지의 출력신호를 공급받아 턴-온되어 제3 노드에 하이 전압을 공급함으로써 상기 풀-업 트랜지스터를 턴-온시켜 제1 클럭신호를 상기 출력단자에 공급시키는 제1 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 12.

제11 항에 있어서,

상기 제2 제어부는,

오드 프레임 고전위 구동 전압을 공급받아 턴-온됨으로써 제1 QB 노드를 오드 프레임 고전위 구동 전압으로 충전시키는 제4_O 트랜지스터와;

상기 제1 QB 노드의 하이 전압을 공급받아 턴-온됨으로써 제3 노드를 방전시키는 제3_O 및 제3a_O 트랜지스터와;

마지막 스테이지 출력신호의 하이 전압을 공급받아 턴-온됨으로써 제1 QB 노드를 방전시키는 제5_O 트랜지스터와;

상기 제3 노드의 하이 전압을 공급받아 턴-온됨으로써 제1 QB 노드를 방전시키는 제5a_O 트랜지스터와;

상기 제2 QB 노드의 하이 전압을 공급받아 턴-온됨으로써 제1 QB 노드를 방전시키는 제5i_O 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 13.

제12 항에 있어서,

상기 제3 제어부는,

이븐 프레임 고전위 구동 전압을 공급받아 턴-온됨으로써 제2 QB 노드를 이븐 프레임 고전위 구동 전압으로 충전시키는 제4_E 트랜지스터와;

상기 제2 QB 노드의 하이 전압을 공급받아 턴-온됨으로써 제3 노드를 방전시키는 제3_E 및 제3a_E 트랜지스터와;

마지막 스테이지 출력신호의 하이 전압을 공급받아 턴-온됨으로써 제2 QB 노드를 방전시키는 제5_E 트랜지스터와;

상기 제3 노드의 하이 전압을 공급받아 턴-온됨으로써 제2 QB 노드를 방전시키는 제5a_E 트랜지스터와;

상기 제1 QB 노드의 하이 전압을 공급받아 턴-온됨으로써 제2 QB 노드를 방전시키는 제5i_E 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 14.

제11 항에 있어서,

상기 제2 제어부는,

오드 프레임 고전위 구동 전압을 공급받아 턴-온됨으로써 제1 QB 노드를 오드 프레임 고전위 구동 전압으로 충전시키는 제4_O 트랜지스터와;

상기 제1 QB 노드의 하이 전압을 공급받아 턴-온됨으로써 제3 노드를 방전시키는 제3_O 및 제3a_O 트랜지스터와;

마지막 스테이지 출력신호의 하이 전압을 공급받아 턴-온됨으로써 제1 QB 노드를 방전시키는 제5_O 트랜지스터와;

상기 제3 노드의 하이 전압을 공급받아 턴-온됨으로써 제1 QB 노드를 방전시키는 제5a_O 트랜지스터와;

이븐 프레임 고전위 구동 전압을 공급받아 턴-온됨으로써 제1 QB 노드를 방전시키는 제5i_O 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 15.

제14 항에 있어서,

상기 제3 제어부는,

이븐 프레임 고전위 구동 전압을 공급받아 턴-온됨으로써 제2 QB 노드를 이븐 프레임 고전위 구동 전압으로 충전시키는 제4_E 트랜지스터와;

상기 제2 QB 노드의 하이 전압을 공급받아 턴-온됨으로써 제3 노드를 방전시키는 제3_E 및 제3a_E 트랜지스터와;

마지막 스테이지 출력신호의 하이 전압을 공급받아 턴-온됨으로써 제2 QB 노드를 방전시키는 제5_E 트랜지스터와;

상기 제3 노드의 하이 전압을 공급받아 턴-온됨으로써 제2 QB 노드를 방전시키는 제5a_E 트랜지스터와;

오드 프레임 고전위 구동 전압을 공급받아 턴-온됨으로써 제2 QB 노드를 방전시키는 제5i_E 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 16.

제11 항에 있어서,

상기 제2 제어부는,

오드 프레임 고전위 구동 전압을 공급받아 턴-온됨으로써 오드 프레임 고전위 구동 전압을 제5 노드로 공급하는 제4a_O 트랜지스터와;

상기 제5 노드로부터 하이 전압을 공급받아 턴-온됨으로써 제1 QB 노드를 오드 프레임 고전위 구동 전압으로 충전시키는 제4_O 트랜지스터와;

마지막 스테이지 출력신호의 하이 전압을 공급받아 턴-온됨으로써 제5 노드를 방전시키는 제4b_O 트랜지스터와;

상기 제3 노드의 하이 전압을 공급받아 턴-온됨으로써 제5 노드를 방전시키는 제4c_O 트랜지스터와;

상기 제1 QB 노드의 하이 전압을 공급받아 턴-온됨으로써 제3 노드를 방전시키는 제3_O 및 제3a_O 트랜지스터와;

상기 마지막 스테이지 출력신호의 하이 전압을 공급받아 턴-온됨으로써 제1 QB 노드를 방전시키는 제5_O 트랜지스터와;

상기 제3 노드의 하이 전압을 공급받아 턴-온됨으로써 제1 QB 노드를 방전시키는 제5a_O 트랜지스터와;

상기 제2 QB 노드의 하이 전압을 공급받아 턴-온됨으로써 제1 QB 노드를 방전시키는 제5i_O 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 17.

제16 항에 있어서,

상기 제3 제어부는,

이븐 프레임 고전위 구동 전압을 공급받아 턴-온됨으로써 이븐 프레임 고전위 구동 전압을 제6 노드로 공급하는 제4a_E 트랜지스터와;

상기 제6 노드로부터 하이 전압을 공급받아 턴-온됨으로써 제2 QB 노드를 오드 프레임 고전위 구동 전압으로 충전시키는 제4_E 트랜지스터와;

마지막 스테이지 출력신호의 하이 전압을 공급받아 턴-온됨으로써 제6 노드를 방전시키는 제4b_E 트랜지스터와;

상기 제3 노드의 하이 전압을 공급받아 턴-온됨으로써 제6 노드를 방전시키는 제4c_E 트랜지스터와;

상기 제2 QB 노드의 하이 전압을 공급받아 턴-온됨으로써 제3 노드를 방전시키는 제3_E 및 제3a_E 트랜지스터와;

상기 마지막 스테이지 출력신호의 하이 전압을 공급받아 턴-온됨으로써 제2 QB 노드를 방전시키는 제5_E 트랜지스터와;

상기 제3 노드의 하이 전압을 공급받아 턴-온됨으로써 제2 QB 노드를 방전시키는 제5a_E 트랜지스터와;

상기 제1 QB 노드의 하이 전압을 공급받아 턴-온됨으로써 제2 QB 노드를 방전시키는 제5i_E 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 18.

제11 항에 있어서,

상기 제2 제어부는,

오드 프레임 고전위 구동 전압을 공급받아 턴-온됨으로써 오드 프레임 고전위 구동 전압을 제5 노드로 공급하는 제4a_O 트랜지스터와;

상기 제5 노드로부터 하이 전압을 공급받아 턴-온됨으로써 제1 QB 노드를 오드 프레임 고전위 구동 전압으로 충전시키는 제4_O 트랜지스터와;

마지막 스테이지 출력신호의 하이 전압을 공급받아 턴-온됨으로써 제5 노드를 방전시키는 제4b_O 트랜지스터와;

상기 제3 노드의 하이 전압을 공급받아 턴-온됨으로써 제5 노드를 방전시키는 제4c_O 트랜지스터와;

상기 제1 QB 노드의 하이 전압을 공급받아 턴-온됨으로써 제3 노드를 방전시키는 제3_O 및 제3a_O 트랜지스터와;

상기 마지막 스테이지 출력신호의 하이 전압을 공급받아 턴-온됨으로써 제1 QB 노드를 방전시키는 제5_O 트랜지스터와;

상기 제3 노드의 하이 전압을 공급받아 턴-온됨으로써 제1 QB 노드를 방전시키는 제5a_O 트랜지스터와;

이븐 프레임 고전위 구동 전압을 공급받아 턴-온됨으로써 제1 QB 노드를 방전시키는 제5i_O 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 19.

제18 항에 있어서,

상기 제3 제어부는,

이븐 프레임 고전위 구동 전압을 공급받아 턴-온됨으로써 이븐 프레임 고전위 구동 전압을 제6 노드로 공급하는 제4a_E 트랜지스터와;

상기 제6 노드로부터 하이 전압을 공급받아 턴-온됨으로써 제2 QB 노드를 오드 프레임 고전위 구동 전압으로 충전시키는 제4_E 트랜지스터와;

마지막 스테이지 출력신호의 하이 전압을 공급받아 턴-온됨으로써 제6 노드를 방전시키는 제4b_E 트랜지스터와;

상기 제3 노드의 하이 전압을 공급받아 턴-온됨으로써 제6 노드를 방전시키는 제4c_E 트랜지스터와;

상기 제2 QB 노드의 하이 전압을 공급받아 턴-온됨으로써 제3 노드를 방전시키는 제3_E 및 제3a_E 트랜지스터와;

상기 마지막 스테이지 출력신호의 하이 전압을 공급받아 턴-온됨으로써 제2 QB 노드를 방전시키는 제5_E 트랜지스터와;

상기 제3 노드의 하이 전압을 공급받아 턴-온됨으로써 제2 QB 노드를 방전시키는 제5a_E 트랜지스터와;

오드 프레임 고전위 구동 전압을 공급받아 턴-온됨으로써 제2 QB 노드를 방전시키는 제5i_E 트랜지스터를 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 20.

제13 항, 제15 항, 제17 항 및 제19 항 중 어느 한 항에 있어서,

상기 출력 버퍼는,

제1 QB 노드에 의해 제어되어 상기 출력단자에 저전위 구동 전압을 공급하는 제1 풀-다운 트랜지스터와;

제2 QB 노드에 의해 제어되어 상기 출력단자에 저전위 구동 전압을 공급하는 제2 풀-다운 트랜지스터를 더 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 21.

다수의 게이트라인들과 다수의 데이터라인들이 교차되고 다수의 액정셀들이 배치되는 액정표시패널과;

각각 제1 노드의 전압에 응답하여 출력단자의 충전을 제어하고 제2 노드의 전압에 응답하여 출력단자의 방전을 제어하여 출력신호를 순차적으로 쉬프트 시키기 위한 다수의 스테이지, 상기 다수의 스테이지 중 마지막 출력신호를 발생하는 마지막 스테이지의 상기 제1 노드에 접속된 더미 출력단자의 충전을 제3 노드의 전압에 응답하여 제어하고 제4 노드의 전압에 응답하여 상기 더미 출력단자의 방전을 제어하며 상기 제4 노드의 전압에 응답하여 상기 제3 노드를 리셋시키는 더미 스테이지를 포함하여 상기 게이트라인들에 게이트펄스를 순차적으로 공급하는 게이트 구동부와;

상기 데이터라인들에 데이터 전압을 공급하기 위한 데이터 구동회로를 구비하는 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 배선 공간 및 기생 용량을 줄이면서 더미 스테이지를 리셋시키고 게이트펄스의 품질을 향상시키기 위한 쉬프트 레지스터와 이를 이용한 액정표시장치에 관한 것이다.

액정표시장치는 사무기기의 표시소자부터 컴퓨터의 모니터, 나아가 최근의 공정기술과 구동기술의 발전에 힘입어 대화면의 텔레비전(Television)에 이르기까지 광범위하게 이용되고 있는 평판 표시장치이다. 이러한 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정표시장치는 액정셀들이 매트릭스 형태로 배열된 액정표시패널과, 액정표시패널을 구동하기 위한 구동 회로를 구비한다.

도 1을 참조하면, 종래의 일반적인 액정표시장치는 $m \times n$ 개의 액정셀들(Clc)이 매트릭스 타입으로 배열되고 m 개의 데이터 라인들(D1 내지 Dm)과 n 개의 게이트 라인들(G1 내지 Gn)이 교차되며 그 교차부에 박막 트랜지스터(TFT)가 접속된 액정 표시패널(13)과, 액정표시패널(13)의 데이터 라인들(D1 내지 Dm)에 데이터를 공급하는 데이터 구동회로(11)와, 게이트 라인들(G1 내지 Gn)에 스캔 펄스를 공급하는 게이트 구동회로(12)를 구비한다.

액정표시패널(13)은 박막 트랜지스터 어레이가 형성된 박막 트랜지스터 기관과 컬러 필터 어레이가 형성된 컬러 필터 기관이 액정 층을 사이에 두고 합착 되어 형성된다. 이 액정표시패널(13)의 박막 트랜지스터 기관에 형성된 데이터 라인들(D1 내지 Dm)과 게이트 라인들(G1 내지 Gn)은 상호 직교 된다. 데이터 라인들(D1 내지 Dm)과 게이트 라인들(G1 내지 Gn)의 교차부에 접속된 박막 트랜지스터(TFT)는 게이트 라인(G1 내지 Gn)의 스캔 펄스에 응답하여 데이터 라인(D1 내지 Dn)을 통해 공급된 데이터 전압을 액정셀(Clc)의 화소 전극에 공급하게 된다. 컬러 필터 기관에는 블랙 매트릭스, 컬러 필터 및 공통 전극 등이 형성된다. 이에 따라, 액정셀(Clc)은 화소 전극에 공급된 데이터 전압과, 공통 전극에 공급된 공통 전압과의 전위차에 의해 유전 이방성을 갖는 액정이 회전하여 광 투과율을 조절하게 된다. 그리고 액정표시패널(13)의 박막 트랜지스터 기관과 컬러 필터 기관상에는 광축이 직교하는 편광판이 부착되고, 액정 층과 접하는 내측면 상에는 액정의 프리틸트각을 결정하는 배향막이 더 형성된다. 또한, 액정셀(Clc) 각각에는 스토리지 캐패시터(Cst)가 더 형성된다. 스토리지 캐패시터(Cst)는 화소 전극과 전단 게이트 라인 사이에 형성되거나, 화소 전극과 도시하지 않은 공통 라인 사이에 형성되어 액정셀(Clc)에 충전된 데이터 전압을 일정하게 유지시킨다.

데이터 구동회로(11)는 입력된 디지털 비디오 데이터를 감마 전압을 이용하여 아날로그 데이터 전압으로 변환하고 데이터 라인들(D1 내지 Dm)에 공급한다.

게이트 구동회로(12)는 스캔 펄스를 게이트 라인들(G1 내지 Gn)에 순차적으로 공급하여 데이터가 공급될 액정셀(Clc)의 수평 라인을 선택한다.

구체적으로, 게이트 구동회로(12)는 도 2에 도시된 바와 같이 각 게이트 라인에 연결되는 스테이지와 스테이지에 공급되는 고전위 구동 전압(VDD), 저전위 구동 전압(VSS), 스타트 펄스(Vst) 및 클럭신호(CLK)로 형성된다. 스테이지는 고전위 구동 전압(VDD), 저전위 구동 전압(VSS) 및 스타트 펄스(Vst)를 공급받아 클럭신호(CLK)를 이용하여 구동된다. 각각의 스테이지는 한 프레임 주기 동안 한번의 출력 전압(Vg_out)을 스캔 펄스로 각 게이트 라인에 공급한다. 이러한 출력은 순차적으로 발생하여 각 출력은 다음 스테이지 구동을 위한 스타트 펄스와 이전 스테이지를 리셋시키기 위한 리셋 신호로 작용한다. 더미 스테이지는 n 번째 단 스테이지를 리셋시키기 위해 반드시 추가로 구비되어야 한다. 이 더미 스테이지를 리셋시키기 위해서는 일반적으로 스타트 펄스(Vst)를 이용한다. 하지만, 스타트 펄스(Vst)의 배선을 쉬프트 레지스터 전체에 걸쳐 연장해야 하기 때문에 레이아웃 공간이 손실될 뿐만 아니라 스타트 펄스(Vst)의 배선을 세로로 배치하기 때문에 가로 라인들과의 오버랩으로 인해 기생 용량이 증가하고, 증가된 기생 용량에 의해 더미 스테이지 출력신호가 왜곡되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 불필요한 배선 공간과 기생 용량을 줄이면서 더미 스테이지의 출력을 리셋시키고 더미 스테이지의 출력을 안정화하도록 하는 쉬프트 레지스터와 이를 이용한 액정표시장치를 제공함에 있다.

발명의 구성

상기 목적을 달성하기 위하여, 본 발명에 따른 쉬프트 레지스터는 각각 제1 노드의 전압에 응답하여 출력단자의 충전을 제어하고 제2 노드의 전압에 응답하여 출력단자의 방전을 제어하여 출력신호를 순차적으로 쉬프트시키기 위한 다수의 스테이지와; 상기 다수의 스테이지 중 마지막 출력신호를 발생하는 마지막 스테이지의 상기 제1 노드에 접속된 더미 출력단자의 출력을 제3 노드의 전압에 응답하여 제어하고 제4 노드의 전압에 응답하여 상기 제3 노드를 리셋시키는 더미 스테이지를 구비한다.

상기 더미 스테이지는 마지막 스테이지 출력신호, 고전위 구동 전압, 저전위 구동 전압 및 클럭신호를 공급받는다.

상기 더미 스테이지는 출력단자에 출력신호를 공급하는 출력 버퍼와; 상기 출력 버퍼를 제어하는 제어부를 구비

상기 출력 버퍼는 상기 제3 노드에 의해 제어되어 클럭신호에 따라 상기 출력단자에 하이 전압과 로우 전압 중 어느 하나를 공급하는 풀-업 트랜지스터를 구비한다.

상기 제어부는 마지막 스테이지 출력신호를 공급받아 턴-온되어 제3 노드에 하이 전압을 공급함으로써 상기 풀-업 트랜지스터를 턴-온시켜 제1 클럭신호를 상기 출력단자에 공급시키는 제1 트랜지스터와; 제2 클럭신호의 하이 전압을 공급받아 턴-온됨으로써 제4 노드에 고전위 구동 전압을 공급하는 제4 트랜지스터와; 상기 제2 노드의 하이 전압을 통해 턴-온

됨으로써 상기 제3 노드를 방전시키는 제3 및 제3a 트랜지스터와; 상기 마지막 스테이지의 출력신호를 공급받아 턴-온됨으로써 제4 노드를 방전시키는 제5 트랜지스터와; 상기 제1 노드의 하이 전압을 통해 턴-온됨으로써 상기 제4 노드를 방전시키는 제5a 트랜지스터를 구비한다.

상기 제어부는 마지막 스테이지의 출력신호를 공급받아 턴-온되어 제3 노드에 하이 전압을 공급함으로써 상기 풀-업 트랜지스터를 턴-온시켜 제1 클럭신호를 상기 출력단자에 공급시키는 제1 트랜지스터와; 제4 클럭신호의 하이 전압을 공급받아 턴-온됨으로써 제5 노드를 고전위 구동 전압으로 충전시키는 제4a 트랜지스터와; 제5 노드의 하이 전압을 공급받아 턴-온됨으로써 제4 노드를 고전위 구동 전압으로 충전시키는 제4 트랜지스터와; 제2 클럭신호의 하이 전압을 공급받아 턴-온됨으로써 제5 노드를 방전시키는 제4b 트랜지스터와; 상기 마지막 스테이지의 출력신호를 공급받아 턴-온됨으로써 제5 노드를 방전시키는 제4c 트랜지스터와; 상기 제4 노드의 하이 전압을 통해 턴-온됨으로써 상기 제3 노드를 방전시키는 제3 및 제3a 트랜지스터와; 상기 제3 노드로부터 하이 전압을 공급받아 턴-온됨으로써 상기 제4 노드를 방전시키는 제5a 트랜지스터와; 상기 마지막 스테이지의 출력신호를 공급받아 턴-온됨으로써 제4 노드를 방전시키는 제5 트랜지스터와; 상기 제2 클럭신호의 하이 전압을 공급받아 턴-온됨으로써 제4 노드를 방전시키는 제5i 트랜지스터를 구비한다.

상기 출력 버퍼는 제4 노드에 의해 제어되어 상기 출력단자에 저전위 구동 전압을 공급하는 풀-다운 트랜지스터를 더 구비한다.

상기 제4 노드는 오드 프레임 기간 동안 상기 제3 노드를 방전시키기 위한 제1 QB 노드와; 이븐 프레임 기간 동안 상기 제3 노드를 방전시키기 위한 제2 QB 노드를 구비한다.

상기 더미 스테이지는 오드 프레임의 경우에는 오드 프레임 고전위 구동 전압이 공급되고, 이븐 프레임의 경우에는 이븐 프레임 고전위 구동 전압이 공급된다.

상기 제어부는 제3 노드를 충방전시키기 위한 제1 제어부와; 제1 QB 노드를 충방전시키기 위한 제2 제어부와; 제2 QB 노드를 충방전시키기 위한 제3 제어부를 구비한다.

상기 제1 제어부는 마지막 스테이지의 출력신호를 공급받아 턴-온되어 제3 노드에 하이 전압을 공급함으로써 상기 풀-업 트랜지스터를 턴-온시켜 제1 클럭신호를 상기 출력단자에 공급시키는 제1 트랜지스터를 구비한다.

상기 제2 제어부는 오드 프레임 고전위 구동 전압을 공급받아 턴-온됨으로써 제1 QB 노드를 오드 프레임 고전위 구동 전압으로 충전시키는 제4_O 트랜지스터와; 상기 제1 QB 노드의 하이 전압을 공급받아 턴-온됨으로써 제3 노드를 방전시키는 제3_O 및 제3a_O 트랜지스터와; 마지막 스테이지 출력신호의 하이 전압을 공급받아 턴-온됨으로써 제1 QB 노드를 방전시키는 제5_O 트랜지스터와; 상기 제3 노드의 하이 전압을 공급받아 턴-온됨으로써 제1 QB 노드를 방전시키는 제5a_O 트랜지스터와; 상기 제2 QB 노드의 하이 전압을 공급받아 턴-온됨으로써 제1 QB 노드를 방전시키는 제5i_O 트랜지스터를 구비한다.

상기 제3 제어부는 이븐 프레임 고전위 구동 전압을 공급받아 턴-온됨으로써 제2 QB 노드를 이븐 프레임 고전위 구동 전압으로 충전시키는 제4_E 트랜지스터와; 상기 제2 QB 노드의 하이 전압을 공급받아 턴-온됨으로써 제3 노드를 방전시키는 제3_E 및 제3a_E 트랜지스터와; 마지막 스테이지 출력신호의 하이 전압을 공급받아 턴-온됨으로써 제2 QB 노드를 방전시키는 제5_E 트랜지스터와; 상기 제3 노드의 하이 전압을 공급받아 턴-온됨으로써 제2 QB 노드를 방전시키는 제5a_E 트랜지스터와; 상기 제1 QB 노드의 하이 전압을 공급받아 턴-온됨으로써 제2 QB 노드를 방전시키는 제5i_E 트랜지스터를 구비한다.

상기 제2 제어부는 오드 프레임 고전위 구동 전압을 공급받아 턴-온됨으로써 제1 QB 노드를 오드 프레임 고전위 구동 전압으로 충전시키는 제4_O 트랜지스터와; 상기 제1 QB 노드의 하이 전압을 공급받아 턴-온됨으로써 제3 노드를 방전시키는 제3_O 및 제3a_O 트랜지스터와; 마지막 스테이지 출력신호의 하이 전압을 공급받아 턴-온됨으로써 제1 QB 노드를 방전시키는 제5_O 트랜지스터와; 상기 제3 노드의 하이 전압을 공급받아 턴-온됨으로써 제1 QB 노드를 방전시키는 제5a_O 트랜지스터와; 이븐 프레임 고전위 구동 전압을 공급받아 턴-온됨으로써 제1 QB 노드를 방전시키는 제5i_O 트랜지스터를 구비한다.

상기 제3 제어부는 이븐 프레임 고전위 구동 전압을 공급받아 턴-온됨으로써 제2 QB 노드를 이븐 프레임 고전위 구동 전압으로 충전시키는 제4_E 트랜지스터와; 상기 제2 QB 노드의 하이 전압을 공급받아 턴-온됨으로써 제3 노드를 방전시키는 제3_E 및 제3a_E 트랜지스터와; 마지막 스테이지 출력신호의 하이 전압을 공급받아 턴-온됨으로써 제2 QB 노드를

방전시키는 제5_E 트랜지스터와; 상기 제3 노드의 하이 전압을 공급받아 턴-온됨으로써 제2 QB 노드를 방전시키는 제5a_E 트랜지스터와; 오드 프레임 고전위 구동 전압을 공급받아 턴-온됨으로써 제2 QB 노드를 방전시키는 제5i_E 트랜지스터를 구비한다.

상기 제2 제어부는 오드 프레임 고전위 구동 전압을 공급받아 턴-온됨으로써 오드 프레임 고전위 구동 전압을 제5 노드로 공급하는 제4a_O 트랜지스터와; 상기 제5 노드로부터 하이 전압을 공급받아 턴-온됨으로써 제1 QB 노드를 오드 프레임 고전위 구동 전압으로 충전시키는 제4_O 트랜지스터와; 마지막 스테이지 출력신호의 하이 전압을 공급받아 턴-온됨으로써 제5 노드를 방전시키는 제4b_O 트랜지스터와; 상기 제3 노드의 하이 전압을 공급받아 턴-온됨으로써 제5 노드를 방전시키는 제4c_O 트랜지스터와; 상기 제1 QB 노드의 하이 전압을 공급받아 턴-온됨으로써 제3 노드를 방전시키는 제3_O 및 제3a_O 트랜지스터와; 상기 마지막 스테이지 출력신호의 하이 전압을 공급받아 턴-온됨으로써 제1 QB 노드를 방전시키는 제5_O 트랜지스터와; 상기 제3 노드의 하이 전압을 공급받아 턴-온됨으로써 제1 QB 노드를 방전시키는 제5a_O 트랜지스터와; 상기 제2 QB 노드의 하이 전압을 공급받아 턴-온됨으로써 제1 QB 노드를 방전시키는 제5i_O 트랜지스터를 구비한다.

상기 제3 제어부는 이븐 프레임 고전위 구동 전압을 공급받아 턴-온됨으로써 이븐 프레임 고전위 구동 전압을 제6 노드로 공급하는 제4a_E 트랜지스터와; 상기 제6 노드로부터 하이 전압을 공급받아 턴-온됨으로써 제2 QB 노드를 오드 프레임 고전위 구동 전압으로 충전시키는 제4_E 트랜지스터와; 마지막 스테이지 출력신호의 하이 전압을 공급받아 턴-온됨으로써 제6 노드를 방전시키는 제4b_E 트랜지스터와; 상기 제3 노드의 하이 전압을 공급받아 턴-온됨으로써 제6 노드를 방전시키는 제4c_E 트랜지스터와; 상기 제2 QB 노드의 하이 전압을 공급받아 턴-온됨으로써 제3 노드를 방전시키는 제3_E 및 제3a_E 트랜지스터와; 상기 마지막 스테이지 출력신호의 하이 전압을 공급받아 턴-온됨으로써 제2 QB 노드를 방전시키는 제5_E 트랜지스터와; 상기 제3 노드의 하이 전압을 공급받아 턴-온됨으로써 제2 QB 노드를 방전시키는 제5a_E 트랜지스터와; 상기 제1 QB 노드의 하이 전압을 공급받아 턴-온됨으로써 제2 QB 노드를 방전시키는 제5i_E 트랜지스터를 구비한다.

상기 제2 제어부는 오드 프레임 고전위 구동 전압을 공급받아 턴-온됨으로써 오드 프레임 고전위 구동 전압을 제5 노드로 공급하는 제4a_O 트랜지스터와; 상기 제5 노드로부터 하이 전압을 공급받아 턴-온됨으로써 제1 QB 노드를 오드 프레임 고전위 구동 전압으로 충전시키는 제4_O 트랜지스터와; 마지막 스테이지 출력신호의 하이 전압을 공급받아 턴-온됨으로써 제5 노드를 방전시키는 제4b_O 트랜지스터와; 상기 제3 노드의 하이 전압을 공급받아 턴-온됨으로써 제5 노드를 방전시키는 제4c_O 트랜지스터와; 상기 제1 QB 노드의 하이 전압을 공급받아 턴-온됨으로써 제3 노드를 방전시키는 제3_O 및 제3a_O 트랜지스터와; 상기 마지막 스테이지 출력신호의 하이 전압을 공급받아 턴-온됨으로써 제1 QB 노드를 방전시키는 제5_O 트랜지스터와; 상기 제3 노드의 하이 전압을 공급받아 턴-온됨으로써 제1 QB 노드를 방전시키는 제5a_O 트랜지스터와; 이븐 프레임 고전위 구동 전압을 공급받아 턴-온됨으로써 제1 QB 노드를 방전시키는 제5i_O 트랜지스터를 구비한다.

상기 제3 제어부는 이븐 프레임 고전위 구동 전압을 공급받아 턴-온됨으로써 이븐 프레임 고전위 구동 전압을 제6 노드로 공급하는 제4a_E 트랜지스터와; 상기 제6 노드로부터 하이 전압을 공급받아 턴-온됨으로써 제2 QB 노드를 오드 프레임 고전위 구동 전압으로 충전시키는 제4_E 트랜지스터와; 마지막 스테이지 출력신호의 하이 전압을 공급받아 턴-온됨으로써 제6 노드를 방전시키는 제4b_E 트랜지스터와; 상기 제3 노드의 하이 전압을 공급받아 턴-온됨으로써 제6 노드를 방전시키는 제4c_E 트랜지스터와; 상기 제2 QB 노드의 하이 전압을 공급받아 턴-온됨으로써 제3 노드를 방전시키는 제3_E 및 제3a_E 트랜지스터와; 상기 마지막 스테이지 출력신호의 하이 전압을 공급받아 턴-온됨으로써 제2 QB 노드를 방전시키는 제5_E 트랜지스터와; 상기 제3 노드의 하이 전압을 공급받아 턴-온됨으로써 제2 QB 노드를 방전시키는 제5a_E 트랜지스터와; 오드 프레임 고전위 구동 전압을 공급받아 턴-온됨으로써 제2 QB 노드를 방전시키는 제5i_E 트랜지스터를 구비한다..

상기 출력 버퍼는 제1 QB 노드에 의해 제어되어 상기 출력단자에 저전위 구동 전압을 공급하는 제1 풀-다운 트랜지스터와; 제2 QB 노드에 의해 제어되어 상기 출력단자에 저전위 구동 전압을 공급하는 제2 풀-다운 트랜지스터를 더 구비한다.

본 발명에 따른 액정표시장치는 다수의 게이트라인들과 다수의 데이터라인들이 교차되고 다수의 액정셀들이 배치되는 액정표시패널과; 각각 제1 노드의 전압에 응답하여 출력단자의 충전을 제어하고 제2 노드의 전압에 응답하여 출력단자의 방전을 제어하여 출력신호를 순차적으로 쉬프트시키기 위한 다수의 스테이지, 상기 다수의 스테이지 중 마지막 출력신호를 발생하는 마지막 스테이지의 상기 제1 노드에 접속된 더미 출력단자의 충전을 제3 노드의 전압에 응답하여 제어하고 제4 노드의 전압에 응답하여 상기 더미 출력단자의 방전을 제어하며 상기 제4 노드의 전압에 응답하여 상기 제3 노드를 리셋시키는 더미 스테이지를 포함하여 상기 게이트라인들에 게이트펄스를 순차적으로 공급하는 게이트 구동부와; 상기 데이터라인들에 데이터 전압을 공급하기 위한 데이터 구동회로를 구비한다.

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면들을 참조한 본 발명의 바람직한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 본 발명의 바람직한 실시 예를 도 3 내지 도 24를 참조하여 설명하기로 한다.

도 3은 본 발명에 따른 쉬프트 레지스터를 개략적으로 나타내는 도면이다.

도 3을 참조하면, 제 n 스테이지(31)와 더미 스테이지(32)는 Q 노드의 제어에 의해 클럭신호(CLKV, CLKVB)를 출력하는 풀-업 트랜지스터(T6)와 QB 노드의 제어에 의해 저전위 구동 전압(VSS)을 출력하는 풀-다운 트랜지스터(T7)로 구성된 출력 버퍼와, Q 노드와 QB 노드를 제어하는 제1 내지 제5 트랜지스터(T1 내지 T5)로 구성된 제어부를 구비한다. 이러한 제 n 스테이지(31)와 더미 스테이지(32)에는 고전위 구동 전압 및 저전위 구동 전압(VDD, VSS)과 이전 스테이지의 출력신호가 공급되고, 도 4a 및 4b에 도시된 바와 같이 위상이 서로 다른 제1 및 제2 클럭신호(CLKV, CLKVB)가 공급된다. 이하, 제 n 스테이지(31) 및 더미 스테이지(32)의 동작 과정을 각각 도 4a 및 도 4b에 도시된 구동 파형을 참조하여 상세히 설명하기로 한다.

먼저 제 n 스테이지(31)는 도 4a를 참조하면, A 기간에서 제 $n-1$ 스테이지 출력신호(V_{g_outn-1})의 하이 전압에 의해 제1 트랜지스터(T1)가 턴-온되어 하이 전압이 Q 노드로 프리-차지된다. Q 노드로 프리-차지된 하이 전압에 의해 풀-업 트랜지스터(T6)가 턴-온되어 제1 클럭신호(CLKV)의 로우 전압이 출력신호(V_{g_outn})로 n 번째 게이트 라인(GL $_n$)에 공급된다. 이때, Q 노드의 하이 전압에 따라 턴-온된 제5 트랜지스터(T5)에 의해 QB 노드는 로우 전압 상태가 되어 제3 및 풀-다운 트랜지스터(T3, T7)가 턴-오프된다.

B 기간에서 제 $n-1$ 스테이지 출력신호(V_{g_outn-1})의 로우 전압에 의해 제1 트랜지스터(T1)가 턴-오프되므로 Q 노드는 하이 전압 상태로 플로팅되고, 풀-업 트랜지스터(T6)는 턴-온 상태를 유지한다. 이때, 제1 클럭신호(CLKV)의 하이 전압에 의해 Q 노드는 풀-업 트랜지스터(T6)의 게이트 전극과 드레인 전극의 중첩으로 형성된 기생 캐패시턴스의 영향으로 부트스트래핑(Bootstrapping)되어 A 기간보다 더 높은 전압으로 충전된다. 이에 따라, 풀-업 트랜지스터(T6)가 확실하게 턴-온됨으로써 제1 클럭신호(CLKV)의 하이 전압이 출력신호(V_{g_outn})로 n 번째 게이트 라인(GL $_n$)에 빠르게 공급된다. 한편, Q 노드에 의해 턴-온된 제5a 트랜지스터(T5a)를 통해 방전된 QB 노드는 로우 전압 상태를 유지한다.

C 기간에서는 더미 스테이지 출력신호(V_{g_outn+1})의 하이 전압에 의해 제3a 트랜지스터(T3a)가 턴-온되고, 고전위 구동 전압(VDD)에 의해 턴-온된 제4 트랜지스터(T4)를 통해 고전위 구동 전압(VDD)이 공급되어 QB 노드는 하이 전압 상태가 되고 제3 및 풀-다운 트랜지스터(T3, T7)를 턴-온시킨다. 턴-온된 제3 및 제3a 트랜지스터에 의해 Q 노드는 빠르게 방전되고, 턴-온된 풀-다운 트랜지스터(T7)에 의해 로우 전압이 출력신호(V_{g_outn})로 n 번째 게이트 라인(GL $_n$)에 공급된다.

D 기간에서는 C 기간에서 하이 전압 상태로 플로팅된 QB 노드가 플로팅 상태를 유지하여 제3 및 풀-다운 트랜지스터(T3 및 T7)를 턴-온시킨다. 이로 인해 Q 노드는 방전되어 로우 전압 상태를 유지하고 로우 전압이 출력신호(V_{g_outn})로 n 번째 게이트 라인(GL $_n$)에 공급된다. 다음 프레임에서 제 $n-1$ 스테이지 출력신호(V_{g_outn-1})가 공급될 때까지 출력신호(V_{g_outn})는 D 기간의 로우 전압 상태를 유지한다.

더미 스테이지(32)는 도 4b를 참조하면, A' 기간에서 제 n 스테이지 출력신호(V_{g_outn})의 하이 전압에 의해 제1 트랜지스터(T1)가 턴-온되어 하이 전압이 Q 노드로 프리-차지된다. Q 노드로 프리-차지된 하이 전압에 의해 풀-업 트랜지스터(T6)가 턴-온되어 제2 클럭신호(CLKVB)의 로우 전압이 출력된다. 이때, Q 노드의 하이 전압에 따라 턴-온된 제5 트랜지스터(T5)에 의해 QB 노드는 로우 전압 상태가 되어 제3 및 풀-다운 트랜지스터(T3, T7)가 턴-오프된다.

B' 기간에서 제 n 스테이지 출력신호(V_{g_outn})의 로우 전압에 의해 제1 트랜지스터(T1)가 턴-오프되므로 Q 노드는 하이 전압 상태로 플로팅되고, 풀-업 트랜지스터(T6)는 턴-온 상태를 유지한다. 이때, 제2 클럭신호(CLKVB)의 하이 전압에 의해 Q 노드는 풀-업 트랜지스터(T6)의 게이트 전극과 드레인 전극의 중첩으로 형성된 기생 캐패시턴스의 영향으로 부트스트래핑(Bootstrapping)되어 A' 기간보다 더 높은 전압으로 충전된다. 이에 따라, 풀-업 트랜지스터(T6)가 확실하게 턴-온됨으로써 제2 클럭신호(CLKVB)의 하이 전압이 출력된다. 한편, Q 노드에 의해 턴-온된 제5a 트랜지스터(T5a)를 통해 방전된 QB 노드는 로우 전압 상태를 유지한다.

C' 기간에서는 제n 스테이지 QB 노드의 하이 전압에 의해 제3a 트랜지스터(T3a)가 턴-온되고, 고전위 구동 전압(VDD)에 의해 턴-온된 제4 트랜지스터(T4)를 통해 고전위 구동 전압(VDD)이 공급되어 QB 노드는 하이 전압 상태가 되고 제3 및 풀-다운 트랜지스터(T3, T7)를 턴-온시킨다. 턴-온된 제3 및 제3a 트랜지스터에 의해 Q 노드는 빠르게 방전되고, 턴-온된 풀-다운 트랜지스터(T7)에 의해 로우 전압이 출력된다.

D' 기간에서는 C' 기간에서 하이 전압 상태로 플로팅된 QB 노드가 플로팅 상태를 유지하여 제3 및 풀-다운 트랜지스터(T3 및 T7)를 턴-온시킨다. 이로 인해 Q 노드는 방전되어 로우 전압 상태를 유지하고 로우 전압이 출력된다.

상술한 바와 같이, 본 발명에 따른 액정표시장치는 더미 스테이지를 리셋하기 위하여 스타트 펄스(Vst)를 사용하지 않고 도 3과 같은 방법으로 더미 스테이지의 이전 스테이지, 즉 마지막 스테이지의 QB 노드를 이용함으로써 배선 공간 및 그에 따른 기생 용량을 줄일 수 있다.

도 5는 본 발명에 따른 쉬프트 레지스터의 다른 예를 개략적으로 나타내는 도면이다.

도 5를 참조하면, 더미 스테이지(42)는 Q 노드의 제어에 의해 클럭신호(CLKVB)를 출력하는 풀-업 트랜지스터(T6)와 QB 노드의 제어에 의해 저전위 구동 전압(VSS)을 출력하는 풀-다운 트랜지스터(T7)로 구성된 출력 버퍼와, Q 노드와 QB 노드를 제어하는 제1 내지 제5 트랜지스터(T1 내지 T5)로 구성된 제어부를 구비한다. 이러한 더미 스테이지(42)에는 고전위 구동 전압 및 저전위 구동 전압(VDD, VSS)과 마지막 스테이지의 출력신호(Vg_outn)가 공급되고, 도 4b에 도시된 바와 같은 위상의 클럭신호(CLKVB)가 공급된다. 이하, 더미 스테이지(42)의 동작 과정을 도 4b에 도시된 구동 파형을 참조하여 상세히 설명하기로 한다.

더미 스테이지(42)는 도 4b를 참조하면, A' 기간에서 제n 스테이지 출력신호(Vg_outn)의 하이 전압에 의해 제1 트랜지스터(T1)가 턴-온되어 하이 전압이 Q 노드로 프리-차지된다. Q 노드로 프리-차지된 하이 전압에 의해 풀-업 트랜지스터(T6)가 턴-온되어 클럭신호(CLKVB)의 로우 전압이 출력된다. 이때, Q 노드의 하이 전압에 따라 턴-온된 제5 트랜지스터(T5)에 의해 QB 노드는 로우 전압 상태가 되어 제3 및 풀-다운 트랜지스터(T3, T7)가 턴-오프된다.

B' 기간에서 제n 스테이지 출력신호(Vg_outn)의 로우 전압에 의해 제1 트랜지스터(T1)가 턴-오프되므로 Q 노드는 하이 전압 상태로 플로팅되고, 풀-업 트랜지스터(T6)는 턴-온 상태를 유지한다. 이때, 클럭신호(CLKVB)의 하이 전압에 의해 Q 노드는 풀-업 트랜지스터(T6)의 게이트 전극과 드레인 전극의 중첩으로 형성된 기생 캐패시턴스의 영향으로 부트스트래핑(Bootstrapping)되어 A' 기간보다 더 높은 전압으로 충전된다. 이에 따라, 풀-업 트랜지스터(T6)가 확실하게 턴-온됨으로써 클럭신호(CLKVB)의 하이 전압이 출력된다. 한편, Q 노드에 의해 턴-온된 제5a 트랜지스터(T5a)를 통해 방전된 QB 노드는 로우 전압 상태를 유지한다.

C' 기간에서는 B' 기간에서 하이 전압 상태가 된 더미 스테이지의 출력신호에 의해 제3a 트랜지스터(T3a)가 턴-온되고, 고전위 구동 전압(VDD)에 의해 턴-온된 제4 트랜지스터(T4)를 통해 고전위 구동 전압(VDD)이 공급되어 QB 노드는 하이 전압 상태가 되고 제3 및 풀-다운 트랜지스터(T3, T7)를 턴-온시킨다. 턴-온된 제3 및 제3a 트랜지스터에 의해 Q 노드는 빠르게 방전되고, 턴-온된 풀-다운 트랜지스터(T7)에 의해 로우 전압이 출력된다.

D' 기간에서는 C' 기간에서 하이 전압 상태로 플로팅된 QB 노드가 플로팅 상태를 유지하여 제3 및 풀-다운 트랜지스터(T3 및 T7)를 턴-온시킨다. 이로 인해 Q 노드는 방전되어 로우 전압 상태를 유지하고 로우 전압이 출력된다.

상술한 바와 같이, 본 발명에 따른 액정표시장치는 더미 스테이지를 리셋하기 위하여 스타트 펄스(Vst)를 사용하지 않고 도 5와 같은 방법으로 더미 스테이지 자체의 출력신호를 이용함으로써 배선 공간 및 그에 따른 기생 용량을 줄일 수 있다.

도 6, 도 7a 및 도 7b는 도 3 및 도 5와 같은 방법으로 더미 스테이지를 리셋할 때의 쉬프트 레지스터 출력 및 Q 노드 특성을 나타내는 도면이다.

도 6을 참조하면, 마지막 스테이지의 출력(61)과 비교해보았을 때 더미 스테이지의 출력(62)이 상당히 짧은 시간 동안 낮은 피크 특성을 보여주는 것을 알 수 있다. 더미 스테이지는 게이트 라인으로의 출력이 없이 마지막 스테이지의 리셋 기능만 수행하면 되므로 도 7a처럼 구동 초기에는 이와 같은 특성이 큰 문제가 되지 않는다.

도 7a를 참조하면, 마지막 스테이지 Q 노드의 구동 파형(71)과 마지막 스테이지의 출력 파형(72) 및 더미 스테이지의 출력 파형(73)이 모두 정상적으로 나타나는 것을 알 수 있다.

하지만 도 3 및 도 5의 제3 트랜지스터(T3)와 풀-다운 트랜지스터(T7)는 QB 노드가 1 프레임 기간 중 2H 기간 동안만 로우 전압 상태를 띄게 되어 2H 기간을 제외하고는 지속적으로 턴-온 상태를 유지하게 되므로 바이어스 스트레스로 인해 가장 심하게 열화된다. 이에 따라 상기 제3 및 풀-다운 트랜지스터(T3, T7)가 제대로 기능을 못하게 될 경우, Q 노드를 방전시킬 수 있는 트랜지스터는 제3a 트랜지스터(T3a)밖에 없게 된다.

도 7b는 상기와 같은 현상을 파악하기 위하여 실시한 시뮬레이션에서 문턱전압이 10V 이상일 경우를 나타내는 도면이다.

도 7b를 참조하면, 마지막 스테이지 Q 노드의 구동 파형(74)이 제대로 방전되지 않아 멀티 출력이 발생함으로써 마지막 스테이지의 출력 파형(75)과 더미 스테이지의 출력 파형(76)에도 멀티 출력이 발생했음을 알 수 있다.

이러한 문제점을 해결하기 위해 본 발명에 따른 쉬프트 레지스터는 더미 스테이지 자체의 QB 노드로 더미 스테이지의 출력신호를 리셋할 수 있다.

도 8은 본 발명에 따른 더미 스테이지의 제1 실시 예를 나타내는 도면이다.

도 8을 참조하면, 더미 스테이지는 Q 노드의 제어에 의해 제1 클럭신호(CLK1)를 출력하는 풀-업 트랜지스터(T6)와 QB 노드의 제어에 의해 저전위 구동 전압(VSS)을 출력하는 풀-다운 트랜지스터(T7)로 구성된 출력 버퍼와, Q 노드와 QB 노드를 제어하는 제1 내지 제5a 트랜지스터(T1 내지 T5a)로 구성된 제어부를 구비한다. 이러한 더미 스테이지에는 고전위 구동 전압 및 저전위 구동 전압(VDD, VSS)과 마지막 스테이지의 출력신호(Vg_outn)가 공급되고, 도 9에 도시된 바와 같이 위상이 서로 다른 제1 및 제2 클럭신호(CLK1, CLK2)가 공급된다. 이하, 더미 스테이지의 동작 과정을 도 9에 도시된 구동 파형을 참조하여 상세히 설명하기로 한다.

도 9를 참조하면, T1 기간에서 마지막 스테이지 출력신호(Vg_outn)의 하이 전압에 의해 제1 트랜지스터(T1)가 턴-온되어 하이 전압이 Q 노드로 프리-차지된다. Q 노드로 프리-차지된 하이 전압에 의해 풀-업 트랜지스터(T6)가 턴-온되어 제1 클럭신호(CLK1)의 로우 전압이 출력된다. 이때, 마지막 스테이지 출력신호(Vg_outn)의 하이 전압에 따라 턴-온된 제5 트랜지스터(T5)와 Q 노드의 하이 전압에 따라 턴-온된 제5a 트랜지스터(T5a)에 의해 QB 노드는 로우 전압 상태가 되어 제3 및 풀-다운 트랜지스터(T3, T7)가 턴-오프된다.

T2 기간에서 마지막 스테이지 출력신호(Vg_outn)의 로우 전압에 의해 제1 트랜지스터(T1)가 턴-오프되므로 Q 노드는 하이 전압 상태로 플로팅되고, 풀-업 트랜지스터(T6)는 턴-온 상태를 유지한다. 이때, 제1 클럭신호(CLK1)의 하이 전압에 의해 Q 노드는 풀-업 트랜지스터(T6)의 게이트 전극과 드레인 전극의 중첩으로 형성된 기생 캐패시턴스의 영향으로 부트스트래핑(Bootstrapping)되어 T1 기간보다 더 높은 전압으로 충전된다. 이에 따라, 풀-업 트랜지스터(T6)가 확실하게 턴-온됨으로써 제1 클럭신호(CLK1)의 하이 전압이 출력된다. 이때, 출력된 출력신호(Vg_outn+1)는 제n 스테이지, 즉 마지막 스테이지로 공급되어 마지막 스테이지를 리셋시킨다. 한편, Q 노드에 의해 턴-온된 제5a 트랜지스터(T5a)를 통해 방전된 QB 노드는 로우 전압 상태를 유지한다.

T3 기간에서는 제2 클럭신호(CLK2)의 하이 전압에 의해 턴-온된 제4 트랜지스터(T4)를 통해 고전위 구동 전압(VDD)이 공급되어 QB 노드는 하이 전압 상태가 되고 제3 및 풀-다운 트랜지스터(T3, T7)를 턴-온시킨다. 하이 전압 상태인 QB 노드에 의해 제3a 트랜지스터(T3a)가 턴-온되고, 턴-온된 제3 및 제3a 트랜지스터에 의해 Q 노드는 빠르게 방전된다. 도 10을 참조하면, 실제로는 클럭신호들 사이에 G와 같은 시간차가 존재한다. 다시 말하면, 제1 클럭신호의 공급이 종료되고 제2 클럭신호가 공급되기 전까지 약간의 시간차이가 생기게 된다. 따라서, T3 기간에서 제2 클럭신호가 공급되기 전까지 하이 전압 상태를 유지하는 Q 노드에 의해 풀-업 트랜지스터(T6)의 턴-온이 지속됨으로써 T2 기간이 끝나기 전에 로우 전압으로 방전된 제1 클럭신호가 출력단자에 공급된다. 이후 T3 기간이 시작되면서 상술한 바에 의해 턴-온된 풀-다운 트랜지스터(T7)를 통해 로우 전압이 출력된다.

T4 기간에서는 T3 기간에서 하이 전압 상태로 플로팅된 QB 노드가 하이 전압 상태를 유지하여 제3, 제3a 및 풀-다운 트랜지스터(T3, T3a, T7)를 턴-온시킨다. 이로 인해 Q 노드는 방전되어 로우 전압 상태를 유지하고 로우 전압이 출력된다. 다음 프레임에서 제n 스테이지의 출력신호(Vg_outn)가 공급될 때까지 출력신호(Vg_outn+1)는 T4 기간의 로우 전압 상태를 유지한다.

도 11a 및 도 11b는 도 8에 따른 시뮬레이션 결과의 구동 초기와 문턱 전압이 10V 이상일 때를 각각 나타내는 도면이다.

도 11a를 참조하면, 구동 초기에 마지막 스테이지 Q 노드 출력(101), 마지막 스테이지 출력(102)이 모두 정상적이고, 도 7a와 비교하였을 때 더미 스테이지 출력(103)의 파형도 마지막 스테이지의 출력(102)과 같이 정상적임을 알 수 있다.

도 11b를 참조하면, 도 7b와 달리 마지막 단 Q 노드 출력(103), 마지막 스테이지 출력(104) 및 더미 스테이지 출력(105)의 파형이 모두 구동 초기와 동일한 것을 알 수 있다.

본 발명에 따른 액정표시장치의 더미 스테이지는 종래의 더미 스테이지와 마찬가지로 리셋 역할을 하는 트랜지스터가 바이어스 스트레스를 받는 시간이 많아져 열화가 빨리 일어날 수 있다. 하지만, 본 발명에 따른 더미 스테이지는 더미 스테이지 자체의 QB 노드를 이용하기 때문에 더미 스테이지에서 리셋 기능을 담당하는 트랜지스터만 사이즈를 크게 함으로써 열화 현상을 완화시킬 수 있다. 액정표시장치에서 표시 영역의 하부에는 비표시 영역이 차지하는 공간이 있기 때문에 더미 스테이지 리셋 트랜지스터의 사이즈는 큰 문제가 되지 않는다.

도 12은 본 발명에 따른 더미 스테이지의 제2 실시 예를 나타내는 도면이다.

도 12을 참조하면, 본 발명에 따른 더미 스테이지의 제2 실시 예는 도 8의 더미 스테이지에서 출력 버퍼의 풀-다운 트랜지스터(T7)가 삭제되고 제1 내지 제5a 및 풀-업 트랜지스터(T1 내지 T5a, T6)의 구성이 동일하며, 도 9와 같은 구동 파형을 가진다.

도 13는 본 발명에 따른 더미 스테이지의 제3 실시 예를 나타내는 도면이다.

도 13를 참조하면, 더미 스테이지는 Q 노드의 제어에 의해 제1 클럭신호(CLK1)를 출력하는 풀-업 트랜지스터(T6)와 QB_O 및 QB_E 노드의 제어에 의해 저전위 구동 전압(VSS)을 프레임마다 교번 출력하는 오드 프레임 풀-다운 및 이븐 프레임 풀-다운 트랜지스터(T7_O, T7_E)로 구성된 출력 버퍼와, Q 노드와 QB_O 및 QB_E 노드를 제어하는 제1 내지 제5i_O 트랜지스터(T1 내지 T5i_O)로 구성된 제어부를 구비한다. 이러한 더미 스테이지에는 고전위 구동 전압 및 저전위 구동 전압(VDD, VSS)과 마지막 스테이지의 출력신호(Vg_outn)가 공급되고, 도 14a 및 도 14b에 도시된 바와 같은 위상의 제1 클럭신호(CLK1)가 공급된다. 이하, 더미 스테이지의 동작 과정을 도 14a 및 도 14b에 도시된 구동 파형을 참조하여 상세히 설명하기로 한다.

도 14a는 도 13의 오드(Odd) 프레임 기간을 나타내는 구동 파형이다.

도 14a를 참조하면, A_O 기간에서는 마지막 스테이지 출력신호(Vg_outn)의 하이 전압에 의해 제1 트랜지스터(T1)가 턴-온되어 고전위 구동 전압(VDD)의 하이 전압이 Q 노드로 프리-차지된다. Q 노드로 프리-차지된 하이 전압에 의해 풀-업 트랜지스터(T6)가 턴-온되어 제1 클럭신호(CLK1)의 로우 전압이 출력된다. 이때, 마지막 스테이지 출력신호(Vg_outn)의 하이 전압에 따라 제5_O, 제5_E, 제4b_O 및 제4b_E 트랜지스터(T5_O, T5_E, T4b_O, T4b_E)가 턴-온되고, Q 노드의 하이 전압에 따라 제4c_O, 제4c_E, 제5a_O 및 제5a_E 트랜지스터(T4c_O, T4c_E, T5a_O, T5a_E)가 턴-온된다.

한편, 오드 프레임 고전위 구동 전압(VDD_O)에 의해 제4a_O 트랜지스터(T4a_O)가 턴-온되고, 제4b_O 및 제4c_O 트랜지스터(T4b_O, T4c_O)를 통해 공급된 로우 전압으로 인해 제4_O 트랜지스터(T4_O)는 턴-오프된다. 이때, 턴-오프된 제4_O 트랜지스터(T4_O)는 오드 프레임 고전위 구동 전압(VDD_O)의 하이 전압이 QB_O 노드로 공급되는 것을 차단한다. 또한, 상술한 바와 같이 턴-온된 제5_O 및 제5a_O 트랜지스터(T5_O, T5a_O)는 QB_O 노드에 로우 전압을 공급하고, 턴-온된 제5_E 및 제5a_E 트랜지스터(T5_E, T5a_E)는 QB_E 노드에 로우 전압을 공급한다. 즉, QB_O 및 QB_E 노드는 방전되어 로우 전압 상태를 유지함으로써 제3_O, 제3_E, 오드 프레임 풀-다운 및 이븐 프레임 풀-다운 트랜지스터(T3_O, T3_E, T7_O, T7_E)를 턴-오프시켜 제3_O, 제3_E, 제3a_O 및 제3a_E 트랜지스터(T3_O, T3_E, T3a_O, T3a_E)를 통한 Q 노드의 방전 경로를 차단한다.

B_O 기간에서 마지막 스테이지 출력신호(Vg_outn)의 로우 전압에 의해 제1 트랜지스터(T1)가 턴-오프되므로 Q 노드는 하이 전압 상태로 플로팅되고, 풀-업 트랜지스터(T6)는 턴-온 상태를 유지한다. 이때, 제1 클럭신호(CLK1)의 하이 전압에 의해 Q 노드는 풀-업 트랜지스터(T6)의 게이트 전극과 드레인 전극의 중첩으로 형성된 기생 캐패시턴스의 영향으로 부트스트래핑(Bootstrapping)되어 A_O 기간보다 더 높은 전압으로 충전된다. 이에 따라, 풀-업 트랜지스터(T6)가 확실하게 턴-온됨으로써 제1 클럭신호(CLK1)의 하이 전압이 빠르게 출력된다. 한편, Q 노드에 의해 턴-온된 제5a_O 및 제5a_E 트랜지스터(T5a_O, T5a_E)를 통해 방전된 QB_O 및 QB_E 노드는 로우 전압 상태를 계속 유지한다. 또한, 제4a_O

트랜지스터(T4a_O)는 오드 프레임 고전위 구동 전압(VDD_O)에 의해 턴-온되지만, Q 노드에 의해 턴-온된 제4b_O 트랜지스터(T4b_O)를 통해 로우 전압이 제4_O 트랜지스터(T4_O)에 공급된다. 즉 제4_O 트랜지스터(T4_O)가 턴-오프되어 오드 프레임 고전위 구동 전압(VDD_O)이 QB_O 노드로 공급되는 것을 차단한다.

C_O 기간에서는 오드 프레임 고전위 구동 전압(VDD_O)의 하이 전압이 제4_O 트랜지스터(T4_O)를 통해 QB_O 노드에 공급되어 제3_O, 제5i_E 및 오드 프레임 풀-다운 트랜지스터(T3_O, T5i_E, T7_O)를 턴-온시킨다. 또한 하이 전압 상태가 된 QB_O 노드에 의해 제3a_O 트랜지스터(T3a_O)가 턴-온되어 제3_O 트랜지스터(T3_O)와 함께 Q 노드를 방전시키고, 제5i_E 트랜지스터(T5i_E)는 QB_E 노드를 방전시킨다. 제5a_O 및 제5a_E 트랜지스터(T5a_O, T5a_E)는 Q 노드에 의해 턴-오프되어 QB_O 및 QB_E 노드의 방전 경로를 차단하고, 오드 프레임 풀-다운 트랜지스터(T7_O)는 로우 전압을 출력한다. C_O 기간에서도 도 10을 참조하여 설명한 바와 같이, Q 노드에 의해 풀-업 트랜지스터가 턴-오프되기 전에 제1 클럭 신호가 로우 전압으로 반전됨으로써, 실제로는 C_O 기간이 시작되기 전부터 로우 전압이 출력된다.

D_O 기간에서는 오드 프레임 고전위 구동 전압(VDD_O)의 하이 전압을 통해 제4_O 및 제4a_O 트랜지스터가 턴-온 상태를 유지하여 QB_O 노드도 하이 전압 상태를 유지한다. 제3_O, 제3a_O, 제5i_E, 및 오드 프레임 풀-다운 트랜지스터(T3_O, T3a_O, T5i_E, T7_O)는 QB_O 노드에 의해 턴-온된다. 제3_O 및 제3a_O 트랜지스터(T3_O, T3a_O)와 제5i_E 트랜지스터(T5i_E)는 각각 Q 노드와 QB_E 노드를 방전시켜 로우 전압 상태를 유지시키고, 오드 프레임 풀-다운 트랜지스터(T7_O)는 남은 오드 프레임 기간 동안 로우 전압을 출력한다.

도 14b는 도 13의 이븐(Even) 프레임 기간을 나타내는 구동 파형이다.

도 14b를 참조하면, A_E 기간에서는 마지막 스테이지 출력신호(Vg_outn)의 하이 전압에 의해 제1 트랜지스터(T1)가 턴-온되어 고전위 구동 전압(VDD)의 하이 전압이 Q 노드로 프리-차지된다. Q 노드로 프리-차지된 하이 전압에 의해 풀-업 트랜지스터(T6)가 턴-온되어 제1 클럭신호(CLK1)의 로우 전압이 출력된다. 이때, 마지막 스테이지 출력신호(Vg_outn)의 하이 전압에 따라 제5_O, 제5_E, 제4b_O 및 제4b_E 트랜지스터(T5_O, T5_E, T4b_O, T4b_E)가 턴-온되고, Q 노드의 하이 전압에 따라 제4c_O, 제4c_E, 제5a_O 및 제5a_E 트랜지스터(T4c_O, T4c_E, T5a_O, T5a_E)가 턴-온된다.

한편, 이븐 프레임 고전위 구동 전압(VDD_E)에 의해 제4a_E 트랜지스터(T4a_E)가 턴-온되고, 제4b_E 및 제4c_E 트랜지스터(T4b_E, T4c_E)를 통해 공급된 로우 전압으로 인해 제4_E 트랜지스터(T4_E)는 턴-오프된다. 이때, 턴-오프된 제4_E 트랜지스터(T4_E)는 이븐 프레임 고전위 구동 전압(VDD_E)의 하이 전압이 QB_E 노드로 공급되는 것을 차단한다. 또한, 상술한 바와 같이 턴-온된 제5_O 및 제5a_O 트랜지스터(T5_O, T5a_O)는 QB_O 노드에 로우 전압을 공급하고, 턴-온된 제5_E 및 제5a_E 트랜지스터(T5_E, T5a_E)는 QB_E 노드에 로우 전압을 공급한다. 즉, QB_O 및 QB_E 노드는 방전되어 로우 전압 상태를 유지함으로써 제3_O, 제3_E, 오드 프레임 풀-다운 및 이븐 프레임 풀-다운 트랜지스터(T3_O, T3_E, T7_O, T7_E)를 턴-오프시켜 제3_O, 제3_E, 제3a_O 및 제3a_E 트랜지스터(T3_O, T3_E, T3a_O, T3a_E)를 통한 Q 노드의 방전 경로를 차단한다.

B_E 기간에서 마지막 스테이지 출력신호(Vg_outn)의 로우 전압에 의해 제1 트랜지스터(T1)가 턴-오프되므로 Q 노드는 하이 전압 상태로 플로팅되고, 풀-업 트랜지스터(T6)는 턴-온 상태를 유지한다. 이때, 제1 클럭신호(CLK1)의 하이 전압에 의해 Q 노드는 풀-업 트랜지스터(T6)의 게이트 전극과 드레인 전극의 중첩으로 형성된 기생 캐패시턴스의 영향으로 부트스트래핑(Bootstrapping)되어 A_E 기간보다 더 높은 전압으로 충전된다. 이에 따라, 풀-업 트랜지스터(T6)가 확실하게 턴-온됨으로써 제1 클럭신호(CLK1)의 하이 전압이 빠르게 출력된다. 한편, Q 노드에 의해 턴-온된 제5a_O 및 제5a_E 트랜지스터(T5a_O, T5a_E)를 통해 방전된 QB_O 및 QB_E 노드는 로우 전압 상태를 계속 유지한다. 또한, 제4a_E 트랜지스터(T4a_E)는 이븐 프레임 고전위 구동 전압(VDD_E)에 의해 턴-온되지만, Q 노드에 의해 턴-온된 제4b_E 트랜지스터(T4b_E)를 통해 로우 전압이 제4_E 트랜지스터(T4_E)에 공급된다. 즉 제4_E 트랜지스터(T4_E)가 턴-오프되어 이븐 프레임 고전위 구동 전압(VDD_E)이 QB_E 노드로 공급되는 것을 차단한다.

C_E 기간에서는 이븐 프레임 고전위 구동 전압(VDD_E)의 하이 전압이 제4_E 트랜지스터(T4_E)를 통해 QB_E 노드에 공급되어 제3_E, 제5i_O 및 이븐 프레임 풀-다운 트랜지스터(T3_E, T5i_O, T7_E)를 턴-온시킨다. 또한 하이 전압 상태가 된 QB_E 노드에 의해 제3a_E 트랜지스터(T3a_E)가 턴-온되어 제3_E 트랜지스터(T3_E)와 함께 Q 노드를 방전시키고, 제5i_O 트랜지스터(T5i_O)는 QB_O 노드를 방전시킨다. 제5a_O 및 제5a_E 트랜지스터(T5a_O, T5a_E)는 Q 노드에 의해 턴-오프되어 QB_O 및 QB_E 노드의 방전 경로를 차단하고, 이븐 프레임 풀-다운 트랜지스터(T7_E)는 로우 전압을 출력한다. C_E 기간에서도 도 10을 참조하여 설명한 바와 같이, Q 노드에 의해 풀-업 트랜지스터가 턴-오프되기 전에 제1 클럭 신호가 로우 전압으로 반전됨으로써, 실제로는 C_E 기간이 시작되기 전부터 로우 전압이 출력된다.

D_E 기간에서는 이븐 프레임 고전위 구동 전압(VDD_E)의 하이 전압을 통해 제4_E 및 제4a_E 트랜지스터가 턴-온 상태를 유지하여 QB_E 노드도 하이 전압 상태를 유지한다. 제3_E, 제3a_E, 제5i_O, 및 이븐 프레임 풀-다운 트랜지스터(T3_E, T3a_E, T5i_O, T7_E)는 QB_E 노드에 의해 턴-온된다. 제3_E 및 제3a_E 트랜지스터(T3_E, T3a_E)와 제5i_O 트랜지스터(T5i_O)는 각각 Q 노드와 QB_O 노드를 방전시켜 로우 전압 상태를 유지시키고, 이븐 프레임 풀-다운 트랜지스터(T7_E)는 남은 이븐 프레임 기간 동안 로우 전압을 출력한다.

도 15는 본 발명에 따른 더미 스테이지의 제4 실시 예를 나타내는 도면이다.

도 15를 참조하면, 본 발명에 따른 더미 스테이지의 제4 실시 예는 도 13의 더미 스테이지에서 출력 버퍼의 오드 프레임 풀-다운 및 이븐 프레임 풀-다운 트랜지스터(T7_O, T7_E)가 삭제되고 제1 내지 제5i_O 및 풀-업 트랜지스터(T1 내지 T5i_O, T6)의 구성이 동일하며, 도 14a 및 도 14b와 같은 구동 파형을 가진다.

도 16는 본 발명에 따른 더미 스테이지의 제5 실시 예를 나타내는 도면이다.

도 16를 참조하면, 본 발명에 따른 더미 스테이지의 제5 실시 예는 도 13의 더미 스테이지에서 제5i_E 트랜지스터(T5i_E)의 게이트 단자가 QB_O 노드가 아니라 오드 프레임 고전위 구동 전압(VDD_O)에 연결되어 오드 프레임 기간 동안 QB_E 노드를 방전시킨다. 또한 제5i_O 트랜지스터(T5i_O)의 게이트 단자가 QB_E 노드가 아니라 이븐 프레임 고전위 구동 전압(VDD_E)에 연결되어 이븐 프레임 기간 동안 QB_O 노드를 방전시킨다. 한편, 제1 내지 제5a_O, 풀-업, 오드 프레임 풀-다운, 이븐 프레임 풀-다운 트랜지스터(T1 내지 T5a_O, T6, T7_O, T7_E)의 구성은 도 13과 동일하며, 도 14a 및 도 14b와 같은 구동 파형을 가진다.

도 17은 본 발명에 따른 더미 스테이지의 제6 실시 예를 나타내는 도면이다.

도 17을 참조하면, 본 발명에 따른 더미 스테이지의 제6 실시 예는 도 16의 더미 스테이지에서 출력 버퍼의 오드 프레임 풀-다운 및 이븐 프레임 풀-다운 트랜지스터(T7_O, T7_E)가 삭제되고 제1 내지 제5i_O 및 풀-업 트랜지스터(T1 내지 T5i_O, T6)의 구성이 동일하며, 도 14a 및 도 14b와 같은 구동 파형을 가진다.

도 18은 본 발명에 따른 더미 스테이지의 제7 실시 예를 나타내는 도면이다.

도 18을 참조하면, 본 발명에 따른 더미 스테이지의 제7 실시 예는 도 13의 더미 스테이지에서 제4a_O, 제4b_O, 제4c_O, 제4a_E, 제4b_E, 제4c_E 트랜지스터(T4a_O, T4b_O, T4c_O, T4a_E, T4b_E, T4c_E)가 삭제되고 나머지 제1 내지 제5i_O, 풀-업, 오드 프레임 풀-다운 및 이븐 프레임 풀-다운 트랜지스터(T1 내지 T5i_O, T6, T7_O, T7_E)의 구성이 동일하며, 도 14a 및 도 14b와 같은 구동 파형을 가진다.

도 19은 본 발명에 따른 더미 스테이지의 제8 실시 예를 나타내는 도면이다.

도 19을 참조하면, 본 발명에 따른 더미 스테이지의 제8 실시 예는 도 18의 더미 스테이지에서 출력 버퍼의 오드 프레임 풀-다운 및 이븐 프레임 풀-다운 트랜지스터(T7_O, T7_E)가 삭제되고 제1 내지 제5i_O 및 풀-업 트랜지스터(T1 내지 T5i_O, T6)의 구성이 동일하며, 도 14a 및 도 14b와 같은 구동 파형을 가진다.

도 20는 본 발명에 따른 더미 스테이지의 제9 실시 예를 나타내는 도면이다.

도 20를 참조하면, 본 발명에 따른 더미 스테이지의 제9 실시 예는 도 16의 더미 스테이지에서 제4a_O, 제4b_O, 제4c_O, 제4a_E, 제4b_E, 제4c_E 트랜지스터(T4a_O, T4b_O, T4c_O, T4a_E, T4b_E, T4c_E)가 삭제되고 나머지 제1 내지 제5i_O, 풀-업, 오드 프레임 풀-다운 및 이븐 프레임 풀-다운 트랜지스터(T1 내지 T5i_O, T6, T7_O, T7_E)의 구성이 동일하며, 도 14a 및 도 14b와 같은 구동 파형을 가진다.

도 21은 본 발명에 따른 더미 스테이지의 제10 실시 예를 나타내는 도면이다.

도 21을 참조하면, 본 발명에 따른 더미 스테이지의 제10 실시 예는 도 20의 더미 스테이지에서 출력 버퍼의 오드 프레임 풀-다운 및 이븐 프레임 풀-다운 트랜지스터(T7_O, T7_E)가 삭제되고 제1 내지 제5i_O 및 풀-업 트랜지스터(T1 내지 T5i_O, T6)의 구성이 동일하며, 도 14a 및 도 14b와 같은 구동 파형을 가진다.

도 22은 본 발명에 따른 더미 스테이지의 제11 실시 예를 나타내는 도면이다.

도 22을 참조하면, 더미 스테이지는 Q 노드의 제어에 의해 제1 클럭신호(CLK1)를 출력하는 풀-업 트랜지스터(T6)와 QB 노드의 제어에 의해 저전위 구동 전압(VSS)을 출력하는 풀-다운 트랜지스터(T7)로 구성된 출력 버퍼와, Q 노드와 QB 노드를 제어하는 제1 내지 제5i 트랜지스터(T1 내지 T5i)로 구성된 제어부를 구비한다. 이러한 더미 스테이지에는 고전위 구동 전압 및 저전위 구동 전압(VDD, VSS)과 마지막 스테이지 출력신호(Vg_outn)가 공급되고, 도 23에 도시된 바와 같이 위상이 서로 다른 제1, 제2 및 제4 클럭신호(CLK1, CLK2, CLK4)가 공급된다. 이하, 더미 스테이지의 동작 과정을 도 23에 도시된 구동 파형을 참조하여 상세히 설명하기로 한다.

도 23를 참조하면, S1 기간에서 마지막 스테이지 출력신호(Vg_outn)의 하이 전압에 의해 제1 트랜지스터(T1)가 턴-온되어 하이 전압이 Q 노드로 프리-차지된다. Q 노드로 프리-차지된 하이 전압에 의해 풀-업 트랜지스터(T6)가 턴-온되어 제1 클럭신호(CLK1)의 로우 전압이 출력된다. 이때, 마지막 스테이지 출력신호(Vg_outn)의 하이 전압에 따라 턴-온된 제5 트랜지스터(T5)와 Q 노드의 하이 전압에 따라 턴-온된 제5a 트랜지스터(T5a)에 의해 QB 노드는 로우 전압 상태가 되어 제3 및 풀-다운 트랜지스터(T3, T7)가 턴-오프된다. 한편, 제4 클럭신호(CLK4)에 의해 제4a 트랜지스터(T4a)가 턴-온되지만, 마지막 스테이지 출력신호(Vg_outn)에 의해 턴-온된 제4c 트랜지스터(T4c)로부터 저전위 구동 전압(VSS)의 로우 전압이 공급되어 제4 트랜지스터(T4)가 턴-오프됨으로써 QB 노드의 충전 경로가 차단된다.

S2 기간에서 마지막 스테이지 출력신호(Vg_outn)의 로우 전압에 의해 제1 트랜지스터(T1)가 턴-오프되므로 Q 노드는 하이 전압 상태로 플로팅되고, 풀-업 트랜지스터(T6)는 턴-온 상태를 유지한다. 이때, 제1 클럭신호(CLK1)의 하이 전압에 의해 Q 노드는 풀-업 트랜지스터(T6)의 게이트 전극과 드레인 전극의 중첩으로 형성된 기생 캐패시턴스의 영향으로 부트스트래핑(Bootstrapping)되어 S1 기간보다 더 높은 전압으로 충전된다. 이에 따라, 풀-업 트랜지스터(T6)가 확실하게 턴-온됨으로써 제1 클럭신호(CLK1)의 하이 전압이 빠르게 출력된다. 한편, Q 노드에 의해 턴-온된 제5a 트랜지스터(T5a)를 통해 방전된 QB 노드는 로우 전압 상태를 유지한다.

S3 기간에서는 제2 클럭신호(CLK2)의 하이 전압에 의해 제4b 및 제5i 트랜지스터(T4b, T5i)가 턴-온되고 턴-온된 제5i 트랜지스터(T5i)를 통해 QB 노드에 저전위 구동 전압(VSS)의 로우 전압이 공급되어 로우 전압 상태를 유지한다. 이때, 턴-온된 제4b 트랜지스터(T4b)를 통해 제4 트랜지스터(T4)가 턴-오프 상태를 유지하면서 QB 노드로 하이 전압이 공급되는 것을 확실하게 차단한다. 한편, 방전 경로가 모두 차단된 Q 노드는 하이 전압 상태로 계속 플로팅되어 제1 클럭신호(CLK1)의 로우 전압을 출력한다. Q 노드에 의해 턴-온된 제5a 트랜지스터(T5a)는 QB 노드를 방전시킨다.

S4 기간에서는 모든 트랜지스터가 턴-오프됨으로써 Q 노드는 S3 기간의 하이 전압 상태로 플로팅을 유지하고, Q 노드에 의해 턴-온된 풀-업 트랜지스터(T6)를 통해 제1 클럭신호(CLK1)의 로우 전압이 출력된다.

S5 기간에서는 제4 클럭신호(CLK4)가 하이 전압으로 반전되어 제4a 및 제4 트랜지스터(T4a, T4)가 턴-온됨에 따라 QB 노드에 하이 전압이 공급되고, QB 노드에 의해 제3, 제3a 및 풀-다운 트랜지스터(T3, T3a, T7)가 턴-온된다. 이때, 제3 및 제3a 트랜지스터(T3, T3a)를 통해 Q 노드에 저전위 구동 전압(VSS)이 공급되어 Q 노드는 로우 전압 상태가 되고, 풀-다운 트랜지스터(T7)를 통해 저전위 구동 전압(VSS)의 로우 전압이 출력된다.

S6 기간에서 제4 클럭신호(CLK4)가 로우 전압으로 다시 반전되지만, QB 노드의 방전 경로가 모두 차단 상태를 유지하여 QB 노드는 계속 하이 전압 상태로 플로팅된다. QB 노드의 하이 전압에 의해 제3, 제3a, 풀-다운 트랜지스터(T3, T3a, T7)가 턴-온되고, S5 기간에서 상술한 바와 같이 Q 노드와 출력신호(Vg_outn+1)는 로우 상태를 유지한다.

S7 기간에서는 제2 클럭신호(CLK2)가 하이 전압으로 반전되어 제4b 및 제5i 트랜지스터(T4b, T5i)가 턴-온된다. 제4b 트랜지스터(T4b)에 의해 제4 트랜지스터(T4)는 턴-오프 상태를 유지하여 QB 노드로 하이 전압이 공급되는 것을 차단한다. 제5i 트랜지스터(T5i)는 QB 노드에 저전위 구동 전압(VSS)을 공급함으로써 QB 노드가 로우 전압 상태를 유지하도록 한다. 한편, Q 노드는 S6 기간의 로우 전압 상태로 플로팅된다. Q 노드와 QB 노드가 모두 로우 전압 상태를 유지함에 따라 풀-업 및 풀-다운 트랜지스터가 모두 턴-오프되어 출력신호(Vg_outn+1)도 로우 전압 상태로 플로팅된다.

S8 기간에는 모든 트랜지스터가 턴-오프되어 Q 노드, QB 노드, 출력신호(Vg_outn+1)가 로우 상태를 유지한다. 더미 스테이지는 T8 기간 다음부터 해당 프레임이 종료되는 시점까지 T5 기간부터 T8 기간의 상태를 반복하여 유지한다.

도 24은 본 발명에 따른 더미 스테이지의 제12 실시 예를 나타내는 도면이다.

도 24을 참조하면, 본 발명에 따른 더미 스테이지의 제12 실시 예는 도 23의 더미 스테이지에서 풀-다운 트랜지스터(T7)가 삭제되고 제1 내지 제5i_O 및 풀-업 트랜지스터(T1 내지 T5i_O, T6)의 구성이 동일하며, 도 23와 같은 구동 파형을 가진다.

결과적으로, 본 발명에 따른 쉬프트 레지스터의 더미 스테이지는 리셋 트랜지스터의 게이트 단자를 더미 스테이지 자체의 QB 노드에 연결하는 것으로써, 회로 구성에 관계없이 모든 쉬프트 레지스터에 적용하여 불필요한 배선 공간 및 그에 따른 기생 용량을 줄이면서 더미 스테이지의 출력을 리셋시킴과 아울러 더미 스테이지 출력을 안정화할 수 있다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 쉬프트 레지스터와 이를 이용한 액정표시장치는 마지막 스테이지를 리셋하기 위한 더미 스테이지를 갖는 쉬프트 레지스터에 있어서, 더미 스테이지의 출력을 제어하기 위한 리셋 신호를 더미 스테이지 자체의 QB 노드로부터 공급받음으로써 불필요한 배선 공간과 그에 따른 기생 용량을 줄일 수 있다. 또한, 더미 스테이지 내에서 리셋 역할을 담당하는 트랜지스터의 크기를 크게 함으로써 열화를 방지하여 더미 스테이지의 출력신호를 안정화할 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함으로 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

도 1은 종래의 액정표시장치를 개략적으로 나타내는 도면.

도 2는 도 1의 게이트 구동회로를 개략적으로 나타내는 도면.

도 3은 본 발명에 따른 쉬프트 레지스터를 개략적으로 나타내는 도면.

도 4a 및 도 4b는 도 3의 구동 파형도.

도 5는 본 발명에 따른 쉬프트 레지스터의 다른 예를 개략적으로 나타내는 도면.

도 6, 도 7a 및 도 7b는 도 3 및 도 5에 따른 쉬프트 레지스터 출력 및 Q 노드 특성을 나타내는 도면.

도 8은 본 발명에 따른 더미 스테이지의 제1 실시 예를 나타내는 도면.

도 9는 제1 및 제2 실시 예의 구동 파형도.

도 10은 도 9의 T3 기간을 설명하기 위한 구동 파형도.

도 11a 및 도 11b는 도 8에 따른 시뮬레이션 결과를 나타내는 도면.

도 12은 본 발명에 따른 더미 스테이지의 제2 실시 예를 나타내는 도면.

도 13는 본 발명에 따른 더미 스테이지의 제3 실시 예를 나타내는 도면.

도 14a 및 도 14b는 제3 내지 제10 실시 예의 구동 파형도.

도 15는 본 발명에 따른 더미 스테이지의 제4 실시 예를 나타내는 도면.

도 16는 본 발명에 따른 더미 스테이지의 제5 실시 예를 나타내는 도면.

도 17은 본 발명에 따른 더미 스테이지의 제6 실시 예를 나타내는 도면.

도 18은 본 발명에 따른 더미 스테이지의 제7 실시 예를 나타내는 도면.

도 19은 본 발명에 따른 더미 스테이지의 제8 실시 예를 나타내는 도면.

도 20은 본 발명에 따른 더미 스테이지의 제9 실시 예를 나타내는 도면.

도 21은 본 발명에 따른 더미 스테이지의 제10 실시 예를 나타내는 도면.

도 22은 본 발명에 따른 더미 스테이지의 제11 실시 예를 나타내는 도면.

도 23는 제11 및 제12 실시 예의 구동 파형도.

도 24은 본 발명에 따른 더미 스테이지의 제12 실시 예를 나타내는 도면.

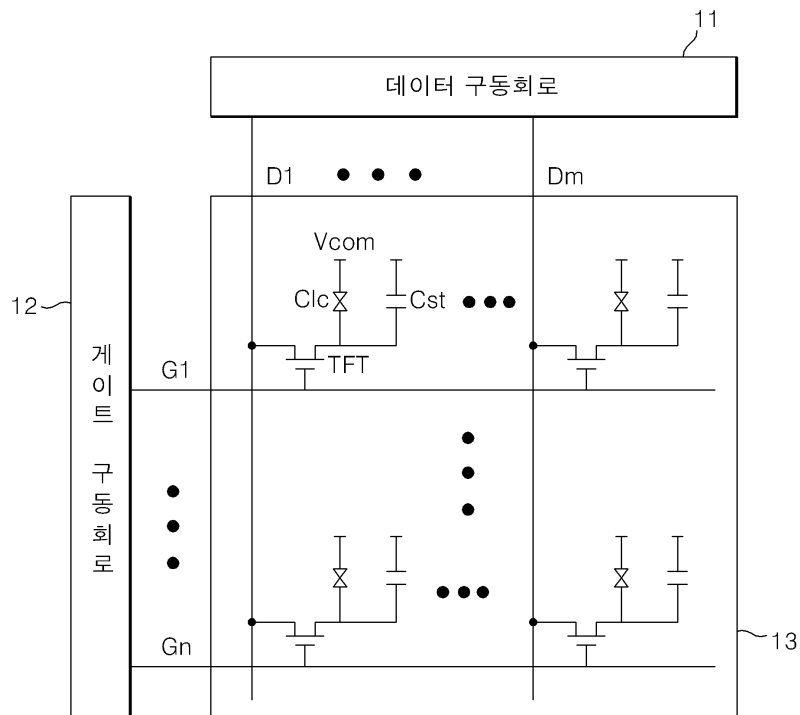
<도면의 주요 부분에 대한 설명>

11 : 데이터 구동회로 12 : 게이트 구동회로

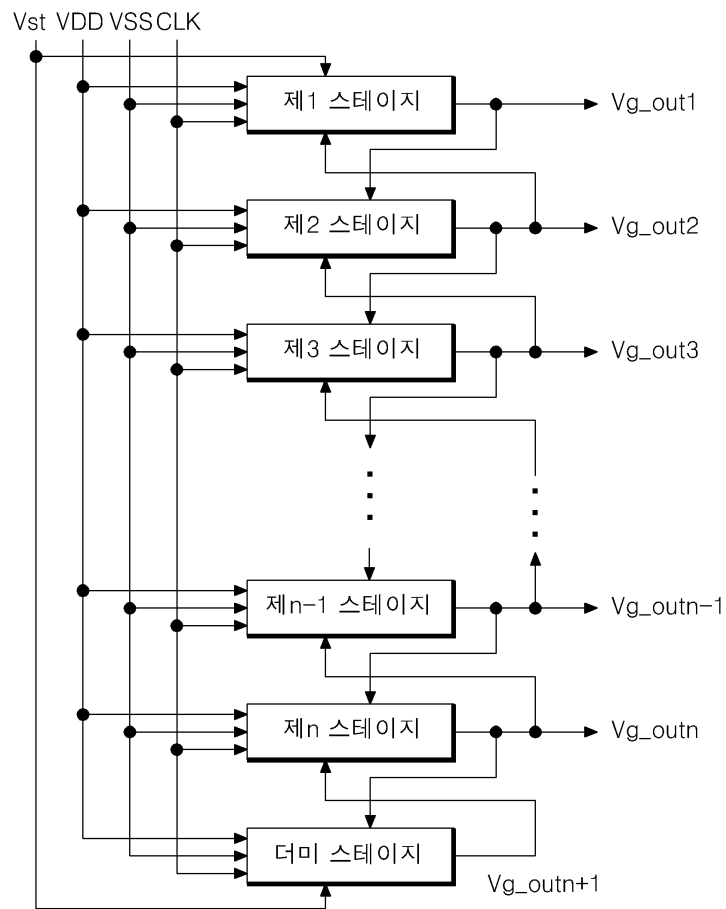
13 : 액정표시패널 31, 32, 42 : 스테이지

도면

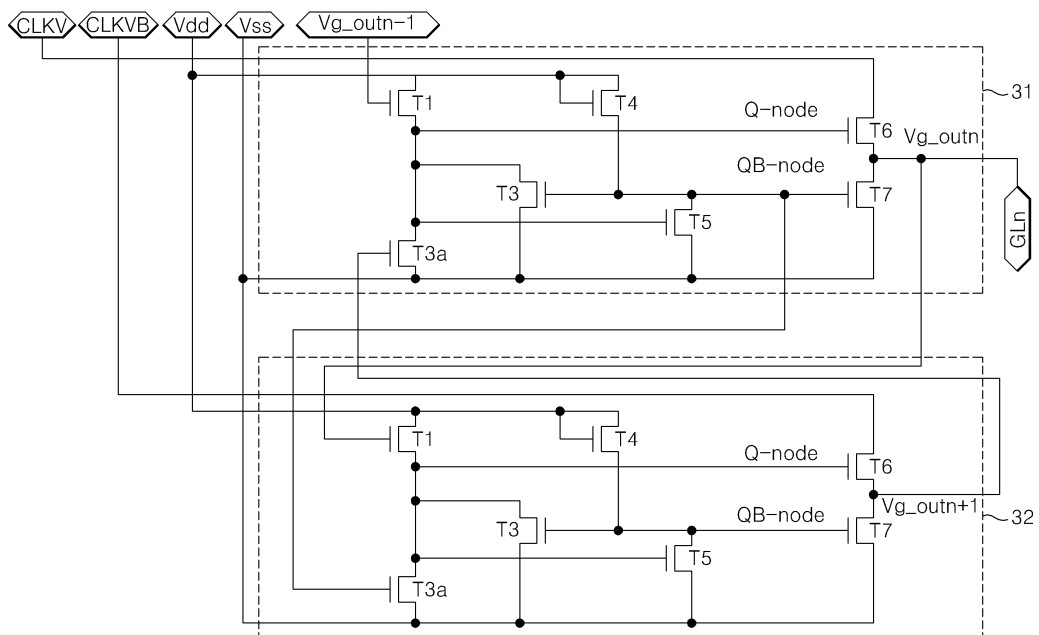
도면1



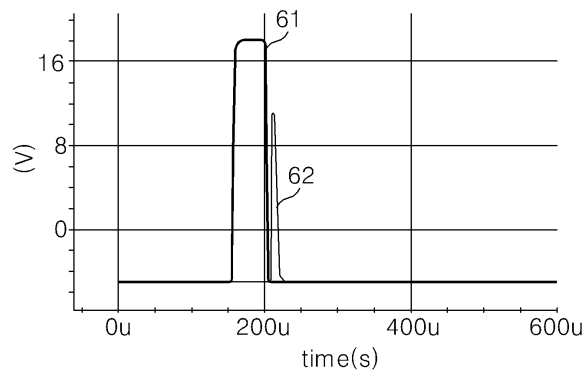
도면2



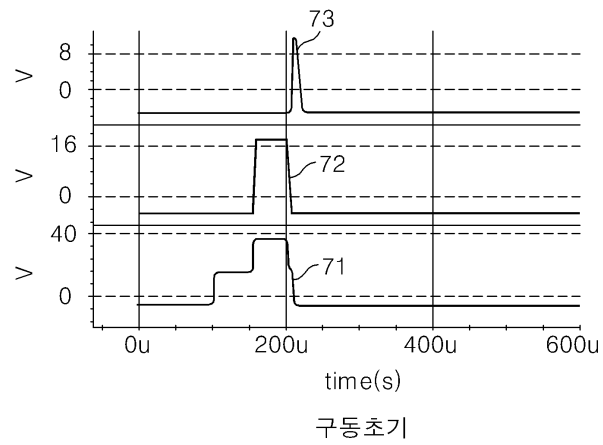
도면3



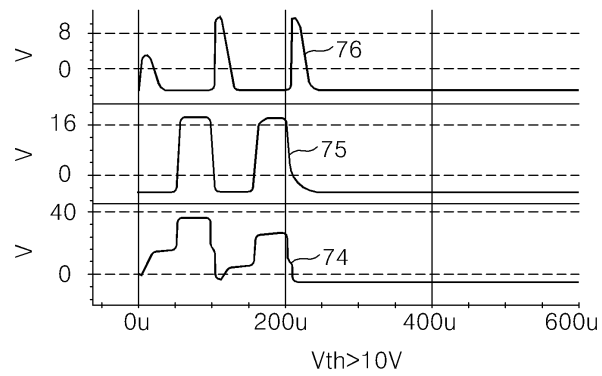
도면6



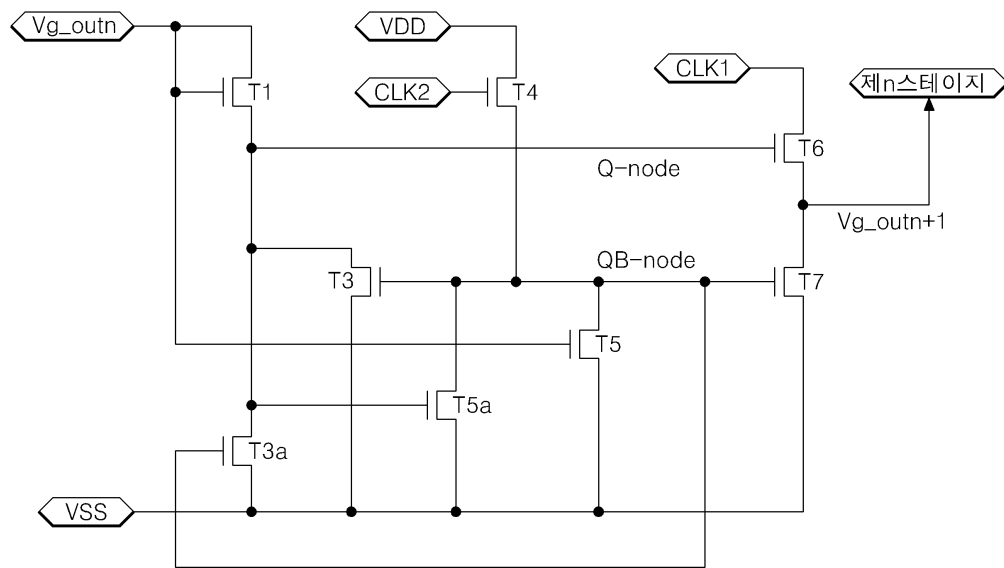
도면7a



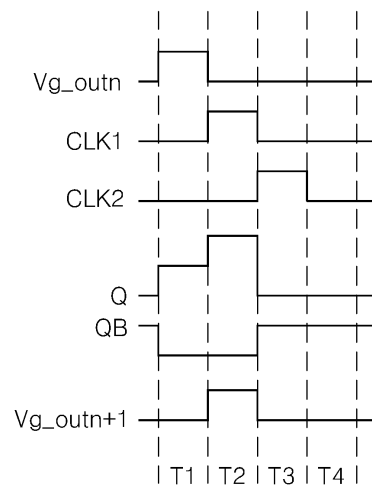
도면7b



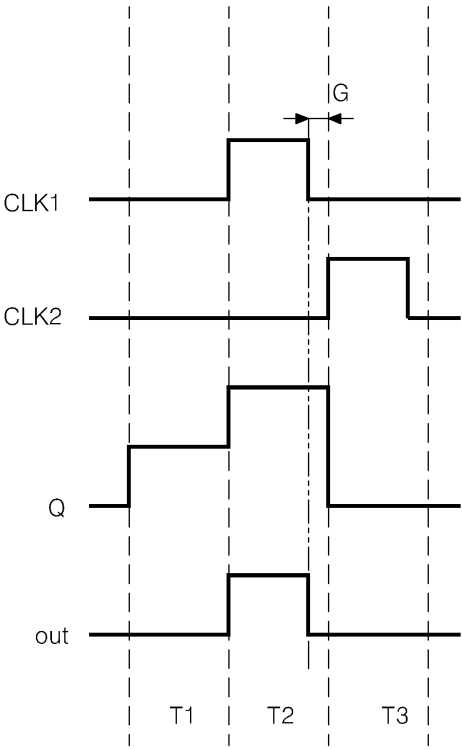
도면8



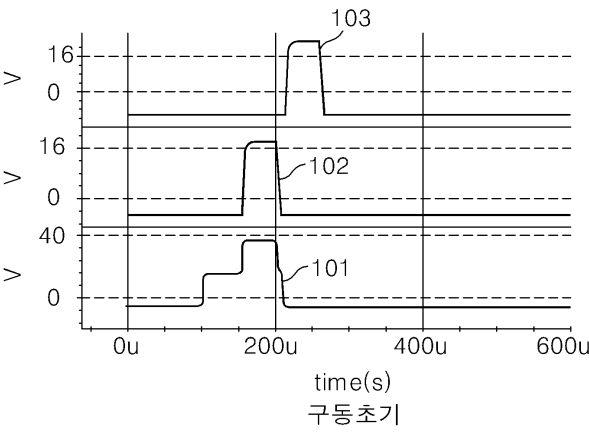
도면9



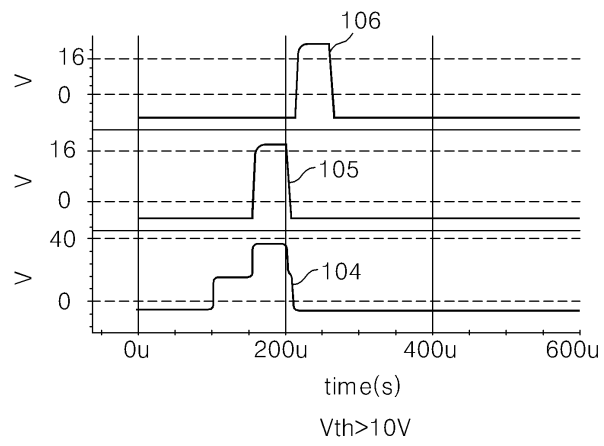
도면10



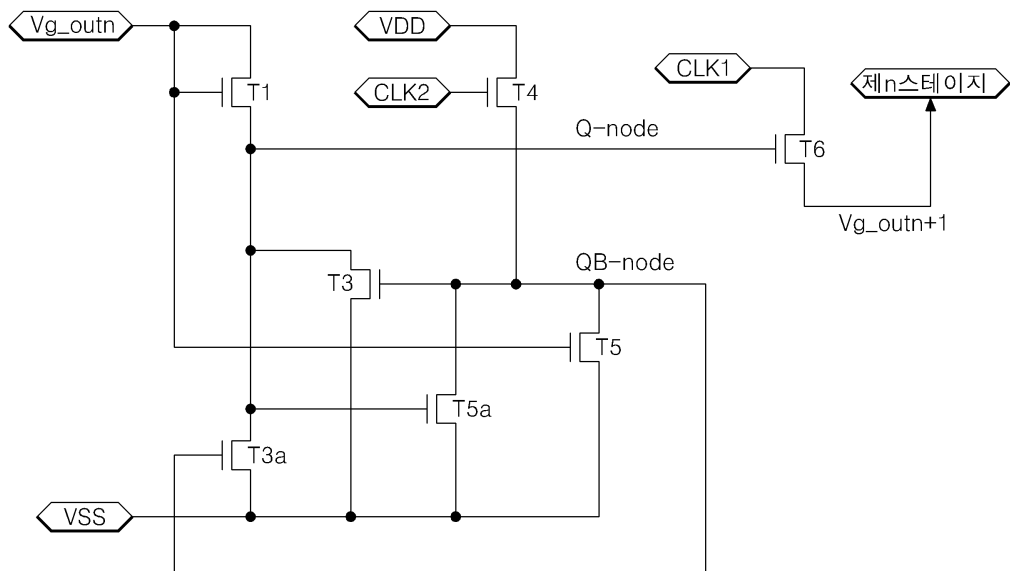
도면11a



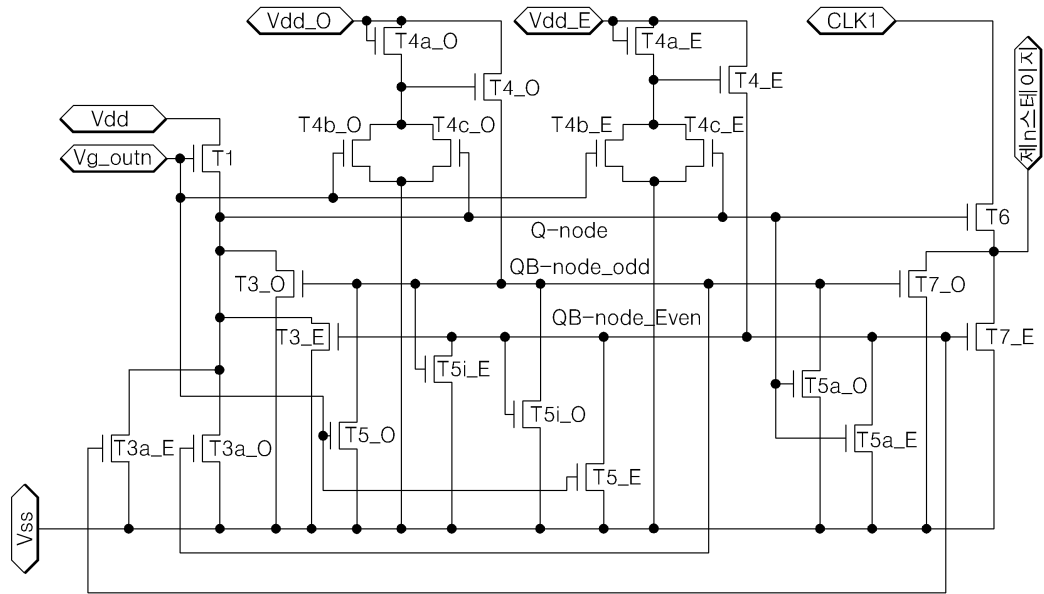
도면11b



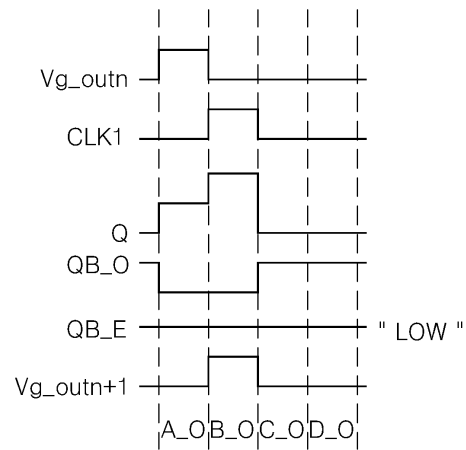
도면12



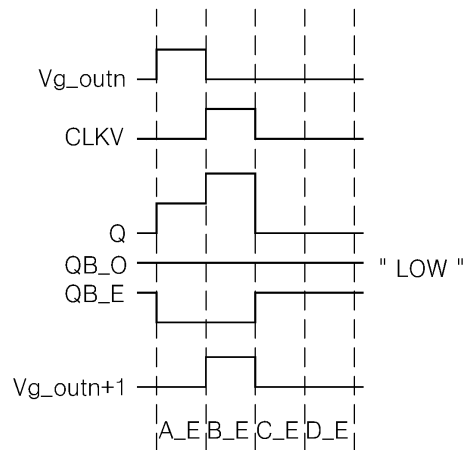
도면13



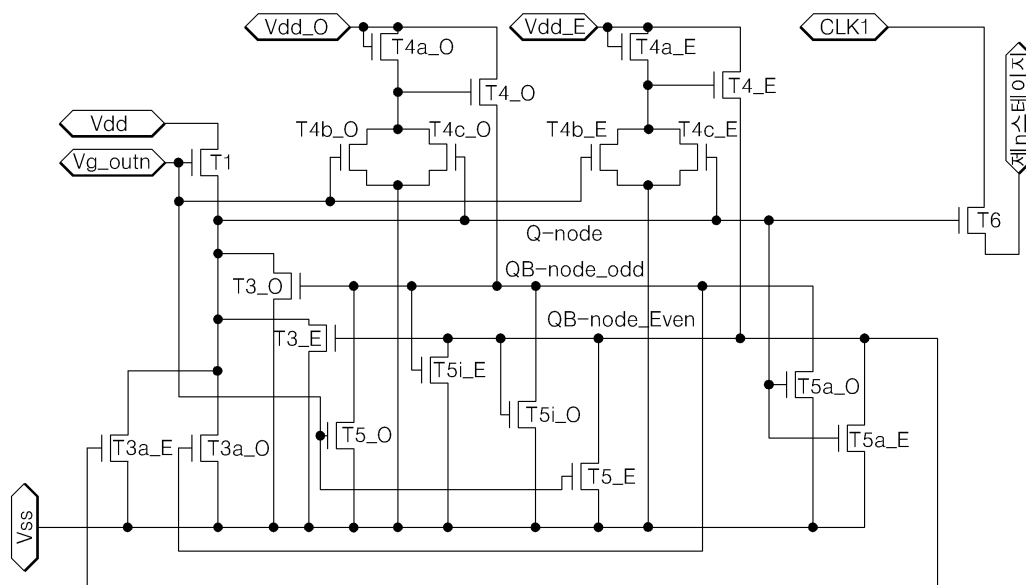
도면14a



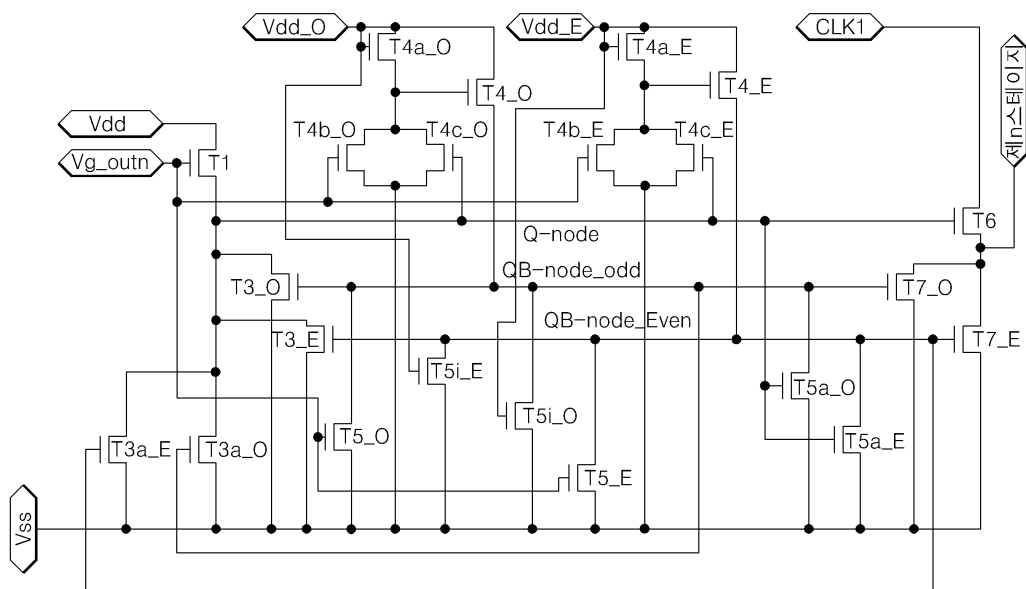
도면14b



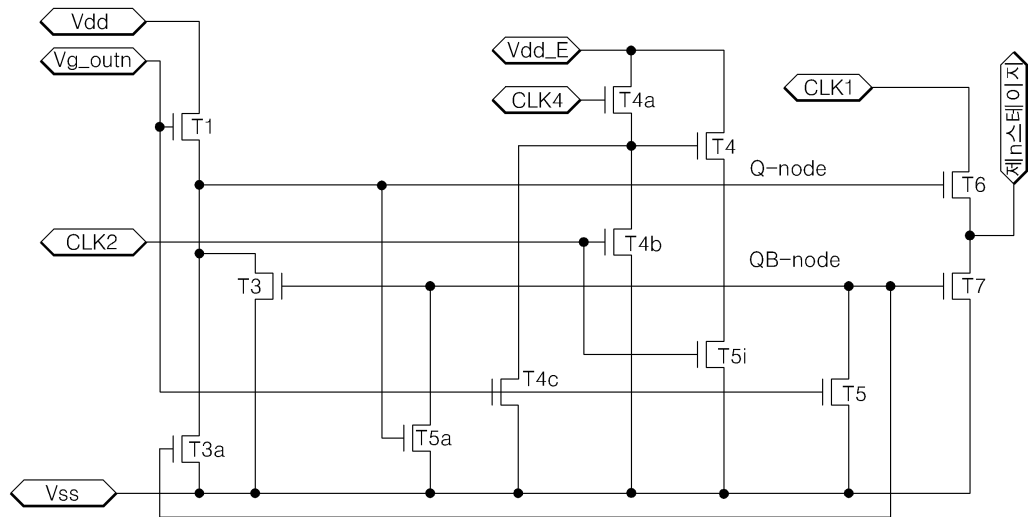
도면15



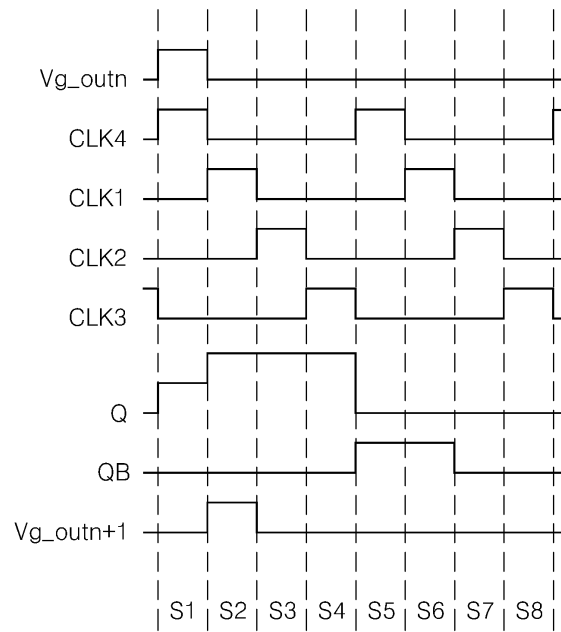
도면16



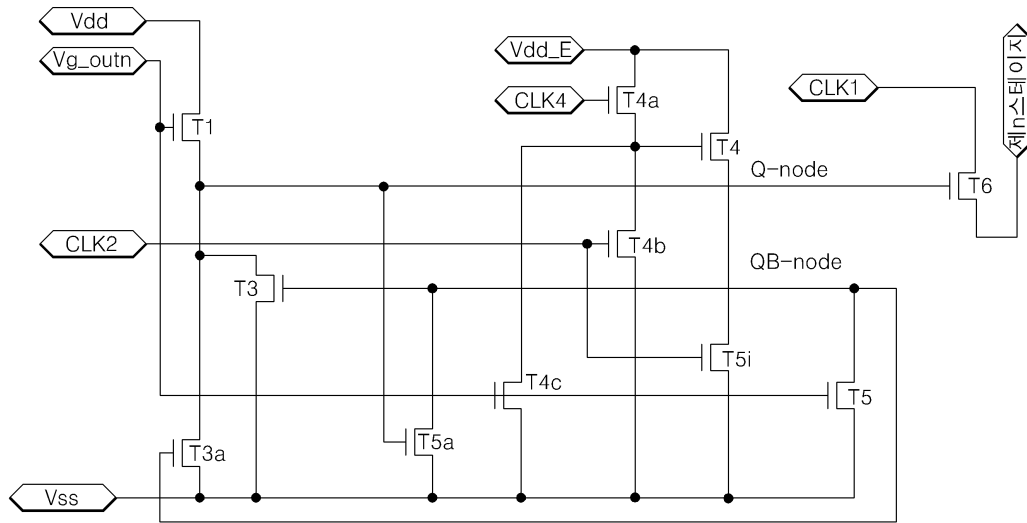
도면22



도면23



도면24



专利名称(译)	移位寄存器和使用它的液晶显示器		
公开(公告)号	KR1020070002784A	公开(公告)日	2007-01-05
申请号	KR1020050058454	申请日	2005-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM BINN 김빈 JANG YONG HO 장용호 YOON SOO YOUNG 윤수영		
发明人	김빈 장용호 윤수영		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G3/3677 G09G2300/0413 G09G2310/0286 G11C19/184 H03K19/01742		
代理人(译)	金勇 年轻的小公园		
其他公开文献	KR101222948B1		
外部链接	Espacenet		

摘要(译)

本发明涉及移位寄存器和液晶显示器，使用它来复位虚设级，同时减小布线空间和寄生电容，并用于改善栅极脉冲的质量。该液晶显示器包括多条栅极线和多条数据线，它们是栅极驱动单元，它连续地将栅极脉冲提供给栅极线，它包括LCD面板，以及虚拟级和数据驱动电路，用于向数据线提供数据电压。多个它交叉。对于LCD面板，布置有液晶单元。虚设级响应于第四节点的电压而重置第三节点，同时响应于相应第一节点的电压控制用于控制输出端子的电荷的多级，并响应于控制输出端子的放电。第二节点的电压和输出信号的连续移位，以及连接到最后一级的第一节点的虚拟输出端子的电荷，其响应于第三节点的电压在多级中产生最终输出信号并且响应于第四节点的电压控制虚拟输出端子的放电。

