



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2006-0126054
G02F 1/133 (2006.01) (43) 공개일자 2006년12월07일

(21) 출원번호 10-2005-0047650
(22) 출원일자 2005년06월03일
심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 이영학
경북 구미시 진평동 주공미래아파트 108동 201호
정훈
경상북도 칠곡군 석적면 우방신천지아파트 106동 1903호

(74) 대리인 김용인
심창섭

전체 청구항 수 : 총 4 항

(54) 액정표시장치

(57) 요약

본 발명은 입력단자의 수를 줄여 소형화에 기여할 수 있는 액정표시장치에 관한 것으로, 서로 교차하는 게이트 라인들과 데이터 라인들에 의해서 정의된 매트릭스 형태의 화소들을 갖는 표시부; 상기 데이터 라인들에 공급되어질 데이터 전압을 그 데이터 라인들 보다 적은 수의 출력라인을 통해 공급하는 데이터 드라이버; 외부로부터 시간차를 두고 입력되는 다수개의 제어신호가 게이트전극에 개별적으로 인가되고, 상기 출력라인에 공통으로 소스단자가 접속되고, 각 데이터 라인의 일측에 개별적으로 드레인단자가 접속되는 다수개의 스위칭소자들을 갖는 다수개의 디멀티플렉서; 상기 데이터 드라이버가 동작하지 않을 때 동작하며, 동작시 상기 데이터 라인들의 타측에 테스트용 데이터 전압을 공급하는 데이터 라인 검사부; 상기 멀티플렉서에 구비된 각 스위칭소자의 각 게이트단자에 개별적으로 접속된 다수개의 신호입력라인; 상기 신호입력라인에 입력되어 상기 스위칭소자들을 턴-오프시킬 차단신호를 공급받는 하나의 입력단자; 및, 외부로부터의 제어신호에 따라 상기 입력단자와 상기 신호입력라인들간을 전기적으로 접속/분리하는 스위칭부를 포함하는 것이다.

대표도

도 5

특허청구의 범위

청구항 1.

서로 교차하는 게이트 라인들과 데이터 라인들에 의해서 정의된 매트릭스 형태의 화소들을 갖는 표시부;

상기 데이터 라인들에 공급되어질 데이터 전압을 그 데이터 라인들 보다 적은 수의 출력라인을 통해 공급하는 데이터 드라이버;

외부로부터 시간차를 두고 입력되는 다수개의 제어신호가 게이트전극에 개별적으로 인가되고, 상기 출력라인에 공통으로 소스단자가 접속되고, 각 데이터 라인의 일측에 개별적으로 드레인단자가 접속되는 다수개의 스위칭소자들을 갖는 다수개의 멀티플렉서;

상기 데이터 드라이버가 동작하지 않을 때 동작하며, 동작시 상기 데이터 라인들의 타측에 테스트용 데이터 전압을 공급하는 데이터 라인 검사부;

상기 멀티플렉서에 구비된 각 스위칭소자의 각 게이트단자에 개별적으로 접속된 다수개의 신호입력라인;

상기 신호입력라인에 입력되어 상기 스위칭소자들을 턴-오프시킬 차단신호를 공급받는 하나의 입력단자; 및,

외부로부터의 제어신호에 따라 상기 입력단자와 상기 신호입력라인들간을 전기적으로 접속/분리하는 스위칭부를 포함함을 특징으로 하는 액정표시장치.

청구항 2.

제 1 항에 있어서,

상기 스위칭부는 다수개의 스위칭소자들로 구성되며, 상기 각 스위칭소자의 각 게이트단자들은 상기 제어신호를 공통으로 인가받고, 각 소스단자들은 상기 입력단자에 공통으로 접속되며, 각 드레인단자들은 상기 신호입력라인들 각각에 개별적으로 접속된 것을 특징으로 하는 액정표시장치.

청구항 3.

제 1 항에 있어서,

상기 게이트 라인들의 일측에, 상기 게이트 라인들을 시험 구동하기 위한 테스트용 스캔 펄스전압을 공급하는 게이트 라인 검사부를 더 포함함을 특징으로 하는 액정표시장치.

청구항 4.

제 1 항에 있어서,

상기 게이트 라인들의 타측에, 상기 게이트 라인을 구동하기 하기 위한 스캔 펄스전압을 순차적으로 공급하는 게이트 드라이버를 더 포함함을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치 및 그 구동 방법에 관한 것으로, 특히 입력단자의 수를 줄일 수 있는 액정표시장치에 대한 것이다.

통상의 액정표시장치는 서로 수직교차하는 게이트 라인들과 데이터 라인들에 의해 정의된 다수개의 화소를 갖는 표시부를 이용하여 비디오 신호(이하, 데이터 전압)에 대응하는 화상을 표시한다. 상기 표시부의 각 화소는 해당 데이터 전압에 따라 광투과량을 조절하는 액정셀과, 데이터 라인으로부터 액정셀에 공급될 데이터 전압을 절환하기 위한 박막트랜지스터로 구성된다. 또한, 상기 액정표시장치는 게이트 라인 및 데이터 라인을 구동하기 위한 게이트 드라이버 및 데이터 드라이버를 구비한다. 이러한 게이트 드라이버 및 데이터 드라이버는 박막트랜지스터가 전하 이동도가 높은 폴리 실리콘을 이용하는 경우 액정패널에 내장된다. 이 경우, 데이터 드라이버와 표시부 사이에 디멀티플렉서(Demultiplexor)부가 접속된다. 상기 디멀티플렉서부는 데이터 드라이버의 임의의 한 출력라인에 다수개의 데이터 라인을 접속시킴으로써 데이터 드라이버를 구성하는 드라이브 IC(Integrated Circuit)의 소요량을 줄이게 된다.

이하, 첨부된 도면을 참조하여 디멀티플렉서부가 구비된 종래의 액정표시장치를 상세히 설명하면 다음과 같다.

도 1은 종래의 액정표시장치의 구성도이다.

종래의 액정표시장치는, 도 1에 도시된 바와 같이, $m \times n$ 개의 화소가 매트릭스 타입으로 배열되고 m 개의 게이트 라인(GL 내지 GL n)과 n 개의 데이터 라인(DL1 내지 DL n)이 수직교차되며 그 교차부에 박막트랜지스터(TFT)가 형성된 표시부(111)와, 상기 게이트 라인(GL1 내지 GL m)에 스캔 펄스전압(SP)을 공급하기 위한 게이트 드라이버(101)와, 상기 표시부(111)의 데이터 라인(DL 내지 DL n)에 데이터 전압(VD1 내지 VD k)을 공급하기 위한 데이터 드라이버(102)와, 상기 표시부(111)와 상기 데이터 드라이버(102) 사이에 접속된 디멀티플렉서부(105)와, 상기 게이트 드라이버(101), 데이터 드라이버(102), 및 디멀티플렉서부(105)를 제어하는 타이밍 컨트롤러(106)를 구비한다.

상기 타이밍 컨트롤러(106)는 상기 게이트 드라이버(101) 및 데이터 드라이버(102)의 구동 타이밍을 제어하는 다수의 제어신호들을 생성하여 공급함과 아울러, 데이터 드라이버(102)로 화소 데이터를 정렬하여 공급한다. 또한, 상기 타이밍 컨트롤러(106)는 상기 디멀티플렉서부(105)를 제어하는 다수의 제어신호들을 생성하여 공급한다.

그리고, 상기 데이터 드라이버(102)와 디멀티플렉서부(105)간을 접속하는 출력라인(OL1 내지 OL k)은 상기 데이터 라인(DL 내지 DL n)의 수보다 적은 수를 가진다. 여기서, 상기 출력라인(OL1 내지 OL k)은 상기 데이터 드라이버(102)의 출력핀(도시되지 않음)에 접속되는데, 상기 출력라인(OL1 내지 OL k)과 출력핀의 수는 k 개로 동일하다.

여기서, 상기 디멀티플렉서부(105)를 좀 더 구체적으로 설명하면 다음과 같다.

도 2는 도 1에 도시된 디멀티플렉서부의 상세 회로도이고, 도 3은 임의의 수평 동기 기간에서 도 2에 도시된 제 1 디멀티플렉서의 구동 파형도이다.

상기 디멀티플렉서부(105)는, 도 2에 도시된 바와 같이, 데이터 드라이버(102)와 표시부(111)의 n 개의 데이터 라인들(DL 내지 DL n) 사이에 접속된 k 개의 디멀티플렉서(DEMUX1 내지 DEMUX k)를 구비한다. 상기 디멀티플렉서(DEMUX1 내지 DEMUX k) 각각은, 하나의 출력라인에 병렬로 접속되고 데이터 라인들(DL 내지 DL n) 중 3개의 데이터 라인들 각각과 접속된 제 1 내지 제 3 스위칭소자(SW1 내지 SW3)를 구비한다. 상기 제 1 내지 제 3 스위칭소자(SW1 내지 SW3)는 타이밍 컨트롤러(106)로부터 공급되는 제 1 내지 제 3 제어신호(C1 내지 C3)에 의해 한 수평 기간에서 서로 다른 시점에서 턴-온된다.

그리고, 게이트 드라이버(101)는 한 프레임 동안 m 개의 게이트 라인(GL1 내지 GL m)에 스캔 펄스전압(SP)을 순차적으로 공급하는데, 상기 스캔 펄스전압(SP)의 하이논리전압인 게이트 고전압(VGH)은, 도 3에 도시된 바와 같이, 해당 게이트 라인이 구동되는 한 수평 동기 기간 동안 유지된다.

여기서, 상기 게이트 고전압(VGH)은 박막트랜지스터(TFT)의 문턱전압 이상으로 설정된 스캔 펄스전압(SP)의 하이논리전압이고, 게이트 저전압(VGL)은 상기 박막트랜지스터(TFT)의 오프전압으로 설정된 스캔 펄스전압(SP)의 로우논리전압이다.

즉, 임의의 게이트 라인이 구동되는 수평 동기 기간(Hi) 동안, 데이터 드라이버(102)는 k 개의 디멀티플렉서(DEMUX1 내지 DEMUX k) 각각에 접속된 k 개의 출력라인(OL1 내지 OL k)을 통해 제 1 내지 제 3 제어신호(C1 내지 C3) 각각에 동기하도록 k 개씩의 데이터 전압(VD1 내지 VD k)을 순차적으로 공급한다. 그러면, 상기 디멀티플렉서(DEMUX1 내지 DEMUX k) 각각은 해당 출력라인(OL1 내지 OL k)을 통해 순차적으로 공급되는 3개의 데이터 전압(VD1 내지 VD k)을 타이밍 컨트롤러(106)로부터의 제 1 내지 제 3 제어신호(C1 내지 C3)에 응답하여 3개의 데이터 라인들 각각으로 공급한다.

예를 들면, k개의 디멀티플렉서(DEMUX1 내지 DEMUXk) 각각에 구성된 제 1 스위칭소자(SW1)의 게이트전극은 제 1 제어신호(C1)의 신호입력라인(IL)과, 제 2 스위칭소자(SW2)의 게이트전극은 제 2 제어신호(C2)의 신호입력라인(IL)과, 제 3 스위칭소자(SW3)의 게이트전극은 제 3 제어신호(C3)의 신호입력라인(IL)과 각각 접속된다. 이에 따라, 제 1 내지 제 3 제어신호(C1 내지 C3)가, 도 3에 도시된 바와 같이, 한 수평 동기 기간(Hi) 내에서 하이 상태가 순차적으로 쉬프트되어 공급되는 경우, 디멀티플렉서(DEMUX1 내지 DEMUXk) 각각의 제 1 내지 제 3 스위칭소자들(SW1 내지 SW3)이 제 1 스위칭소자(SW1), 제 2 스위칭소자(SW2), 제 3 스위칭소자(SW3)의 순서로 구동된다. 그리고, 데이터 드라이버(102)는 상기 제 1 내지 제 3 스위칭소자들(SW1 내지 SW3)의 구동 순서에 대응하여 해당 데이터 전압(VD1 내지 VDk)을 순차적으로 출력한다. 이 결과, 제 1 디멀티플렉서(DEMUX1)는, 도 3에 도시된 바와 같이, 제 1 스위칭소자(SW1)를 통해 제 1 데이터 라인(DL1)에 R(Red)에 대한 데이터 전압을, 제 2 스위칭소자(SW2)를 통해 제 2 데이터 라인(DL2)에 G(Green)에 대한 데이터 전압을, 제 3 스위칭소자(SW3)를 통해 제 3 데이터 라인(DL3)에 B(Blue)에 대한 데이터 전압을 순차적으로 공급한다.

여기서, 상기 표시부(111)와 상기 표시부(111)를 구동하기 위한 게이트 드라이버(101), 데이터 드라이버(102), 및 각 멀티플렉서(DEMUX1 내지 DEMUXk)는 액정패널(100)에 내장되는데, 특히 상기 데이터 드라이버(102)는 칩 형태로 상기 액정패널(100)에 실장된다(COG방식 : Chip On Glass). 그리고, 상기 타이밍 콘트롤러(106)는 상기 액정패널(100)의 외부에 구비된다.

한편, 상기 각 화소에 데이터 전압(VD1 내지 VDk)에 따른 화상이 제대로 표현되는지를 확인하기 위해, 종래의 액정표시장치에는 게이트 라인(GL1 내지 GLm)의 이상여부를 확인하기 위한 게이트 라인 검사부와 데이터 라인(DL1 내지 DLn)의 이상여부를 확인하기 위한 데이터 라인 검사부를 더 포함할 수 있다.

이하, 종래의 게이트 라인 검사부 및 데이터 라인 검사부가 구비된 액정표시장치를 상세히 설명하면 다음과 같다.

도 4는 종래의 게이트 라인 검사부 및 데이터 라인 검사부가 구비된 액정표시장치의 구성도이다.

종래의 액정표시장치는, 도 4에 도시된 바와 같이, $m \times n$ 개의 화소가 매트릭스 타입으로 배열되고 m개의 게이트 라인(GL 내지 GLm)과 n개의 데이터 라인(DL1 내지 DLn)이 수직교차되며 그 교차부에 박막트랜지스터(TFT)가 형성된 표시부(111)와, 상기 게이트 라인(GL1 내지 GLm)에 스캔 펄스전압(SP)을 공급하기 위한 게이트 드라이버(101)와, 상기 표시부(111)의 데이터 라인(DL 내지 DLn)에 데이터 전압(VD1 내지 VDk)을 공급하기 위한 데이터 드라이버(102)와, 상기 표시부(111)와 상기 데이터 드라이버(102) 사이에 접속된 다수개의 디멀티플렉서(DEMUX1 내지 DEMUXk)와, 상기 게이트 드라이버(101), 데이터 드라이버(102), 및 각 디멀티플렉서(DEMUX1 내지 DEMUXk)를 제어하는 타이밍 콘트롤러(도시되지 않음)와, 상기 표시부(111)의 게이트 라인(GL1 내지 GLm)에 테스트용 스캔 펄스전압(VT)을 공급하여 상기 게이트 라인(GL1 내지 GLm)의 이상 여부를 확인하는 게이트 라인 검사부(403)와, 상기 표시부(111)의 데이터 라인(DL 내지 DLn)에 테스트용 데이터 전압(VTR, VTG, VTB)을 공급하여 상기 데이터 라인(DL 내지 DLn)의 이상 여부를 확인하는 데이터 라인 검사부(404)를 포함한다.

여기서, 상기 각 디멀티플렉서(DEMUX1 내지 DEMUXk)는 도 2의 그것과 동일한 구성을 가진다

그리고, 상기 게이트 라인 검사부(403)는 상기 게이트 라인(GL1 내지 GLm)의 일측 끝단에 접속되어 있으며, 상기 게이트 드라이버(101)는 상기 게이트 라인(GL1 내지 GLm)의 타측 끝단에 접속되어 있다. 여기서, 상기 게이트 라인 검사부(403)는 상기 게이트 라인들(GL1 내지 GLm)에 테스트용 스캔 펄스전압(VT1)을 인가하여 상기 게이트 라인들(GL1 내지 GLm)을 구동하며, 상기 게이트 드라이버(101)는 상기 게이트 라인들(GL1 내지 GLm)에 차례로 스캔 펄스전압(SP)을 공급하여 상기 게이트 라인들(GL1 내지 GLm)을 순차적으로 구동한다.

그리고, 상기 데이터 라인 검사부(404)는 상기 데이터 라인(DL 내지 DLn)의 일측 끝단에 접속되어 있으며, 상기 데이터 드라이버(102)는 각 디멀티플렉서(DEMUX1 내지 DEMUXk)를 통해 상기 데이터 라인(DL 내지 DLn)의 타측 끝단에 접속되어 있다.

여기서, 상기 게이트 라인 검사부(403) 및 데이터 라인 검사부(404)를 좀 더 구체적으로 설명하면 다음과 같다.

먼저, 상기 게이트 라인 검사부(403)는, 외부로부터의 제 4 제어신호(C4)에 응답하여 테스트용 스캔 펄스전압(VT)을 상기 m개의 게이트 라인들(GL1 내지 GLm)에 공급하는 m개의 제 4 스위칭소자들(SW4)을 포함한다. 즉, 하나의 게이트 라인당 하나의 제 4 스위칭소자(SW4)가 접속되어 있다. 구체적으로, 상기 제 4 스위칭소자(SW4)의 각 게이트단자는 서로

병렬로 연결되어 상기 제 4 제어신호(C4)를 공통으로 인가받으며, 각 드레인단자는 각 게이트 라인(GL1 내지 GLm)에 개별적으로 접속되어 있으며, 각 소스단자는 서로 병렬로 연결되어 상기 테스트용 스캔 펄스전압(VT1)을 공통으로 인가받는다.

그리고, 상기 데이터 라인 검사부(404)는, 외부로부터의 제 5 제어신호(C5)에 응답하여 데이터 라인들(DL1 내지 DLn)에 테스트용 데이터 전압(VTR, VTG, VTB)을 출력하는 n개의 제 5 스위칭소자(SW5)로 구성되어 있다. 구체적으로, 상기 각 제 5 스위칭소자(SW5)의 각 게이트단자는 서로 병렬로 연결되어 상기 제 5 제어신호(C5)를 공통으로 인가받으며, 각 드레인단자는 상기 각 데이터 라인에 개별적으로 접속되어 있으며, 각 소스단자는 각각 상기 테스트용 데이터 전압(VTR, VTG, VTB)을 인가받는다.

한편, 상술한 바와 같이, 게이트 라인 검사부(403) 및 데이터 라인 검사부(404)는 상기 게이트 라인들(GL1 내지 GLm) 및 데이터 라인들(DL 내지 DLn)의 이상여부를 검사하기 위한 것으로, 상기 게이트 라인 검사부(403) 및 데이터 라인 검사부(404)가 동작할때는 상기 게이트 드라이버(101) 및 데이터 드라이버(102)는 동작하지 않는다.

즉, 상기 게이트 라인 검사부(403) 및 데이터 라인 검사부(404)는, 상기 게이트 드라이버(101) 및 데이터 드라이버(102)를 동작시켜 실제로 상기 액정표시장치를 작동시키기 전에, 상기 게이트 라인(GL1 내지 GLm) 및 데이터 라인(DL 내지 DLn)을 시험적으로 동작시키기 위한 검사부이다. 따라서, 상기 게이트 라인 검사부(403) 및 데이터 라인 검사부(404)가 동작하는 동안에는 상기 게이트 드라이버(101) 및 데이터 드라이버(102)는 동작하지 않는다. 또한, 상기 검사 과정에서는 타이밍 콘트롤러가 장착되지 않기 때문에, 각 신호입력라인(IL)에는 상기 제 1 내지 제 3 제어신호(C1 내지 C3)가 공급되지 않는다.

물론, 실구동시에는 상기 게이트 라인 검사부(403) 및 데이터 라인 검사부(404)가 동작을 멈추고, 상기 게이트 드라이버(101), 데이터 드라이버(102), 및 타이밍 콘트롤러가 동작하게 된다.

한편, 상기 표시부(111)와, 상기 표시부(111)를 구동하기 위한 게이트 드라이버(101), 데이터 드라이버(102), 게이트 라인 검사부(403), 데이터 라인 검사부(404), 및 각 다멀티플렉서(DEMUX1 내지 DEMUXk)는 액정패널(100)에 내장되는데, 특히 상기 데이터 드라이버(102)는 칩 형태로 상기 액정패널(100)에 실장된다. 그리고, 상기 타이밍 콘트롤러(106)는 상기 액정패널(100)의 외부에 구비된다.

여기서, 상기 게이트 라인들(GL1 내지 GLm) 및 데이터 라인들(DL 내지 DLn)의 검사 과정은 상기 데이터 드라이버(102) 및 타이밍 콘트롤러(106)가 장착되기 전에 이루어진다. 따라서, 상기 검사 과정에서는 상기 게이트 드라이버(101) 및 데이터 드라이버(102)가 동작할 수 없는 상태이다.

이와 같이 구성된 종래의 액정표시장치의 게이트 라인들(GL1 내지 GLm) 및 데이터 라인들(DL1 내지 DLn)을 검사하는 방법을 상세히 설명하면 다음과 같다.

먼저, 제 4 제어신호(C4)를 게이트 라인 검사부(403)에 인가하여, 상기 게이트 라인 검사부(403)에 구비된 제 4 스위칭소자들(SW4)을 턴-온시킨다. 그러면, 상기 턴-온된 제 4 스위칭소자들(SW4)은 테스트용 스캔 펄스전압(VT)을 출력하여 각 게이트 라인들(GL1 내지 GLm)에 공급한다. 이에 따라, 상기 게이트 라인들(GL1 내지 GLm)에 접속된 모든 박막트랜지스터들(TFT)이 턴-온된다.

이어서, 제 5 제어신호(C5)를 데이터 라인 검사부(404)에 인가하여, 상기 데이터 라인 검사부(404)에 구비된 제 5 스위칭소자들(SW5)을 턴-온시킨다. 그러면, 상기 턴-온된 제 5 스위칭소자들(SW5)은 테스트용 데이터 전압(VTR, VTG, VTB)을 출력하여 각 데이터 라인들(DL1 내지 DLn)에 공급한다. 구체적으로, 상기 제 5 스위칭소자들(SW5)은 테스트용 R 데이터 전압(VTR)을 제 1 데이터 라인(DL1), 제 4 데이터 라인(DL4), ..., 제 n-2 데이터 라인(DLn-2)에 공급하고, 테스트용 G 데이터 전압(VTG)을 제 2 데이터 라인(DL2), 제 5 데이터 라인(DL5), ..., 제 n-1 데이터 라인(DLn-1)에 공급되고, 테스트용 B 데이터 전압(VTB)을 제 3 데이터 라인(DL3), 제 6 데이터 라인(DL6), ..., 제 n 데이터 라인(DLn)에 공급한다. 상기 데이터 라인들(DL1 내지 DLn)에 공급된 테스트용 데이터 전압(VTR, VTG, VTB)은 상기 턴-온된 박막트랜지스터(TFT)를 통해 각 화소의 액정셀에 공급된다.

이에 의해서 모든 화소들이 상기 테스트용 데이터 전압(VTR, VTG, VTB)에 따른 화상을 표시하게 된다.

이때, 상기 표시부(111)에 나타나는 상기 화면의 이상을 확인함으로써 상기 게이트 라인들(GL1 내지 GLm) 및 데이터 라인들(DL1 내지 DLn)의 양/불량, 즉 단선 여부를 확인할 수 있다.

즉, 임의의 게이트 라인의 일부분을 따라 수평하게 배열된 화소들에 화상이 표시되지 않으면 상기 게이트 라인이 단선된 것으로 판단할 수 있으며, 임의의 데이터 라인의 일부분을 수직하게 따라 배열된 화소들에 화상이 표시되지 않으면, 상기 데이터 라인이 단선된 것으로 판단할 수 있다.

또한, 특정 화소가 화상을 표시하지 않는다면, 상기 화소에 구비된 박막트랜지스터가 오동작을 일으킨 것으로 판단할 수 있다.

한편, 이와 같은 검사 과정시 상기 각 디멀티플렉서(DEMUX1 내지 DEMUXk)에 구비된 제 1 내지 제 3 스위칭소자들(SW1 내지 SW3)은 모두 턴-오프상태를 유지하고 있어야 한다. 즉, 상기 제 1 내지 제 3 스위칭소자들(SW1 내지 SW3)이 턴-온되어 있다면, 상기 데이터 라인들(DL1 내지 DLn)이 상기 턴-온된 제 1 내지 제 3 스위칭소자들(SW1 내지 SW3)을 통해 서로 단락되며, 이 경우 각 데이터 라인(DL1 내지 DLn)에 공급된 테스트용 R 데이터 전압(VTR), 테스트용 G 데이터 전압(VTG), 테스트용 B 테스트용 데이터 전압(VTB)이 모두 섞이게 되어 정확한 검사를 할 수가 없게 된다.

이를 방지하기 위해, 검사 과정에서, 상기 제 1 내지 제 3 스위칭소자들(SW1 내지 SW3)의 각 게이트단자가 개별적으로 접속된 각 신호입력라인(IL)에 차단신호(VOFF)를 공급함으로써 상기 제 1 내지 제 3 스위칭소자들(SW1 내지 SW3)을 완전하게 턴-오프상태로 유지시킨다.

상기 차단신호(VOFF)는 외부에서 작업자에 의해 공급되는 것으로, 상기 차단신호(VOFF)는 먼저 입력단자(411)에 입력된다. 이 입력단자(411)는 상기 각 신호입력라인(IL)의 일측끝단에 연결되어 있는데, 상기 입력단자(411)는 상기 신호입력라인(IL)당 하나씩 형성되어 있다. 상기 입력단자(411)는 표시장치가 대형화되고 고해상도로 갈수록 더 많이 필요하게 된다.

즉, 상기 표시장치가 대형되고 고해상도 갈수록 데이터 라인(DL1 내지 DLn)의 수가 증가하고, 상기 데이터 라인(DL1 내지 DLn)의 수가 증가하면 디멀티플렉서(DEMUX1 내지 DEMUXk)의 스위칭소자들의 수도 증가하게 되고, 상기 스위칭소자들의 수가 증가하게 되면 상기 신호입력라인(IL)의 수도 증가하게 되고, 상기 신호입력라인(IL)의 수가 증가하게 되면 상기 입력단자(411)의 수도 증가하게 된다. 상기 입력단자(411)는 상기 액정패널(100)상에 형성되는데, 이와 같이 상기 입력단자(411)의 수가 많아지게 되면, 이들을 형성하기 위한 면적도 증가하게 되므로 액정패널(100)크기가 증가할 수밖에 없다. 결국, 상기 입력단자의 수로 인해 액정패널(100)의 소형화가 어려워진다.

한편, 도면에 도시하지 않았지만, 상기 제 4 제어신호(C4), 테스트용 스캔 펄스전압(VT), 제 5 제어신호(C5), 및 테스트용 데이터 전압(VTR, VTG, VTB)도 외부로부터 입력되므로, 상기 액정패널(100)에는 상기 신호 및 전압이 입력되는 별도의 입력단자들이 형성되어 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위하여 안출한 것으로, 외부로부터의 제어신호에 따라 하나의 입력단자와 상기 신호입력라인들간을 전기적으로 접속/분리하는 스위칭부를 형성하여, 입력단자의 수를 획기적으로 줄일 수 있는 액정표시장치를 제공하는데 그 목적이 있다.

발명의 구성

상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치는, 서로 교차하는 게이트 라인들과 데이터 라인들에 의해서 정의된 매트릭스 형태의 화소들을 갖는 표시부; 상기 데이터 라인들에 공급되어질 데이터 전압을 그 데이터 라인들보다 적은 수의 출력라인을 통해 공급하는 데이터 드라이버; 외부로부터 시간차를 두고 입력되는 다수개의 제어신호가 게이트전극에 개별적으로 인가되고, 상기 출력라인에 공통으로 소스단자가 접속되고, 각 데이터 라인의 일측에 개별적으로 드레인단자가 접속되는 다수개의 스위칭소자들을 갖는 다수개의 디멀티플렉서; 상기 데이터 드라이버가 동작하지 않을 때 동작하며, 동작시 상기 데이터 라인들의 타측에 테스트용 데이터 전압을 공급하는 데이터 라인 검사부; 상기 멀티플렉서에 구비된 각 스위칭소자의 각 게이트단자에 개별적으로 접속된 다수개의 신호입력라인; 상기 신호입력라인에 입력되어 상기 스위칭소자들을 턴-오프시킬 차단신호를 공급받는 하나의 입력단자; 및, 외부로부터의 제어신호에 따라 상기 입력단자와 상기 신호입력라인들간을 전기적으로 접속/분리하는 스위칭부를 포함함을 그 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예에 따른 액정표시장치를 상세히 설명하면 다음과 같다.

도 5는 본 발명의 실시예에 따른 액정표시장치의 구성을 나타낸 도면이고, 도 6은 도 5의 스위칭부의 상세 구성도이다.

본 발명의 실시예에 따른 액정표시장치는, 도 5에 도시된 바와 같이, $m \times n$ 개의 화소가 매트릭스 타입으로 배열되고 m 개의 게이트 라인들(GL1 내지 GL m)과 n 개의 데이터 라인들(DL1 내지 DL n)이 수직교차되며 그 교차부에 박막트랜지스터(TFT)가 형성된 표시부(555)와, 상기 게이트 라인들(GL1 내지 GL m)에 스캔 펄스전압(SP)을 공급하기 위한 게이트 드라이버(501)와, 상기 게이트 라인들(GL1 내지 GL m)에 테스트용 스캔 펄스전압(VT)을 공급하기 위한 게이트 라인 검사부(503)와, 상기 데이터 라인들(DL1 내지 DL n)에 공급되어질 데이터 전압(VD1 내지 VD k)을 그 데이터 라인들(DL1 내지 DL n)보다 적은 수의 출력라인(OL1 내지 OL k)을 통해 공급하는 데이터 드라이버(도시되지 않음)와, 상기 출력라인(OL1 내지 OL k)을 통해 데이터 드라이버로부터의 데이터 전압(VD1 내지 VD k)을 공급받고, 이들을 데이터 라인(DL1 내지 DL n)에 순차적으로 나누어 공급하는 제 1 내지 제 3 스위칭소자들(SW1 내지 SW3)을 구비한 다수개의 디멀티플렉서(DEMUX1 내지 DEMUX k)와, 상기 각 디멀티플렉서(DEMUX1 내지 DEMUX k)에 구비된 제 1 내지 제 3 스위칭소자(SW1 내지 SW3)를 턴-오프시키기 위한 차단신호(VOFF)가 공급될 다수개의 신호입력라인(IL)과, 상기 신호입력라인(IL)에 공급될 차단신호(VOFF)가 입력되는 하나의 입력단자(511)와, 외부로부터의 제 6 제어신호(C6)에 따라 상기 입력단자와 상기 신호입력라인(IL)간을 전기적으로 접속/분리하는 스위칭부(570)와, 상기 데이터 라인에 테스트용 데이터 전압(VTR, VTG, VTB)을 공급하는 데이터 라인 검사부(504)와, 상기 게이트 드라이버(501), 데이터 드라이버(502), 및 각 디멀티플렉서(DEMUX1 내지 DEMUX k)를 제어하기 위한 타이밍 콘트롤러(도시되지 않음)를 포함한다.

여기서, 상기 타이밍 콘트롤러는 상기 게이트 드라이버(501) 및 데이터 드라이버(502)의 구동 타이밍을 제어하는 다수의 제어신호들을 생성하여 공급함과 아울러 데이터 드라이버(502)로 화소 데이터를 재정렬하여 공급한다. 또한, 상기 타이밍 콘트롤러는 상기 디멀티플렉서(DEMUX1 내지 DEMUX k)를 제어하는 제 1 내지 제 3 제어신호(C1 내지 C3)를 생성하여 상기 신호입력라인(IL)에 공급한다.

그리고, 상기 게이트 라인 검사부(503)는 상기 게이트 라인들(GL1 내지 GL m)의 일측 끝단에 접속되어 있으며, 상기 게이트 드라이버(501)는 상기 게이트 라인(GL1 내지 GL m)의 타측 끝단에 접속되어 있다. 여기서, 상기 게이트 라인 검사부(503)는 상기 게이트 라인들(GL1 내지 GL m)에 테스트용 스캔 펄스전압(VT)을 인가하여 상기 게이트 라인들(GL1 내지 GL m)을 구동하며, 상기 게이트 드라이버(501)는 상기 게이트 라인들(GL1 내지 GL m)에 차례로 스캔 펄스전압(SP)을 공급하여 상기 게이트 라인들(GL1 내지 GL m)을 순차적으로 구동한다.

그리고, 상기 데이터 라인 검사부(504)는 상기 데이터 라인들(DL1 내지 DL n)의 일측 끝단에 접속되어 있으며, 상기 데이터 드라이버(502)는 상기 디멀티플렉서(DEMUX1 내지 DEMUX k)를 통해 상기 데이터 라인들(DL1 내지 DL n)의 타측 끝단에 접속되어 있다. 여기서, 데이터 라인 검사부(504)는 상기 데이터 라인들(DL1 내지 DL n)에 테스트용 데이터 전압(VTR, VTG, VTB)을 인가하여 상기 데이터 라인들(DL1 내지 DL n)을 구동하며, 상기 데이터 드라이버(502)는 상기 데이터 라인들(DL1 내지 DL n)에 데이터 전압(VD1 내지 VD k)을 인가하여 상기 데이터 라인들(DL1 내지 DL n)을 구동한다.

그리고, 상기 데이터 드라이버(502)와 상기 각 디멀티플렉서(DEMUX1 내지 DEMUX k)간을 접속하는 출력라인(OL1 내지 OL k)은 상기 데이터 라인(DL1 내지 DL n)의 수보다 적은 수를 가진다. 여기서, 상기 출력라인(OL1 내지 OL k)은 상기 데이터 드라이버(502)의 출력핀(도시되지 않음)에 접속되는데, 상기 출력라인(OL1 내지 OL k)과 출력핀의 수는 k 개로 동일하다.

여기서, 각 디멀티플렉서(DEMUX1 내지 DEMUX k), 게이트 라인 검사부(503), 데이터 라인 검사부(504), 및 스위칭부(570)에 대하여 좀 더 구체적으로 설명하면 다음과 같다.

먼저, 상기 디멀티플렉서(DEMUX1 내지 DEMUX k) 각각은, 하나의 출력라인에 병렬로 접속되고 데이터 라인들(DL1 내지 DL n) 중 3개의 데이터 라인들 각각과 접속된 제 1 내지 제 3 스위칭소자(SW1 내지 SW3)를 구비한다. 상기 제 1 내지 제 3 스위칭소자(SW1 내지 SW3)는 타이밍 콘트롤러로부터 공급되는 제 1 내지 제 3 제어신호(C1 내지 C3)에 의해 한 수평 기간에서 서로 다른 시점에서 턴-온된다.

그리고, 게이트 드라이버(501)는 한 프레임 동안 m 개의 게이트 라인들(GL1 내지 GL m)에 스캔 펄스전압(SP)을 순차적으로 공급하는데, 상기 스캔 펄스전압(SP)의 하이논리전압인 게이트 고전압(VGH)은, 도 3에 도시된 바와 같이, 해당 게이트 라이 구동되는 한 수평 동기 기간(Hi) 동안 유지된다.

여기서, 상기 게이트 고전압(VGH)은 박막트랜지스터(TFT)의 문턱전압 이상으로 설정된 스캔 펄스전압(SP)의 하이논리 전압이고, 게이트 저전압(VGL)은 상기 박막트랜지스터(TFT)의 오프전압으로 설정된 스캔 펄스전압(SP)의 로우논리전압이다.

즉, 임의의 게이트 라인(GL1 내지 GLm)이 구동되는 수평 동기 기간(Hi) 동안, 데이터 드라이버(502)는 k개의 디멀티플렉서(DEMUX1 내지 DEMUXk) 각각에 접속된 k개의 출력라인(OL1 내지 OLk)을 통해 제 1 내지 제 3 제어신호(C1 내지 C3) 각각에 동기하도록 k개씩의 데이터 전압(VD1 내지 VDk)을 순차적으로 공급한다. 그러면, 상기 디멀티플렉서(DEMUX1 내지 DEMUXk) 각각은 해당 출력라인(OL1 내지 OLk)을 경유하여 순차적으로 공급되는 3개의 데이터 전압(VD1 내지 VDk)을 타이밍 콘트롤러(506)로부터의 제 1 내지 제 3 제어신호(C1 내지 C3)에 응답하여 3개의 데이터 라인들(DL1 내지 DLn) 각각으로 공급한다.

예를 들면, 상기 디멀티플렉서(DEMUX1 내지 DEMUXk) 각각에 구성된 제 1 스위칭소자(SW1)의 게이트전극은 제 1 제어신호(C1)의 신호입력라인(IL)과, 제 2 스위칭소자(SW2)의 게이트전극은 제 2 제어신호(C2)의 신호입력라인(IL)과, 제 3 스위칭소자(SW3)의 게이트 전극은 제 3 제어신호(C3)의 신호입력라인(IL)과 각각 접속된다. 이에 따라, 제 1 내지 제 3 제어신호(C1 내지 C3)가, 도 3에 도시된 바와 같이, 한 수평 동기 기간 내에서 하이 상태가 순차적으로 쉬프트되어 공급되는 경우 디멀티플렉서(DEMUX1 내지 DEMUXk) 각각의 제 1 내지 제 3 스위칭소자들(SW1 내지 SW3)은 제 1 스위칭소자(SW1), 제 2 스위칭소자(SW2), 제 3 스위칭소자(SW3)의 순서로 구동된다. 그리고, 데이터 드라이버(502)는 상기 제 1 내지 제 3 스위칭소자들(SW1 내지 SW3)의 구동 순서에 대응하여 해당 데이터 전압(VD1 내지 VDk)을 순차적으로 출력한다. 이 결과, 각 디멀티플렉서(DEMUX1 내지 DEMUXk)는, 제 1 스위칭소자(SW1)를 통해 제 1 데이터 라인(DL1)에 R(Red)에 대한 데이터 전압을, 제 2 스위칭소자(SW2)를 통해 제 2 데이터 라인(DL2)에 G(Green)에 대한 데이터 전압을, 제 3 스위칭소자(SW3)를 통해 제 3 데이터 라인(DL3)에 B(Blue)에 대한 데이터 전압을 순차적으로 공급한다.

그리고, 상기 게이트 라인 검사부(503)는, 외부로부터의 제 4 제어신호(C4)에 응답하여 테스트용 스캔 펄스전압(VT)을 상기 m개의 게이트 라인들(GL1 내지 GLm)에 공급하는 m개의 제 4 스위칭소자들(SW4)로 구성되어 있다. 즉, 하나의 게이트 라인당 하나의 제 4 스위칭소자(SW4)가 접속되어 있다. 구체적으로, 상기 제 4 스위칭소자(SW4)의 각 게이트단자는 서로 병렬로 연결되어 상기 제 4 제어신호(C4)를 공통으로 인가받으며, 각 드레인단자는 각 게이트 라인(GL1 내지 GLm)에 개별적으로 접속되어 있으며, 각 소스단자는 서로 병렬로 연결되어 상기 테스트용 스캔 펄스전압(VT)을 공통으로 인가받는다.

그리고, 상기 데이터 라인 검사부(504)는 외부로부터의 제 5 제어신호(C5)에 응답하여 데이터 라인들(DL1 내지 DLn)에 테스트용 데이터 전압(VTR, VTG, VTB)을 출력하는 다수개의 제 5 스위칭소자(SW5)로 구성되어 있다. 구체적으로, 상기 제 5 스위칭소자(SW5)의 각 게이트단자는 서로 병렬로 연결되어 상기 제 5 제어신호(C5)를 공통으로 인가받으며, 각 드레인단자는 상기 각 데이터 라인(DL1 내지 DLn)에 개별적으로 접속되어 있으며, 각 소스단자는 개별적으로 상기 테스트용 데이터 전압(VT2)을 공통으로 인가받는다.

그리고, 상기 스위칭부(570)는, 도 6에 도시된 바와 같이, 다수개의 제 6 스위칭소자들(SW6)로 구성된다. 상기 제 6 스위칭소자들(SW6)의 수는 상기 신호입력라인(IL)의 수와 동일하다. 여기서, 상기 제 6 스위칭소자들(SW6) 각각의 게이트전극은 외부로부터의 제 6 제어신호(C6)를 공통으로 인가받으며, 각각의 드레인단자는 상기 신호입력라인(IL)의 일측 끝단에 개별적으로 접속되어 있으며, 각각의 소스단자는 상기 입력단자(511)에 공통으로 접속되어 있다. 따라서, 본 발명에서는 단 하나의 입력단자(511)만으로 3개의 신호입력라인(IL)에 모두 차단신호(VOFF)를 공급할 수 있다. 여기서, 상기 신호입력라인(IL)이 3개 이상으로 늘어나더라도, 상기 입력단자(511)는 단 하나만 있으면 된다.

그리고, 도면에 도시하지 않았지만, 상기 제 4 제어신호(C4), 테스트용 스캔 펄스전압(VT), 제 5 제어신호(C5), 테스트용 데이터 전압(VTR, VTG, VTB), 및 제 6 제어신호(C6)도 외부로부터 입력되므로, 상기 액정패널에는 상기 신호 및 전압이 입력되는 별도의 입력단자들이 형성되어 있다.

한편, 상기 게이트 라인 검사부(503) 및 데이터 라인 검사부(504)는 상기 액정표시장치의 게이트 라인(GL1 내지 GLm) 및 데이터 라인(DL1 내지 DLn)의 이상여부를 검사하기 위한 것이고, 상기 스위칭부(570)는 상기 게이트 라인들(GL1 내지 GLm) 및 데이터 라인들(DL1 내지 DLn)의 검사시 각 데이터 라인(DL1 내지 DLn)에 인가된 테스트용 데이터 전압(VTR, VTG, VTB)간의 간섭을 방지하기 위해 상기 디멀티플렉서(DEMUX1 내지 DEMUXk)의 제 1 내지 제 3 스위칭소자(SW1 내지 SW3)를 턴-오프상태로 유지시키기 위한 것으로, 상기 검사시에는, 즉 상기 게이트 라인 검사부(503), 데이터 라인

검사부(504), 및 상기 스위칭부(570)가 동작할때는 상기 게이트 드라이버(501) 및 데이터 드라이버(502)는 동작하지 않는다. 또한, 상기 검사 과정에서는 타이밍 콘트롤러가 장착되지 않기 때문에, 각 신호입력라인(IL)에는 상기 제 1 내지 제 3 제어신호(C1 내지 C3)가 공급되지 않는다.

즉, 상기 게이트 라인 검사부(503), 데이터 라인 검사부(504), 및 스위칭부(570)는, 상기 게이트 드라이버(501) 및 데이터 드라이버를 동작시켜 실제로 상기 액정표시장치를 작동시키기 전에, 상기 게이트 라인들(GL1 내지 GLm) 및 데이터 라인들(DL1 내지 DLn)을 시험적으로 동작시키기 위한 테스트부이다. 따라서, 상기 게이트 라인 검사부(503), 데이터 라인 검사부(504), 및 스위칭부(570)가 동작하는 동안에는 상기 게이트 드라이버(501) 및 데이터 드라이버(502)는 동작하지 않는다.

물론, 실구동시에는 상기 게이트 라인 검사부(503), 데이터 라인 검사부(504), 및 스위칭부(570)가 동작을 멈추고, 상기 게이트 드라이버(501), 데이터 드라이버(502), 및 타이밍 콘트롤러가 동작하게 된다.

한편, 상기 표시부(555)와, 상기 표시부(555)를 구동하기 위한 게이트 드라이버(501), 데이터 드라이버, 게이트 라인 검사부(503), 데이터 라인 검사부(504), 및 각 디멀티플렉서(DEMUX1 내지 DEMUXk)는 액정패널에 내장되는데, 특히 상기 데이터 드라이버(502)는 칩 형태로 상기 액정패널에 실장된다(COG 실장방식; Chip On Glass). 그리고, 상기 타이밍 콘트롤러는 상기 액정패널의 외부에 구비된다.

이와 같이 구성된 본 발명의 실시예에 따른 액정표시장치에서 상기 게이트 라인들(GL1 내지 GLm), 데이터 라인들(DL1 내지 DLn), 및 화소의 이상여부를 확인하는 방법을 상세히 설명하면 다음과 같다.

먼저, 상술한 바와 같이, 상기 액정표시장치에서 상기 타이밍 콘트롤러 및 데이터 드라이버는 아직 장착되지 않은 상태이고, 상기 게이트 드라이버(501)는 동작하지 않는 상태이다.

이와 같은 상태에서, 상기 스위칭부(870)에 구비된 제 6 스위칭소자들(SW6)의 게이트단자에 제 6 제어신호(C6)를 공급한다. 그러면, 상기 제 6 제어신호(C6)에 응답하여 상기 제 6 스위칭소자들(SW6)이 모두 턴-온되고, 이때 외부로부터 입력단자(511)에 인가된 차단신호(VOFF)가, 상기 턴-온된 제 6 스위칭소자들(SW6)을 각각 경유하여, 상기 신호입력라인들(IL) 각각에 동시에 공급된다. 그리고, 이 신호입력라인들(IL) 각각에 자신의 게이트단자가 접속된 제 1 내지 제 3 스위칭소자들(SW1 내지 SW3)은 상기 신호입력라인들(IL)에 공급된 차단신호(VOFF)에 응답하여 턴-오프상태를 유지한다.

이와 같이 상기 제 1 내지 제 3 스위칭소자(SW1 내지 SW3)가 턴-오프된 상태에서, 게이트 라인 검사부(503)에 제 4 제어신호(C4)를 공급한다. 그러면, 상기 제 4 제어신호(C4)에 응답하여 상기 게이트 라인 검사부(503)의 제 4 스위칭소자(SW4)가 턴-온되고, 이때 테스트용 스캔 펄스전압(VT)이 상기 턴-온된 제 4 스위칭소자(SW4)를 경유하여 게이트 라인들(GL1 내지 GLm)에 동시에 공급된다. 따라서, 상기 게이트 라인(GL1 내지 GLm)에 접속된 모든 화소의 박막트랜지스터들(TFT)이 턴-온된다.

한편, 상기 데이터 라인 검사부(504)의 각 제 5 스위칭소자(SW5)는 제 5 제어신호(C5)에 응답하여 테스트용 데이터 전압(VTR, VTG, VTB), 즉 테스트용 R 데이터 전압(VTR), 테스트용 G 데이터 전압(VTG), 및 테스트용 B 데이터 전압(VTB)을 각 데이터 라인(DL1 내지 DLn)에 공급한다. 구체적으로, 상기 테스트용 R 데이터 전압(VTR)은 제 1 데이터 라인(DL1), 제 4 데이터 라인(DL4), ..., 제 n-2 데이터 라인(DLn-2)에 공급되고, 상기 테스트용 G 데이터 전압(VTG)은 제 2 데이터 라인(DL2), 제 5 데이터 라인(DL5), ..., 제 n-1 데이터 라인(DLn-1)에 공급되고, 상기 테스트용 B 데이터 전압(VTB)은 제 3 데이터 라인(DL3), 제 6 데이터 라인(DL6), ..., 제 n 데이터 라인(DLn)에 공급된다.

그리고, 상기 데이터 라인(DL1 내지 DLn)에 인가된 상기 테스트용 데이터 전압(VTR, VTG, VTB)은 상기 턴-온된 박막트랜지스터(TFT)를 통해 각 화소에 공급된다.

이와 같이, 상기 표시부(555)에 테스트용 화면을 표시하고, 상기 화면의 이상을 확인함으로써 상기 게이트 라인(GL1 내지 GLm) 및 데이터 라인(DL1 내지 DLn)의 양/불량, 즉 단선 여부를 확인할 수 있다. 즉, 임의의 게이트 라인의 일부분을 따라 수평하게 배열된 화소들에 화상이 표시되지 않으면 상기 게이트 라인이 단선된 것으로 판단할 수 있으며, 임의의 데이터 라인의 일부분을 수직하게 따라 배열된 화소들에 화상이 표시되지 않으면, 상기 데이터 라인이 단선된 것으로 판단할 수 있다.

또한, 특정 화소가 화상을 표시하지 않는다면, 상기 화소에 구비된 박막트랜지스터(TFT)가 오동작을 일으킨 것으로 판단할 수 있다.

발명의 효과

이상에서 설명한 바와 같은 본 발명에 따른 액정표시장치에는 다음과 같은 효과가 있다.

본 발명에서는 외부로부터의 제어신호에 따라 하나의 입력단자와, 상기 신호입력라인들간을 전기적으로 접속/분리하는 스위칭부가 구비되어 있어서, 상기 신호입력라인의 수가 아무리 증가하더라도 단 하나의 입력단자만으로 상기 신호입력라인들 모두에 차단신호를 공급할 수 있다.

도면의 간단한 설명

도 1은 종래의 액정표시장치의 구성도

도 2는 도 1에 도시된 디멀티플렉서부의 상세 회로도

도 3은 임의의 수평 동기 기간에서 도 2에 도시된 제 1 디멀티플렉서의 구동 파형도

도 4는 종래의 게이트 라인 검사부 및 데이터 라인 검사부가 구비된 액정표시장치의 구성도

도 5는 본 발명의 실시예에 따른 액정표시장치의 구성도

도 6은 도 5의 스위칭부의 상세 구성도

* 도면의 주요부에 대한 부호 설명

501 : 게이트 드라이버 503 : 게이트 라인 검사부

504 : 데이터 라인 검사부 511 : 입력단자

570 : 스위칭부 C1 내지 C5 : 제어신호

VD1 내지 VDk : 데이터 전압 VOFF : 차단신호

DEMUX1 내지 DEMUXk : 디멀티플렉서 OL1 내지 OLk : 출력라인

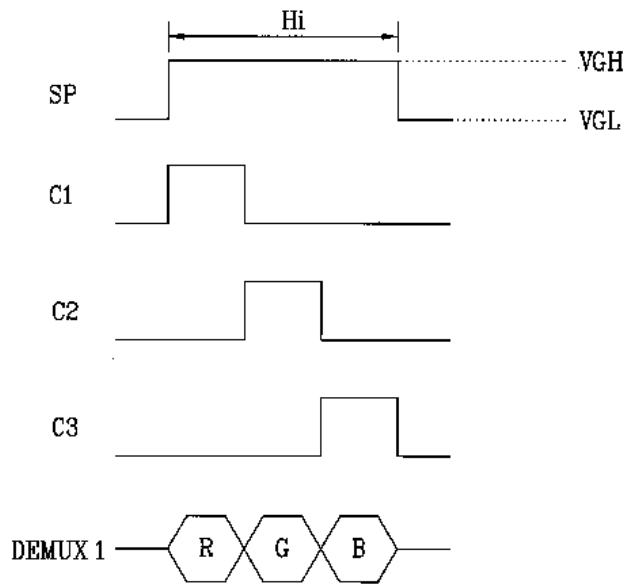
GL1 내지 GLm : 게이트 라인 DL1 내지 DLn : 데이터 라인

TFT : 박막트랜지스터 VT : 테스트용 스캔 펄스전압

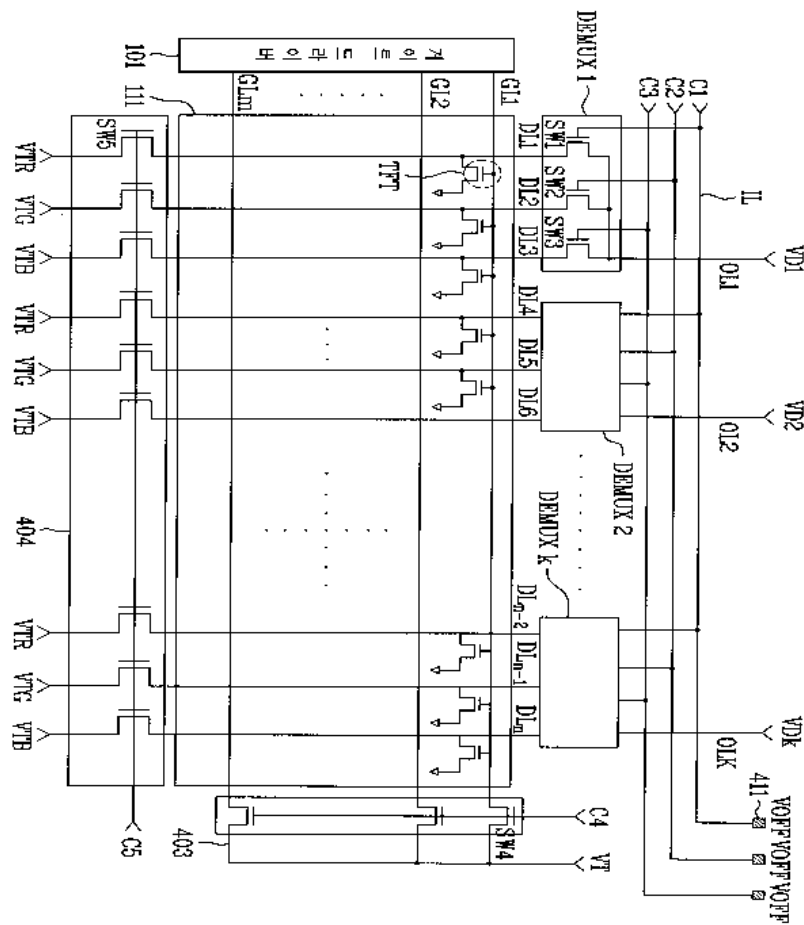
VTG, VTR, VTB : 테스트용 데이터 전압

도면

도면3



도면4



专利名称(译)	液晶显示器		
公开(公告)号	KR1020060126054A	公开(公告)日	2006-12-07
申请号	KR1020050047650	申请日	2005-06-03
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE YOUNG HAK 이영학 JEOUNG HUN 정훈		
发明人	이영학 정훈		
IPC分类号	G02F1/133		
CPC分类号	G09G2310/0235 G09G3/006 G09G3/3685		
代理人(译)	金勇 新昌		
其他公开文献	KR101192769B1		
外部链接	Espacenet		

摘要(译)

本发明涉及减少输入端子数量并有助于小型化的液晶显示器。并且数据驱动器：将来自外部的时间差和输入的多个控制信号分别施加在栅极电极上。提供具有由数据线和栅极线交叉限定的矩阵形式的像素的显示单元的数据电压：数据线通过少数源极端子连接到输出线的输出线提供数据线。当多个多路分解器：具有多个开关元件的数据驱动器（其中漏极连接在每条数据线的一侧）不操作多个多路分解器：数据驱动器操作数据线测试站，用于在操作中向数据线的另一侧提供测试数据电压，多个信号输入线分别连接到多路分配器中配备的每个开关元件的每个栅极端子，一个输入端子提供有关信号和开关单元包括在内。设置有关信号的一个输入端子被输入到信号输入线并且关闭 - 切断开关元件。切换单元根据来自外部的控制信号通过连接f将输入端子和信号输入线肝脏电分离。液晶显示器，解复用器，栅极线测试站，数据线测试站。

