

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

G09G 3/36 (2006.01)

H03K 19/0175 (2006.01)

G11C 19/00 (2006.01)

H03K 3/356 (2006.01)

(11) 공개번호 10-2006-0105701

(43) 공개일자 2006년10월11일

(21) 출원번호	10-2006-0084225(분할)		
(22) 출원일자	2006년09월01일		
(62) 원출원	특허10-1999-0059871		
	원출원일자 : 1999년12월21일	심사청구일자	2004년12월03일

(30) 우선권주장	JP-P-1998-00362283	1998년12월21일	일본(JP)
	JP-P-1999-00023382	1999년02월01일	일본(JP)
	JP-P-1999-00023383	1999년02월01일	일본(JP)
	JP-P-1999-00023384	1999년02월01일	일본(JP)
	JP-P-1999-00299188	1999년10월21일	일본(JP)

(71) 출원인 소니 가부시끼 가이샤
일본국 도쿄도 시나가와쿠 기타시나가와 6쵸메 7반 35고

(72) 발명자 나카지마 요시하루
일본국 도쿄도 시나가와쿠 기타시나가와 6쵸메 7반 35고 소니가부시끼
가이샤내
마에카와 도시카즈
일본국 도쿄도 시나가와쿠 기타시나가와 6쵸메 7반 35고 소니가부시끼
가이샤내

(74) 대리인 유미특허법인

심사청구 : 있음

(54) 레벨 시프트 회로, 레벨 시프트 회로를 사용하는 시프트레지스터, 샘플링 래치 회로, 래치 회로, 및 이들을 탑재한액정 표시 장치

요약

본 발명은 디지털/아날로그 변환 회로, 레벨 시프트 회로, 이 레벨 시프트 회로를 포함하는 시프트 레지스터, 샘플링 래치 회로, 이들 각각의 회로에 탑재된 액정 표시 장치 및 래치 회로에 관한 것이다. 상기 디지털/아날로그 변환 회로를 구비하는 LCD 장치에 일체화된 구동회로는 화소에 대한 스위칭 장치로서 기관 상에 행렬 형식으로 배치된 폴리실리콘 박막 트랜지스터를 포함하며, 상기 시프트 레지스터의 레벨 시프트 회로는 CMOS 래치 셀을 기본 구조로 하며 각 전송단에서 클록 신호의 각 레벨 시프트에 사용되고, CMOS 래치 셀을 기본구조로 하는 샘플링 래치 셀은 레벨 시프트 기능을 구비하며, 이

들 각각의 회로는 구동회로 일체화 액정 표시 장치의 단일 주사형 구조회로에 구현되어, 매우 적은 수의 구성요소, 적은 전력소비 및 적은 표면적을 갖는 회로구조에서, 매우 좁은 화소 프레임(picture frame), 안정적인 레벨 시프트 동작, 안정적인 샘플링 및 래치 동작을 실현하는 LCD 패널을 제공한다.

대표도

도 4

색인어

디지털/아날로그 변환기, 레벨 시프트, 래치, 샘플링, 레지스터, 액정 표시 장치

명세서

도면의 간단한 설명

도 1은 본 발명의 제1실시예의 구동회로 일체형 액정 표시 장치의 시스템 구성을 도시하는 블록도.

도 2는 유효 화소 영역의 구조를 도시하는 회로도.

도 3은 기준 전압선택형 DA 변환 회로의 기본 구성도.

도 4는 기준 전압선택형 DA 변환 회로의 기본 회로구조를 도시하는 회로도.

도 5는 단결정 실리콘 트랜지스터의 대표적인 구조를 도시하는 단면도.

도 6은 다결정 박막 트랜지스터의 대표적인 구조를 도시하는 단면도.

도 7은 본 발명의 제1실시예의 레벨 시프트 회로를 도시하는 회로도.

도 8은 본 발명의 제1실시예의 레벨 시프트 회로의 회로 동작을 예시하기 위한 타이밍 차트.

도 9는 DC 전압이 기준 전압일 경우의 타이밍 차트.

도 10은 제1실시예의 레벨 시프트 회로의 변형을 도시하는 회로도.

도 10b는 관련기술을 도시하는 회로도.

도 10c는 관련기술1을 도시하는 다른 회로도.

도 11은 제1실시예의 레벨 시프트 회로의 다른 변형을 도시하는 회로도.

도 11b는 관련기술의 다른 예를 도시하는 회로도.

도 11c는 관련기술2를 도시하는 다른 회로도.

도 12는 제1실시예의 레벨 시프트 회로의 다른 변형을 도시하는 회로도.

도 12c는 관련기술3을 도시하는 다른 회로도.

도 13은 리셋회로가 부가된 경우의 회로 동작을 예시하기 위한 타이밍 차트.

도 13a는 관련기술1의 회로도.

도 13c는 관련기술4를 도시하는 다른 회로도.

도 14는 리셋 신호를 생성하기 위한 회로도.

도 14a는 관련기술2의 회로도.

도 15는 본 발명의 제2실시예의 레벨 시프트 회로를 도시하는 회로도.

도 15a는 관련기술3의 회로도.

도 16은 본 발명의 제2실시예의 레벨 시프트 회로의 변형을 도시하는 회로도.

도 17은 수평 시프트 레지스터의 대표적 구조를 도시하는 블록도.

도 18은 본 발명의 제1실시예의 샘플링 홀드 회로를 도시하는 회로도.

도 19는 본 발명의 제1실시예의 샘플링 홀드 회로의 회로 동작을 예시하기 위한 타이밍 차트.

도 20은 입력신호 in1의 반전신호가 입력신호 in2로 설정될 경우의 타이밍 차트.

도 21은 본 발명의 제1실시예의 샘플링 홀드 회로의 변형을 도시하는 회로도.

도 22는 본 발명의 제2실시예의 샘플링 홀드 회로를 도시하는 회로도.

도 23은 샘플링 홀드 회로가 상기 실시예에서 샘플링 회로 및 제1래치 회로로 사용될 경우의 상세한 구조를 도시하는 블록도.

도 24는 반전된 디지털 데이터가 입력신호 in2로 사용될 경우의 구조를 도시하는 블록도.

도 25는 도 24의 변형을 도시하는 블록도.

도 26은 래치 회로의 제1실시예를 도시하는 회로도.

도 27은 본 발명의 제1실시예의 래치 회로의 회로 동작을 위한 타이밍을 예시하는 타이밍 차트.

도 28은 본 발명의 제1실시예의 래치 회로의 다른 회로 동작을 위한 타이밍을 예시하는 타이밍 차트.

도 29는 본 발명의 제1실시예의 래치 회로의 상세한 예를 도시하는 회로도.

도 30은 본 발명의 제2실시예의 래치 회로를 도시하는 회로도.

도 31은 본 발명의 제3실시예의 래치 회로를 도시하는 회로도.

도 32는 제2 래치 회로가 상기 실시예에서 래치 회로로 사용되는 경우의 상세한 구조를 도시하는 블록도.

도 33은 도 32의 변형을 도시하는 블록도.

도 34는 관련기술의 시스템 구조를 도시하는 블록도.

도 35는 대표적인 기준 전압선택형 DA 변환 회로를 도시하는 회로도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 디지털/아날로그 변환기 회로 및 이 디지털/아날로그 변환기 회로를 탑재하는 액정 표시 장치(liquid crystal display; LCD)에 관한 것으로, 특히 기준 전압선택형 디지털/아날로그 변환기 회로 및 이 디지털/아날로그 변환기 회로를 포함하는 구동 회로가 각 화소의 스위칭 소자로서 폴리실리콘 박막 트랜지스터(polysilicon thin film transistor)가 매트릭스 형상으로 배열되는 기판 상에 일체로 형성되는 소위 구동 회로 일체형 액정 표시 장치에 관한 것이다.

본 발명은 또한 레벨 시프트 회로(level shift circuit), 이 레벨 시프트 회로를 사용하는 시프트 레지스터(shift register), 및 이 레벨 시프트 회로 및 시프트 레지스터를 탑재하는 액정 표시 장치에 관한 것으로, 특히 CMOS 래치 셀(latch cell)을 기본 구성으로 하는 레벨 시프트 회로, 이 레벨 시프트 회로를 각 전송단(transfer stage)의 클록(clock) 신호의 각 레벨 시프트에서 사용하는 시프트 레지스터, 및 이 레벨 시프트 회로 또는 시프트 레지스터를 주사 회로(scanning circuit)를 구성하는 회로로서 탑재하는 소위 구동 회로 일체형 액정 표시 장치에 관한 것이다.

본 발명은 또한 샘플링 래치 회로(sampling latch circuit), 래치 회로, 및 이 래치 회로를 탑재하는 액정 표시 장치에 관한 것으로, 특히 레벨 시프트 기능을 가지고 CMOS 래치 셀을 기본 구성으로 하는 샘플링 래치 회로, 래치 회로, 및 이 샘플링 래치 회로 및 래치 회로를 주사 회로를 구성하는 회로로서 탑재하는 소위 구동 회로 일체형 액정 표시 장치에 관한 것이다.

박막 트랜지스터(TFT)에 의해 화소부(pixel section)와 동일한 기판 상에 일체로 형성되고 종래 기술의 구동 회로 일체형 액정 표시 장치를 포함하는 디지털 인터페이스 구동 회로가 도 34에 도시된다. 제1 및 제2 수평 구동(702, 703)은 화소가 매트릭스 형상으로 배열된 유효 화소 영역(701)에 대해 상하로 배치되고, 예를 들면 수직 구동 시스템(704)은 도 34에서 좌측에 배치되며, 박막 트랜지스터의 유효 화소 영역(701)과 함께 동일 기판(이하 LCD 패널(panel)이라고 함) 상에 일체로 형성된다.

제1 수평 구동(702)은 수평 시프트 레지스터(721), 샘플링 및 제1 래치 회로(722), 제2 래치 회로(723) 및 DA(디지털/아날로그) 변환기 회로(724)로 구성된다. 제2 수평 구동(703)은 제1 수평 구동(702)과 마찬가지로 수평 시프트 레지스터(731), 샘플링 및 제1 래치 회로(732), 제2 래치 회로(733) 및 DA(디지털/아날로그) 변환기 회로(734)로 구성된다. 수직 구동 시스템(704)은 수직 시프트 레지스터(741)로 구성된다.

종래 기술과 관련하여 상술한 구동 회로/액정 표시 장치가 제조되는 경우에 발생하는 중요한 문제로는 LCD 패널 상에 구동 회로를 형성하는 표면적, 즉 유효 화소 영역(701)의 주변 영역(이하 화상 프레임(picture frame)이라고 함)의 크기가 있다. DA 변환기 회로(724, 734)의 회로 표면적은 LCD 패널 화상 프레임이 DA 변환기 회로(724, 734) 면적에 의해 결정되기 때문에 특히 중요하다. 구동 회로 일체형 액정 표시 장치용 DA 변환기 회로로서 기준 전압선택형이 널리 사용된다. 그 이유로는 기준 전압선택형이 출력 전위에 관하여 편차가 적기 때문이다.

기준 전압선택형 DA 변환기 회로의 회로 구조는 도 35에 도시된다. 이 회로는 3비트 8계조의 DA 변환기 구조를 갖는 것으로 도시된다. 도 35에 명백히 도시된 바와 같이, 이러한 DA 변환기 회로에서 선택 회로(705), 래치 회로(706) 및 디코드(decode) 회로를 포함하는 계조 선택 유닛(step select unit)(708-0 ~ 708-7)은 각 계조(기준 전압 $V_{ref0} \sim V_{ref7}$)에 대해 형성된다.

그러나, DA 변환기 구조로 도시된 구조에서, 래치 회로(706) 및 디코드 회로(707)가 각 계조에 대해 형성되기 때문에, 도 35의 회로 구조에서 명백하게 도시된 바와 같이, 회로를 구성하는 소자의 수가 많아지므로 다중 계조 DA 변환기 회로를 TFT로 일체로 형성하려고 시도하는 경우 회로의 표면적이 매우 커진다. 그 결과로서, 액정 표시 장치 상에 변환기 회로를 탑재하는 경우 LCD 패널의 화상 프레임이 커지고, 장치 전체가 소형화될 수 없다는 문제가 발생된다.

회로 표면적의 크기를 감소시키기 위해 기준 전압선택형 DA 변환기 회로에 스위칭 커패시터(switching capacitor)를 결합하는 회로 구조가 제안된다. 그러나, 이러한 회로 구조는 버퍼 회로를 요구하기 때문에 이 버퍼 회로에 의해 요구되는 소비 전류로 인해 회로 전체의 전력 소모가 크게 증가하는 문제가 발생된다.

CMOS 소자로 구성되는 레벨 시프트 회로의 일례는 도 13의 종래 기술 1에 도시된다. 이러한 종래 기술 1의 레벨 시프트 회로에서, CMOS 래치 셀(101A)은 소스가 접지 되고 게이트를 통해 입력 신호(in1)를 공급받는 N 채널 MOS(이하 간단히 NMOS라고 함) 트랜지스터(Qn101A), 소스가 접지 되고 게이트를 통해 입력 신호(in2)를 공급받는 NMOS 트랜지스터

(Qn102A), 전원(VDD)과 NMOS 트랜지스터(Qn101A)의 드레인 사이에 접속되고 게이트가 NMOS 트랜지스터(Qn102A)의 드레인에 접속되는 P 채널 MOS(이하 간단히 PMOS라고 함) 트랜지스터(Qp101A), NMOS 트랜지스터(Qn102A)의 드레인과 전원(VDD) 사이에 접속되고 게이트가 NMOS 트랜지스터(Qn101A)의 드레인에 접속되는 PMOS 트랜지스터(Qp101A)로 구성되는 기본 구조를 가진다.

종래 기술 1의 레벨 시프트 회로에서, 예를 들면 3V의 저전압 진폭 신호가 신호(in1)로서 입력되고, 신호(in2)는 신호(in1)의 반전 신호로서 입력된다. 이들 3V의 저전압 진폭 입력 신호(in1, in2)는 전원(VDD) 회로의 진폭으로서 NMOS 트랜지스터(Qn101A, Qn102A)의 드레인에서 나타난다. NMOS 트랜지스터(Qn101A, Qn102A)의 개별 드레인 출력은 인버터(103A)를 통해 반전 출력 신호(xout) 및 인버터(102A)를 통해 출력 신호(out)로서 출력된다. 이와 같이, 저전압 진폭 신호(in1, in2)는 전원(VDD)의 고전압 진폭 신호(out, xout)로 레벨 시프트 된다.

종래 기술 2의 레벨 시프트 회로는 도 14a에 도시된다. 이러한 종래 기술 2의 레벨 시프트 회로에서, CMOS 래치 셀(201A)은 소스가 접지 되고 게이트를 통해 입력 신호(in1)를 공급받는 NMOS 트랜지스터(Qn201A), 소스가 접지 되고 게이트를 통해 입력 신호(in2)를 공급받는 NMOS 트랜지스터(Qn202A), 전원(VDD)과 NMOS 트랜지스터(Qn201A)의 드레인 사이에 접속되는 다이오드(diode) 접속형 PMOS 트랜지스터(Qp201A), 및 NMOS 트랜지스터(Qn202A)의 드레인과 전원(VDD) 사이에 접속되고 게이트가 PMOS 트랜지스터(Qp201A)의 게이트에 접속되는 PMOS 트랜지스터(Qp202A)로 구성되는 차동 증폭기 구조를 가진다.

종래 기술 2의 레벨 시프트 회로에서, 예를 들면 3V의 저전압 진폭 신호가 신호(in1)로서 입력되고, 신호(in2)는 신호(in1)의 반전 신호로서 입력된다. 이 3V의 저전압 진폭 입력 신호(in1)는 전원(VDD) 회로의 진폭으로서 NMOS 트랜지스터(Qn202A)의 드레인에서 나타난다. NMOS 트랜지스터(Qn202A)의 드레인 출력은 인버터(202A)를 통해 출력 신호(out)로서 출력된다. 이와 같이, 저전압 진폭 신호(in1)는 전원(VDD)의 고전압 진폭 신호(out)로 레벨 시프트 된다.

그러나, 종래 기술 1 및 2의 상기 레벨 시프트 회로에서, NMOS 트랜지스터(Qn101A, Qp201A), 또는 NMOS 트랜지스터(Qn102A, Qp202A)를 턴온시키기 위한 충분한 전압이 입력 신호(in1, in2)의 진폭으로서 요구된다. 즉, 트랜지스터 임계치 전압(V_{th}) 이상의 전압이 요구되고, 이러한 조건이 만족되지 않는 경우에는 레벨 회로가 동작되지 않을 것이다. 따라서, 예를 들면 3V 정도의 CMOS-LSI 장치에 대한 출력 신호를 임계치 전압(V_{th})이 큰 TFT(박막 트랜지스터)를 사용하여 구성하는 레벨 시프트 회로를 사용함으로써 해당 회로의 레벨을 요구되는 고전압으로 시프트 하려고 하는 경우, 안정된 레벨 시프트가 행해지지 않는 경우가 발생한다는 문제가 있다.

또한, 종래 기술 2의 레벨 시프트 회로는 종래 기술 1의 레벨 시프트 회로에 비해 면적이 작고 동작 속도가 빠르지만, PMOS 트랜지스터(Qp201A, Qp202A)가 전류 미러(current mirror) 회로를 포함하기 때문에 NMOS 트랜지스터(Qn202A)가 턴온된 상태인 경우 전류가 PMOS 트랜지스터(Qp201A, Qp202A)에서 흐르므로 종래 기술 2에서는 소비 전류가 커지는 것이 문제이다.

도 15a에 도시되는 회로 구조는 TFT(박막 트랜지스터)를 가지는 레벨 시프트 회로에 관한 상기 문제를 해결하기 위해 제안된다. 이러한 종래 기술 3의 레벨 시프트 회로는 기본적으로 NMOS 트랜지스터(Qn301A, Qn302A) 및 PMOS 트랜지스터(Qp301A, Qp302A)로 구성되는 차동 증폭기 구조를 가지는 CMOS 래치 셀(30)로 이루어진다. 이러한 회로에서, 입력 신호(in1, in2)는 그대로 CMOS 래치 셀(차동 증폭기)(301A)의 NMOS 트랜지스터(Qn301A, Qn302A)의 게이트로 입력되는 대신에, 이들 트랜지스터의 임계치 전압 이상의 레벨로 DC 시프트가 실행된 후 이들 게이트로 입력된다.

즉, 입력 신호(in1, in2)는 NMOS 트랜지스터(Qn303A, Qn304A)를 통해 NMOS 트랜지스터(Qn301A, Qn302A)로 입력된다. 동시에, NMOS 트랜지스터(Qn301A, Qn302A)의 게이트 입력과 반대 극성을 가지는 신호, 즉 입력 신호(in2, in1)는 입력 신호(in1, in2)를 확실히 비교하기 위해 NMOS 트랜지스터(Qn301A, Qn302A)의 소스로 입력된다. 따라서, 전류 미러는 NMOS 트랜지스터(Qn303A, Qn304A)가 다이오드 접속형 NMOS 트랜지스터(Qn305A)와 공통 게이트를 가짐으로써 구성된다.

또한, 종래 기술 3의 회로에서 PMOS 트랜지스터(Qp303A, Qp304A, Qp305A)는 전원(VDD)과 NMOS 트랜지스터(Qn303A, Qn304A, Qn305A)의 드레인 사이에 접속된다. 이들 PMOS 트랜지스터(Qp303A, Qp304A, Qp305A)는 다이오드 접속형 PMOS 트랜지스터(Qp306A)와 공통 게이트를 가짐으로써 전류 미러 회로를 구성한다. NMOS 트랜지스터(Qn305A)의 소스는 직접 접지에 접속되고, PMOS 트랜지스터(Qp306A)의 소스는 전원(V)을 통해 접지에 접속된다.

따라서, 종래 기술 3의 레벨 시프트 회로는 입력 신호(in1, in2)의 진폭이 임계치 전압(V_t)이 큰 TFT(박막 트랜지스터)로 이루어지는 레벨 시프트 회로에 있어서도 NMOS 트랜지스터(Qn301A, Qn302A)를 턴온시킬 정도로 충분한 전압이 되도록

록 DC 시프트를 실행한 후에 NMOS 트랜지스터(Qn301A, Qn302A)의 게이트로 입력 신호(in1, in2)를 공급함으로써 안정된 레벨 시프트 동작이 달성되도록 하는데 필요한 조건을 만족시킨다. 그러나, 이 회로에서는 다이내믹 레인지(dynamic range)를 유지하기 위해 전원 전압(VDD)을 낮추는 것이 어렵고, 결과적으로 TFT 회로 시스템의 저소비 전력화가 달성될 수 없다는 문제가 있다.

CMOS 소자로 구성되는 레벨 시프트 기능을 가지는 종래 기술의 샘플링 래치 셀 회로는 도 10b에 도시된다. 종래 기술의 이러한 래치 셀 회로는 기본적으로 입력 신호(in1)를 게이트 입력으로 하고 소스가 접지된 NMOS 트랜지스터(Qn101B), 입력 신호(in2)를 게이트 입력으로 하고 소스가 접지된 NMOS 트랜지스터(Qn102B), 전원(VDD)과 NMOS 트랜지스터(Qn101B)의 드레인 사이에 접속되고 게이트가 NMOS 트랜지스터(Qn102B)의 드레인에 접속되는 PMOS 트랜지스터(Qp101B), 및 전원(VDD)과 NMOS 트랜지스터(Qn102B)의 드레인 사이에 접속되고 게이트가 NMOS 트랜지스터(Qn101B)의 드레인에 접속되는 PMOS 트랜지스터(Qp102B)를 가지는 비교기 구조의 CMOS 래치 셀(101)로 구성된다.

이러한 CMOS 래치 셀(101B)에서 NMOS 트랜지스터(Qn102B, Qn101B)의 드레인 출력은 인버터(102B, 103B) 및 샘플링 스위치(104B, 105B)를 통해 래치 회로(106B)에서 래치 된다. 래치 회로(106B)의 한쪽 래치 출력은 인버터(107B)에 의해 반전되어 출력 신호(out)로서 공급되고, 다른 래치 출력은 인버터(108B)에 의해 반전되어 출력 신호(out)의 반전 신호가 되는 출력 신호(xout)로서 공급된다.

상기한 종래 기술의 샘플링 래치 회로의 구조에서, 예를 들면 3V의 저전압 진폭 신호가 신호(in1)로 입력되고, 신호(in1)의 반전 신호가 신호(in2)로 입력된다. 이들 3V 저전압 진폭 신호(in1, in2)는 일시적으로 CMOS 래치 셀(101B)에서 전원 전압(VDD)까지 승압되고, 인버터(102B, 103B)를 통해 전달된 후에 샘플링 스위치(104B, 105B)에서 샘플링 펄스(SP)에 의해 샘플링 되어 래치 회로(106B)에서 저장된다. 인버터(107B, 108B)에 의해 반전된 후에 이들 신호는 출력 신호(out, xout)로서 전송된다.

그러나, 상기한 종래 기술의 샘플링 래치 회로에서 이 회로가 많은 소자로 이루어지기 때문에 표면적을 작게 할 수가 없다. 또한, TFT(박막 트랜지스터)와 같이 임계치 전압(V_{th})이 큰 소자를 사용하여 회로를 구성하는 경우 임계치 전압(V_{th})에 대해 입력 신호(in1, in2)의 전압 진폭이 너무 작기 때문에 결과적으로 샘플링 동작이 제대로 기능하지 않는다는 문제가 있다.

이에 대해, 도 11b에 도시된 종래 기술은 소자의 임계치 전압(V_{th})이 높아도 쉽게 동작한다. 이외의 종래 기술의 샘플링 래치 회로는 커패시터에 의해 신호의 DC 레벨을 시프트 시키는 구조를 가진다. 즉, 신호(in1)를 입력으로 하는 스위치(201B) 및 신호(in2)를 입력으로 하는 스위치(202B)의 각 출력이 공통으로 접속되고, 그 공통되는 지점에 스위치 커패시터(203B)의 일단이 접속된다. 이 커패시터(203B)의 타 단은 인버터(205B)의 입력은 물론 스위치(204B, 205B)의 각 일단에 접속된다.

인버터(207B)의 출력단은 스위치(205B)의 출력단에 접속된다. 스위치(204B)의 출력단, 인버터(206B)의 출력, 및 인버터(207B)의 입력은 공통으로 접속되고, 인버터(208B)의 입력은 그 공통 지점에 접속되며, 인버터(208B)의 출력은 출력 신호(out)로서 전송된다.

상기한 종래 기술의 샘플링 래치 회로의 구조에서, 스위치 커패시터(203B)는 비교기로서 사용되고, 그 회로 동작은 다음과 같다. 우선, 회로 리셋(reset)는 등화 펄스(equalizing pulse)(Eq)에 응답하여 스위치(202B, 204B)를 온 상태로 설정함으로써 실행된다. 그런 후에, 저전압 진폭 입력 신호(in1)는 샘플링 펄스(Sp)에 응답하여 스위치(201B)를 턴온시킴으로써 샘플링 된다. 다음, 이와 같이 샘플링된 신호(in1)는 커패시터(203B)에서 입력 신호(in2)와 비교되면서 레벨 시프트 되고, 최종적으로 래치 펄스(LT)에 응답하여 스위치(205B)를 턴온시킴으로써 래치 회로(206B, 207B)에서 래치 된다.

이와 같이, 상기한 종래 기술의 샘플링 회로는 커패시터(203B)에 의해 입력 신호(in1)의 DC 레벨을 시프트 시킴으로써 임계치 전압이 높은 TFT로 이루어지는 회로에서조차 쉽게 동작될 수 있고, 안정된 샘플링 및 래치 동작이 달성될 수 있다. 그러나, 이러한 회로는 리셋 중에 회로에서 직류 전류가 흘러야 하기 때문에 저소비 전류화가 곤란하다는 문제가 있다. 또한, 회로 동작을 위해 여러 종류의 펄스가 요구되고, 시기 제어가 어려우며, 또한 복잡한 제어 회로가 필요하므로 회로 표면적을 작게 할 수가 없다.

레벨 시프트 기능을 구비하는 CMOS 구조를 가지는 종래 기술 1의 래치 회로는 도 10c에 도시된다. 종래 기술 1의 이러한 래치 회로는 래치 펄스에 응답하여 제1 및 제2 입력 신호를 입력받는 제1 및 제2 스위치(101C, 102C), 이들 스위치(101C, 102C)에 의해 입력되는 각 신호를 래치 하는 CMOS 래치 셀(103C), 및 CMOS 래치 셀(103C)의 래치 데이터의 레벨을 시프트 시키는 레벨 시프트 회로(104C)로 구성되는 구조를 가진다.

여기에서, CMOS 래치 셀(103C)은 양의 전원(VDD)의 전원 라인(105C)과 음의 전원 전압(예를 들면, 접지 레벨)(VSS1)의 전원 라인(106C) 사이에 병렬로 접속된 2개의 인버터(107C, 108C)로 구성된다. CMOS 인버터(107C)의 입력 단자는 다른 CMOS 인버터(108C)의 출력 단자에 접속되고, CMOS 인버터(108C)의 입력 단자는 다른 CMOS 인버터(107C)의 출력 단자에 접속된다.

레벨 시프트 회로(104C)는 전원 라인(105C)과 전압(음의 전원 전압)(VSS2)에 대한 전원 라인(109C) 사이에 접속되며, 전압(VSS2)은 음의 전원 전압(VSS1)보다 더 낮은 전압이다. CMOS 래치 셀(103C)에서 래치된 데이터의 낮은 레벨측을 전원 전압(VSS1)으로부터 전원 전압(VSS2)으로 레벨 시프트 시킨다.

종래 기술 1의 이러한 래치 회로에서, VDD와 VSS1 사이의 저전압 진폭 신호는 신호(in1)로 입력되고, 신호(in1)의 반전 신호는 신호(in2)로 입력된다. 이들 저전압 진폭 신호(in1, in2)는 래치 펄스에 응답하여 스위치(101C, 102C)를 턴온시킴으로써 CMOS 셀 회로(103C)에서 래치 되고, 그 후 레벨 시프트 회로에 의해 VDD와 VSS2(VSS2 < VSS1) 사이의 진폭을 가지는 신호로 레벨 시프트 되며, 최종적으로 출력 신호(out1, out2)로 출력된다.

레벨 시프트 기능을 가지는 종래 기술 2의 래치 회로는 도 11c에 도시된다. 종래 기술 2의 이러한 래치 회로는 래치 펄스에 응답하여 제1 및 제2 입력 신호(in1, in2)를 입력받는 제1 및 제2 스위치(201C, 202C), 및 이들 스위치(201C, 202C)에 의해 입력되는 각 신호를 래치 하는 CMOS 래치 셀(203C)로 구성된다.

여기에서, CMOS 래치 셀(203C)은 전원 라인(204C)과 전원 공급 전압(VSS1)보다 더 낮은 전원 전압(VSS2)에 대한 전원 라인(205C)에 병렬로 접속되는 2개의 CMOS 인버터(206C, 207C)로 구성된다. CMOS 인버터(206C)의 입력 단자는 다른 CMOS 인버터(207C)의 출력 단자에 접속되고, 다른 CMOS 인버터(207C)의 입력 단자는 다른 CMOS 인버터(206C)의 출력 단자에 접속된다.

종래 기술 2의 이러한 래치 회로에서, VDD와 VSS1 사이의 저전압 진폭 신호는 신호(in1)로 입력되고, 신호(in1)의 반전 신호는 신호(in2)로 입력된다. 이들 저전압 진폭 신호(in1, in2)는 래치 펄스에 응답하여 스위치(101C, 102C)를 턴온시킴으로써 CMOS 셀 회로(203C)에서 VDD와 VSS2 사이의 진폭 신호로서 래치 되고, 그 후 이들 진폭 신호는 그대로 출력 신호(out1, out2)로 출력된다.

그러나, 종래 기술 1의 래치 회로에서 CMOS 래치 셀(103C)의 후단(latter stage)의 레벨 시프트 회로(104C)의 배치가 필요하기 때문에 이러한 래치 회로를 구성하는 소자(요소)의 수가 많아져서 회로의 소형화가 달성될 수 없다는 문제가 있다. 그러나, 종래 기술 2의 래치 회로에서는 종래 기술 1의 래치 회로에 비해 레벨 시프트 회로의 배치가 필요 없고 회로의 소자 수가 적지만, 저전압 진폭 신호가 고전압 진폭 신호로서 래치 되도록 재기록 되어야 하기 때문에 전단(previous stage)의 신호 버퍼의 크기가 매우 커져서 회로의 소형화(작은 면적)가 달성될 수 없다는 문제가 생긴다.

그러나, 화소 스위칭 소자로서 2차원 매트릭스 형상으로 배열된 실리콘 TFT(박막 트랜지스터)를 가지는 유리 기판(액정 패널) 상에 폴리실리콘 TFT의 화소부와 함께 일체화된 디지털 인터페이스 구동 회로를 포함하는 구동 회로 일체형 액정 표시 장치를 제조하는 경우, 표면적이 작은 래치 회로는 구동 회로를 형성하는 화소의 주변 영역(화상 프레임)의 폭을 좁히는 기본 인자가 된다.

즉, 구동 회로 일체형 액정 표시 장치에서, 래치 회로는 각 컬럼선(column line)/각 비트에 대하여 제공되어야 한다. 이러한 래치 회로는 수평 도트(dot)×비트수와 동일한 양을 요구하기 때문에 래치 회로를 더 작게 할 수 없다는 것은 결과적으로 액정 패널의 화상 프레임 폭이 더 커져야 한다는 문제로 연결된다.

또한, 상기한 레벨 시프트 기능을 가지는 래치 회로가 탑재된 구동 회로 일체형 액정 표시 장치에서, 제2 전원(예를 들면 VSS2 전원)에서의 전류 흐름은 극도로 적은 양으로 감소되어야 하는 경우가 있다. 예를 들면, TFT(박막 트랜지스터)로 제조된 구동 회로 일체형 액정 표시 장치에서, 수평 구동 시스템용 회로 구성으로 래치 회로가 탑재되는 경우가 있고, 동시에 TFT로 제2 전원 발생 회로를 제조하려고 하는 경우가 있다.

이 경우, 레벨 시프트 기능을 가지는 래치 회로가 다수 요구되기 때문에 제2 전원 발생 회로로 흐르는 전류의 총량이 커질 것이다. 그러나, 전류 용량을 충분히 유지할 수 있도록 TFT로 전원 발생 회로를 제조하는 것은 매우 어렵다. 결국, TFT로 유리 기판 상에 제2 전원 발생 회로를 일체화시키는 것은 달성되기 어렵기 때문에 주변 회로의 크기(표면적)가 증대되는 문제로 연결된다.

종래 기술 1 및 2의 래치 회로는 VDD ~ VSS1 사이의 저전압 진폭 신호(in1, in2)를 VDD와 VSS2 사이의 진폭 신호로 레벨 이동시키는 구성을 가지지만, 제3 전원 전압(VDD2)(VDD2>VDD)으로의 레벨 시프트가 또한 실행될 수 있다.

종래 기술은 도 12c 및 도 13c에 도시된다. 도 12c는 도 10c에 대응하는 종래 기술 3의 예이다. 도 13c는 도 11c에 대응하는 종래 기술 4의 예이다. 종래 기술 3의 래치 회로는 레벨 시프트 회로(104C)의 후단에, 전원 전압(VSS2)의 전원 라인(109C)과 전원 전압(VDD)보다 높은 전원 전압(VDD2)의 전원 라인(110C) 사이에 접속된 제2 레벨 시프트 회로(111C)로 구성된다. 한편, 종래 기술 4의 래치 회로는 CMOS 래치 셀(203C)이고, 전원 전압(VSS2)의 전원 라인(205C)과 전원 전압(VDD)보다 높은 전원 전압(VDD2)의 전원 라인(208C) 사이에 접속된다.

종래 기술 3의 래치 회로 및 종래 기술 4의 래치 회로는 또한 전술한 종래 기술 1의 래치 회로 및 종래 기술 2의 래치 회로와 동일한 문제를 가진다.

발명이 이루고자 하는 기술적 과제

상기 종래 기술의 문제점을 해결하기 위한 본 발명의 목적은 소자 수가 적고, 소비 전력을 증대시키지 않으며, 또한 폭이 좁은 LCD 패널 화상 프레임을 보장하는 회로를 구비하는 액정 표시 장치 및 이 액정 표시 장치에 탑재된 DA(디지털/아날로그) 변환기 회로를 제공하는 것이다.

본 발명의 DA(디지털/아날로그) 변환기 회로는 n 비트(n은 2이상의 정수)의 데이터 신호 각각의 논리에 대응하는 극성을 가지도록 직렬로 접속되는 n개의 아날로그 스위치를 가지고, 2^n 개의 기준 전압선 각각의 출력 양단 사이에 각각 접속되는 2^n 개의 계조 선택 유닛을 포함한다. 기준 전압선택 DA 변환기 회로는 구동 회로 일체형 액정 표시 장치에 그 구동 회로의 일부로서 탑재된다.

이러한 DA(디지털/아날로그) 변환기 회로 및 이 DA 변환기 회로가 탑재된 액정 표시 장치에서, 서로 직렬로 접속되고 데이터 신호 비트 논리에 대응하는 극성을 가지는 n개의 아날로그 스위치로 구성되는 계조 선택 유닛은 화소의 컬럼선과 기준 전압선 사이에 접속되고, 데이터 신호를 디코드 하는 디코드 회로 및 상기 디코드 회로로부터 디코드된 출력에 대응하는 기준 전압을 선택하는 선택 스위치를 동일한 트랜지스터로 구성할 수 있으므로, 이 회로에서 요구되는 회로 소자의 수가 감소된다.

또한, 종래 기술의 문제점을 해결하기 위한 본 발명의 다른 목적은 임계치 전압 V_{th} 이 큰 소자를 사용하는 회로에 있어서도 표면적이 작고 소비 전력이 적은 안정되고 고속의 레벨 시프트 동작이 가능한 레벨 시프트 회로, 및 이 레벨 시프트 회로가 탑재된 액정 표시 장치를 제공하는 것이다.

본 발명의 레벨 시프트 회로는 CMOS 래치 셀을 기본 구성으로 하고, CMOS 래치 셀의 2개의 입력 신호 소스와 2개의 입력부 사이에 각각 저항 소자가 삽입된 구조로 저전압 진폭 신호를 고전압 진폭 신호로 변환하는 레벨 시프트 회로이다.

본 발명의 시프트 레지스터는 복수의 전송단(transfer stage)을 포함하고 시작 신호(start signal)를 레벨 시프트 하여 상기 전송단의 초기 단에 공급하는 제1 레벨 시프트 회로, 및 클록 신호를 레벨 시프트 하여 각 전송단으로 공급하는 제2 레벨 시프트 회로로 구성되고, 본 발명의 레벨 시프트 회로는 이러한 제1 및 제2 레벨 시프트 회로로 구성된다.

화소부와 동일한 기관 상에 일체화된 주사 시스템을 가지는 구동 회로를 포함하는 본 발명의 구동 회로 일체형 액정 표시 장치에서, 상기 주사 시스템을 포함하는 한가지 회로가 상기한 레벨 시프트 회로 또는 시프트 레지스터를 사용한다.

레벨 시프트 회로, 이러한 시프트 레지스터가 탑재된 액정 표시 장치는 물론 이러한 레벨 시프트 회로를 사용하는 시프트 레지스터에서, CMOS 래치 셀의 2개의 입력 신호 소스와 2개의 입력부 사이에 각각 삽입된 저항 소자는 2개의 입력 신호를 각각 DC 시프트 하여 CMOS 래치 셀의 2개의 입력부에 인가한다. 이러한 DC 시프트로 인해 CMOS 래치 셀을 포함하는 트랜지스터를 각각 턴온시키기에 충분한 전압이 얻어진다. 따라서, 본 발명의 레벨 시프트 회로 및 시프트 레지스터는 임계치 전압 V_{th} 이 큰 소자에서도 적용 가능하다.

본 발명의 목적은 작은 표면적을 가지고 저소비 전력화가 가능한 샘플링 회로 및 TFT 소자와 같이 임계치 전압 V_{th} 이 큰 소자에서도 적용될 수 있는 샘플링 회로 일체형 LCD를 제공하는 것이다.

또한 종래 기술의 상기 문제점을 해결하기 위한 본 발명의 다른 목적은 저소비 전력화가 가능하고 작은 표면적을 가지는 샘플링 래치 회로 및 임계치 전압 V_{th} 이 큰 소자에서도 적용 가능한, 이러한 샘플링 래치 회로가 탑재된 액정 표시 장치를 제공하는 것이다.

본 발명의 샘플링 래치 회로는 비교기형 CMOS 래치 셀을 기본 구성으로 하고, 이러한 CMOS 래치 셀은 2개의 입력 신호 소스와 2개의 입력부 사이에 접속된 제1 스위치, CMOS 래치 셀의 전원 라인과 전원 측 사이에 접속된 제2 스위치, 및 제1 및 제2 스위치를 상보적으로 스위칭(complementary switching) 제어하는 제어 수단을 구비한다.

화소부와 동일한 기판 상에 일체화된 주사 시스템을 가지는 구동 회로를 포함하는 본 발명의 구동 회로 일체형 액정 표시 장치에서, 상기 주사 시스템을 포함하는 한가지 회로가 상기한 샘플링 래치 회로를 사용한다.

본 발명의 상기한 샘플링 회로 및 이 샘플링 회로가 탑재된 액정 표시 장치에서, 2개의 입력 신호 샘플링은 제1 스위치를 턴온(폐쇄)시킴으로써 실행된다. 제2 스위치는 이러한 샘플링 기간 중에는 오프(개방) 상태이다. 따라서, CMOS 래치 셀에는 전원이 공급되지 않는다. 샘플링 기간이 종료되어 제2 스위치가 턴온되고 CMOS 래치 셀에 전원이 공급되는 순간, 저전압 진폭 입력 신호는 전원 전압 진폭 신호에서 래치 된다.

종래 기술의 문제점을 해결하기 위한 본 발명의 다른 목적은 전원에 흐르는 전류를 제한할 수 있고, 또한 작은 표면적을 가질 수 있는 래치 회로 및 이 래치 회로가 탑재된 액정 표시 장치를 제공하는 것이다.

본 발명의 래치 회로는 CMOS 래치 셀을 기본 구성으로 하고, 상이한 전원 전압을 가지는 제1 및 제2 전원을 각각 선택하도록 CMOS 래치의 양의 전원 또는 음의 전원 중 적어도 하나에 탑재되는 제1 스위치 및 제2 스위치, CMOS 래치 셀의 래치 동작 및 출력 동작의 각 기간에 따라 제1 스위치 및 제2 스위치의 스위칭을 제어하는 제어 수단을 구비한다.

화소부와 동일한 기판 상에 일체화된 주사 시스템을 가지는 구동 회로를 포함하는 본 발명의 구동 회로 일체형 액정 표시 장치에서, 상기 주사 시스템을 포함하는 한가지 회로가 상기한 래치 회로를 사용한다.

본 발명의 상기한 래치 회로 및 이 래치 회로가 탑재된 액정 표시 장치에서, 두 개의 입력 신호의 래치 동작은 래치 동작 기간에 제1 스위치를 턴온(폐쇄)시킴으로써 제1 전원에 기초하여 실행되고, CMOS 래치 셀에 입력 신호가 샘플링 래치 된다. 다음, 출력 동작 기간에, 제2 스위치는 제1 전원 레벨과 상이한 제2 전원의 레벨을 변환(레벨 시프트)하도록 턴온되고, 출력 동작이 실행된다. 결과적으로, 제1 전원 전압에 의해 결정되는 신호 진폭은 제2 전원 전압에 의해 결정되는 신호 진폭으로서 출력된다.

물론, 본 발명은 또한 상기한 기능을 가지는 회로의 모든 조합 또는 이 회로의 조합 및 개조 모두 또는 일부를 탑재하는 액정 표시 장치에 적용될 수 있다. 또한, 상기 회로의 조합 및 개조는 액정 표시 장치 이외의 기타 다른 CMOS 장치와 같은 장치에 탑재되는 경우에도 본 발명에서와 같이 적용될 수 있다.

발명의 구성 및 작용

본 발명의 실시예들은 첨부한 도면을 참조하여 아래에 상세히 기술된다. 도 1은 본 발명의 제1 실시예의 구동회로 일체형 액정 표시 장치의 시스템 구성을 도시하는 블록도. 도 1에서, 유효 화소 영역(11)은 매트릭스로 배열된 화소들이고, 제1 수평 구동 시스템(12) 및 제2 수평 구동 시스템(13)은 상기 유효 화소 영역의 상하에 배열되고, 수직 구동 시스템(14)은, 이를테면, 도면의 좌측에 배열된다.

수평 구동 시스템은 항상 상기 유효 화소 영역(11)의 위 또는 아래에 놓일 필요는 없으며, 단지 유효 화소 영역(11)의 위 또는 아래 어느 한쪽에 놓일 수도 있다. 수직 구동 시스템 또한 상기 도면에 도시된 바와 같이 좌측에 놓일 수도 있고, 아니면 우측에 놓일 수도 있다. 상기 제1 수평 구동 시스템(12)과 상기 제2 수평 구동 시스템(13), 및 상기 수직 구동 시스템(14)은 TFT(thin film transistors)의 유효 화소 영역(11)과 함께 동일 기판(이를테면 유리로 만든 제1보드) 상에 집적된다. 이를테면 유리(도시되지 않음)로 만든 제2보드는 상기 제1보드를 대면하고 소정의 거리만큼 떨어져서 놓일 수 있다. 이를테면 액정(TN)을 포함하는 액정층이 상기 두 보드 사이에 놓인다.

제1 수평 구동 회로(12)는 수평 시프트 레지스터(121), 샘플링 및 래치 회로(122), 제2 래치 회로(123), 레벨 시프터(124), 및 DA 변환 회로(DAC; 125)를 포함한다. 제1 수평 구동 회로(12)와 같은 방법으로 제2 수평 구동 회로(13)는 수평 시프트 레지스터(131), 샘플링 및 래치 회로(132), 제2 래치 회로(133), 레벨 시프터(134), 및 DA 변환 회로(DAC; 135)를 포

함한다. 수직 구동 시스템(14)은 수직 시프트 레지스터(141)를 포함한다. 이 화소 구조에서, 각 화소(20)의 TFT(21)의 게이트 전극은 $24m-1$, $24m$, $24m+1$, ...등으로 이루어지는 열(선; line)인 수직 선택 선에 연결된다. 각 화소의 TFT(21)의 소스 전극은 $25n-1$, $25n$, $25n+1$, ...등으로 이루어지는 행(선)인 신호선에 연결된다. 유효 화소 영역(11)을 위한 대표적인 화소 구조(20)가 도 2에 도시되어 있다. 상기 화소(20)는 스위칭 소자로서 TFT(21), 상기 TFT(21)의 드레인 전극에 연결된 픽셀 전극에 연결되는 액정 셀(22), 및 상기 TFT(21)의 드레인 전극에 연결된 한 전극에 연결되는 보조 커패시터(23)를 포함한다.

액정 셀(22)의 전극은 공통 전압(VCOM)을 공급하는 공통선(26)에 연결된다. 예로써, 액정 셀(22)을 구동하는 방법으로 매 1H(1 수평 기간)마다 공통 전압(VCOM)을 반전시키는 공통 반전 구동 방법이 채용된다. 상기 공통 반전 구동 방법이 사용되어 매 1H마다 공통 전압(VCOM)의 극이 반전될 수 있게 되므로, 제1 및 제2 수평 구동 시스템(12 및 13)에 저전압이 사용될 수 있고, 전체 디바이스의 전력소모가 감소될 수 있다.

제1 및 제2 수평 구동 시스템(12 및 13)의 각 섹션의 동작이 다음에 기술된다. 이어지는 설명은 제1 수평 구동 시스템(12)을 예로 사용하지만, 상기 설명은 또한 제2 수평 구동 시스템(13) 동작에도 적용될 수 있다.

제1 수평 구동 시스템(12)에서, 수평 전송 펄스1 또는 다른 말로 수평 시작 펄스(HST1) 및 수평 클록 펄스(HCK1)가 수평 시프트 레지스터(121)에 공급된다. 그 후 수평 시프트 레지스터(121)는 수평 스타트 펄스(HST1)에 응답하여 수평 클록 펄스(HCK1)의 기간을 이용한 수평 스캐닝이 수행된다. 샘플링 및 제1 래치 회로(122)가 수평 시프트 레지스터(121)의 수평 스캐닝과 동시에 동작하여 순차적으로 디지털 데이터를 샘플링하고 샘플링된 데이터를 각 컬럼선(column lines) $25n-1$, $25n$, $25n+1$, ...등에 래치 한다.

제2 래치 회로(123)는 1H 기간에 공급된 래치 신호에 응답하여 각 1H 기간에 샘플링 및 제1 래치 회로(122)에 의해 래치된 컬럼선에 상응하는 래치 데이터를 다시 한번 래치(또는 재래치)한다. 레벨 시프터(124)는 제2 래치 회로(123)에 의해 재래치된 래치 데이터를 위한 신호 레벨(진폭)을 특정 레벨까지 시프트 시키고 그 신호를 DA 변환 회로(125)에 공급한다. 레벨 시프터(124)에 의해 시프트된 레벨에 관하여 후술한다.

한편 수직 구동 시스템(14)에서, 수직 전송 펄스 또는 다른 말로 수직 스타트 펄스(VST) 및 수직 클록 펄스(VCK)는 수직 시프트 레지스터(141)에 공급된다. 그 후 수직 시프트 레지스터(141)는 상기 수직 스타트 펄스(VST)에 응답하여 상기 수직 클록 펄스(VCK)의 기간에 수직 스캐닝을 실시하고, 유효 화소 영역(11)에 대하여 행단위(row unit)로 순차행선택신호(sequential row select signal)를 공급한다.

레벨 시프터(124, 134)에서 레벨 시프트된 데이터로부터 수신된 여러 단계의 기준 전압에서 목표 기준 전압을 선택하기 위한 기준 전압선택형 DA 변환 회로는 제1 및 제2 수평 구동 시스템(12, 13)의 DA 변환 회로들(125, 135)로 사용된다. 상기 기준 전압선택형 DA 변환 회로들(125, 135)의 상세한 회로 구조는 본 발명의 특징이 되는 부분이다.

기준 전압선택형 DA 변환 회로의 기본 구조가 도 3에 도시되어 있다. 여기서 주어진 상기 설명은 예를 들면 8(=23)단계의 기준 전압(Vref0에서 Vref7까지)을 나타내는데 디지털 데이터 3bit(b2, b1, b0)를 사용한다. 또한 도 3에서, 컬럼선(25n)에 해당하는 DA 변환 회로를 위한 회로 구성이 도시되지만, 그러나 본 발명을 응용한 DA 변환 회로가 각 컬럼선을 위해서 제공된다.

도 3에서, 8개의 계조 선택 유닛(30-37)은 Vref0부터 Vref7까지의 기준 전압 8단계를 위해 제공된다. 이러한 계조 선택 유닛(30-37)은 각 디지털 데이터 비트(b2, b1, b0)에 따라 정극 또는 부극이 되는 3개의 상호직렬로 연결되는 아날로그 스위치를 포함하는 구조를 갖는다. 다른 말로 하면, 계조 선택 유닛(30)은 Vref0의 기준전압선(38-0)과 컬럼선(25n) 사이에 연결되며, 데이터 "000"에 대하여 3개의 부극(negative polarity) 아날로그 스위치(301, 302, 303)가 서로 직렬로 접속되도록 구성되어 있다. 계조 선택 유닛(31)은 Vref1의 기준전압선(38-1)과 컬럼선(25n)에 사이에 연결되며, 데이터 "001"에 대하여 2개의 부극 아날로그 스위치(311, 312)와 1개의 정극 아날로그 스위치(313)가 상호 직렬로 접속되도록 구성되어 있다.

계조 선택 유닛(32)은 Vref2의 기준전압선(38-2)과 컬럼선(25n) 사이에 접속되며, 데이터 "010"에 대하여 1개의 부극 아날로그 스위치(321)와 1개의 정극 아날로그 스위치(322) 및 1개의 부극 아날로그 스위치(322)가 상호 직렬로 접속되도록 구성되어 있다. 계조 선택 유닛(33)은 Vref3의 기준전압선(38-3)과 컬럼선(25n) 사이에 접속되며, 데이터 "011"에 대하여 1개의 부극 아날로그 스위치(331)와 2개의 정극 아날로그 스위치(332, 333)가 상호 직렬로 접속되도록 구성되어 있다.

계조 선택 유닛(34)은 Vref4의 기준전압선(38-4)과 컬럼선(25n) 사이에 접속되며, 데이터 "100"에 대하여 2개의 부극 아날로그 스위치(342, 343)와 1개의 정극 아날로그 스위치(341)가 상호 직렬로 접속되도록 구성되어 있다. 계조 선택 유닛(35)은 Vref5의 기준전압선(38-5)과 컬럼선(25n) 사이에 접속되며, 데이터 "101"에 대하여 1개의 정극 아날로그 스위치(351), 1개의 부극 아날로그 스위치(352) 및 1개의 정극 아날로그 스위치(353)가 상호 직렬로 접속되도록 구성되어 있다.

계조 선택 유닛(36)은 Vref6의 기준전압선(38-6)과 컬럼선(25n) 사이에 접속되며, 데이터 "110"에 대하여 1개의 부극 아날로그 스위치(363)와 2개의 정극 아날로그 스위치(361, 362)가 상호 직렬로 접속되도록 구성되어 있다. 계조 선택 유닛(37)은 Vref7의 기준전압선(38-7)과 컬럼선(25n) 사이에 접속되며, 데이터 "111"에 대하여 3개의 정극 아날로그 스위치(371, 372, 373)가 상호 직렬로 접속되도록 구성되어 있다.

도 4는 기준 전압선택형 DA 변환 회로(125)의 기본 회로 구조를 도시하는 회로도이다. 동일한 기준 번호가 도 3과 동일한 섹션에 지정된다. 상기 구조는 계조 선택 유닛(30-37) 8단계용 3개의 아날로그 스위치로, 각 디지털 비트(b2, b1, b0)의 논리에 해당하는 전도성(N 채널, P 채널) MOS 트랜지스터를 사용한다.

도 4에서, 계조 선택 유닛(30)은 데이터 "000"에 대응하는 아날로그 스위치(301, 302, 303)로써 각각 P 채널 MOS 트랜지스터(이하 PMOS로 기재) QP301, QP302, 및 QP303을 각각 사용하며, 상기 스위치들은 직렬로 배열되어 제조된다. 계조 선택 유닛(31)은 데이터 "001"에 대응하는 아날로그 스위치(311, 312, 313)로써 각각 PMOS 트랜지스터(QP311, QP312) 및 N 채널 MOS(이하 NMOS로 기재) 트랜지스터(Qn313)를 사용하며, 상기 스위치들은 직렬로 배열되어 제조된다.

계조 선택 유닛(32)은 데이터 "010"에 대응하는 아날로그 스위치(321, 322, 323)로써 각각 PMOS 트랜지스터(Qp321), NMOS 트랜지스터(Qn322) 및 PMOS 트랜지스터(Qp323)를 사용하며, 상기 스위치들은 직렬로 배열되어 제조된다. 계조 선택 유닛(33)은 데이터 "011"에 대응하는 아날로그 스위치(331, 332, 333)로써 각각 PMOS 트랜지스터(Qp331), NMOS 트랜지스터(Qn332, Qn333)를 사용하며, 상기 스위치들은 직렬로 배열되어 제조된다.

계조 선택 유닛(34)은 데이터 "100"에 대응하는 아날로그 스위치(341, 342, 343)로써 각각 NMOS 트랜지스터(Qn341), PMOS 트랜지스터(Qp342, Qp343)를 사용하며, 상기 스위치들은 직렬로 배열되어 제조된다. 계조 선택 유닛(35)은 데이터 "101"에 대응하는 아날로그 스위치(351, 352, 353)로써 각각 NMOS 트랜지스터(Qn351), PMOS 트랜지스터(Qp352) 및 NMOS 트랜지스터(Qn353)를 사용하며, 상기 스위치들은 직렬로 배열되어 제조된다.

계조 선택 유닛(36)은 데이터 "110"에 대응하는 아날로그 스위치(361, 362, 363)로써 각각 NMOS 트랜지스터(Qn361, Qn362) 및 PMOS 트랜지스터(Qp363)를 사용하며, 상기 스위치들은 직렬로 배열되어 제조된다. 계조 선택 유닛(37)은 데이터 "111"에 대응하는 아날로그 스위치(371, 372, 373)로써 각각 NMOS 트랜지스터(Qn371, Qn372, Qn373)를 사용하며, 상기 스위치들은 직렬로 배열되어 제조된다.

기준 전압선택형 DA 변환 회로(125)의 상기 구조는 목적 계조를 얻기 위한 2ⁿ 계조 선택 유닛을 구성하기 위해 PMOS 트랜지스터와 NMOS 트랜지스터의 조합으로 제조되는 n(n≥2)개의 디지털 데이터 비트 논리에 해당하는 극을 갖는 n개의 아날로그 스위치 각각에 1 PMOS 트랜지스터 또는 1 NMOS 트랜지스터를 사용하므로, 작은 면적을 차지하는 다계조 DA 변환 회로를 실현할 수 있으며, 극히 좁은 폭의 화소 프레임을 갖는 LCD 패널을 얻을 수 있다. 이하에 그 이유를 설명한다.

(1) 도 35에 도시된 종래기술의 회로에서 디코드 회로(707) 및 선택 스위치(705)는 동일 트랜지스터로 구성됨으로써 회로를 구성하는 소자의 수가 매우 작게 유지될 수 있다.

(2) TFT 회로에 소자를 분리하기 위한 웰이 없고, 스위치를 형성하는 PMOS, NMOS 트랜지스터들이 근접하여 연속해서 형성될 수 있으므로, 회로가 차지하는 면적은 매우 작게 유지될 수 있다.

상기 이유 (2)는 단결정 실리콘 트랜지스터 구조와 비교함으로써 더 설명된다. 상기 비교는 1 NMOS 트랜지스터와 1 PMOS 트랜지스터가 직렬로 형성된 경우를 사용해서 이루어진다. 먼저 도 5에 도시된 단결정 실리콘 트랜지스터의 구조를 고려할 경우, N+ 확산 영역(43, 42)이 p형 실리콘 기판(41)의 표면에 일정 간격을 두고 형성된다. 게이트 전극(45)이 게이트 절연막(44)을 통하여 상기 N+ 확산 영역(43, 42) 사이의 채널 위에 배치되고, 따라서 NMOS 트랜지스터가 형성된다. 여기서 N+ 확산 영역(42)은 드레인/소스 영역을 형성하고, N+ 확산 영역(43)은 드레인/소스 영역을 형성한다.

NMOS 트랜지스터에 인접한 PMOS 트랜지스터를 형성하기 위해서, 소자 분리용 N 웰(46)이 N 형 불순물을 도핑함으로써 형성된다. 그 후 P+ 확산 영역(47, 48) 상기 N 웰(46) 내부에서 기판 표면층에 일정 간격을 두고 형성된다. 게이트 전극(49)이 게이트 절연막(44)을 통하여 상기 P+ 확산 영역(47, 48) 사이의 채널 위에 배치되고, 따라서 PMOS 트랜지스터가 형성된다. 여기서 P+ 확산 영역(47)은 드레인/소스 영역을 형성하고, P+ 확산 영역(48)은 드레인/소스 영역을 형성한다.

두 트랜지스터를 직렬로 형성하기 위해서 드레인/소스 영역을 형성하는 N+ 확산 영역(43) 및 드레인/소스 영역을 형성하는 P+ 확산 영역(47)이 층간절연막(49)을 통하여 알루미늄 배선(50)으로 연결된다. 또한 NMOS 트랜지스터의 드레인/소스 영역을 형성하는 N+ 확산 영역(44)은 알루미늄 전극(51)에 연결되고, PMOS 트랜지스터의 드레인/소스 영역을 형성하는 P+ 확산 영역(48)은 알루미늄 전극(52)에 연결된다.

다음으로, 이를테면 폴리실리콘 TFT 구조의 바닥(bottom) 게이트의 경우에, 도 6에 도시된 바와 같이 게이트 전극(54, 55)은 일정한 간격을 두고 유리 기판(53) 위에 형성되고, 게이트 절연막(56)을 경유하여 형성된 게이트 전극(54, 55) 위에 폴리실리콘 층(57)이 형성된다.

그 후 NMOS 트랜지스터의 드레인/소스 영역을 형성하는 확산 영역(58), NMOS, PMOS 양 트랜지스터의 드레인/소스 영역을 형성하는 확산 영역(59), 및 PMOS 트랜지스터의 드레인/소스 영역을 형성하는 확산 영역(60)은 게이트 전극(54, 55)의 일 측면의 실리콘 산화막층(56) 상에 형성된다. 알루미늄 전극(62, 63)은 각각 각 층간 절연막(61)을 통하여 확산 영역(58, 60)에 연결된다.

도 6의 트랜지스터 구조와 도 5의 트랜지스터 구조를 비교함으로써 명백해 지는 바와 같이, 폴리실리콘 TFT 구조의 경우에 있어서, 단결정 실리콘 트랜지스터에서와 같이 소자를 분리하는 웰(46)이 없으므로, NMOS 트랜지스터와 PMOS 트랜지스터는 근접하여 형성될 수 있고, 따라서 회로에 의해 점유되는 표면적은 상당히 적게 유지될 수 있다.

그러나 공통(VCOM) 반전 구동 방법을 사용하는 액정 표시장치에서, 0V~5V 범위의 기준 전압을 선택하기 위한 DA 변환 회로를 가지고, 선택된 기준 전압의 다이내믹 레인지를 확보하기 위해 상기 도시된 바와 같이 아날로그 스위치로 MOS 트랜지스터가 사용될 경우, PMOS 트랜지스터의 임계 전압이 V_{thp} 로 설정될 경우, 그리고 NMOS 트랜지스터의 임계 전압이 V_{thn} 로 설정될 경우에 선택된 데이터 신호의 로우 레벨은 0V- V_{thp} 이내가 되고, 하이레벨은 5V+ V_{thn} 이상이 된다.

그러므로 선택 데이터 신호의 진폭을 기준 전압의 범위에 대해서 PMOS 트랜지스터의 임계전압 V_{thp} 만큼 낮게 설정하고, 또한 NMOS 트랜지스터의 V_{thn} 임계전압 만큼 높게 설정(예를 들면, 상기 예에서 0V- V_{thp} 에서 5V+ V_{thn} 까지)하는 것이 필요하며, 그 후 도 1의 시스템 구조에 있는 본 실시예에서, 레벨 시프터(레벨 시프트 회로; 124, 134)가 DA 변환 회로(125, 135)의 전단에 배치되고, 이들 레벨 시프터(124, 134)의 레벨 시프트에 의해 선택된 데이터 신호의 진폭을 얻기 위한 구성이 채용된다.

상기 구성은 샘플링 및 제1래치 회로(122, 132)용 전원 전압을 높이 설정하는 일없이 작은 면적의 기준 전압선택형 DA 변환 회로를 실현시킨다. 그러나 원래의 선택된 데이터 신호 진폭이 상기 조건을 만족시킬 경우에, 선택된 기준 전압의 다이내믹 범위는 레벨 시프터(124, 134)를 제공하는 일 없이 유지될 수 있다.

레벨 시프터(124, 134)를 사용되는 레벨 시프트 회로의 회로 구조에 대한 상세한 설명은 다음에 기술된다.

제1실시예의 레벨 시프트 회로를 도시하는 회로도도 도 7에 도시된다. 제1실시예의 상기 레벨 시프트 회로에서, CMOS 래치 셀(70)은 소스와 드레인이 공동으로 연결된 PMOS 트랜지스터(Q_{p11})와 NMOS 트랜지스터(Q_{n11})로 구성되는 CMOS 인버터(71), 소스와 드레인이 공동으로 연결된 PMOS 트랜지스터(Q_{p12})와 NMOS 트랜지스터(Q_{n12})로 구성되는 CMOS 인버터(72)를 포함하는 기본 구조를 가지고, 상기 CMOS 인버터(71, 72)는 전원과 그라운드 사이에서 병렬로 상호 연결된다.

상기 CMOS 래치 셀(70)에서, CMOS 인버터(71)의 입력(즉 MOS 트랜지스터(Q_{n11} , Q_{p11})의 공통 연결 지점)은 CMOS 인버터(72)의 출력(즉 MOS 트랜지스터(Q_{n12} , Q_{p12})의 공통 드레인 연결 지점)에 연결된다. 더 나아가 CMOS 인버터(72)의 입력(즉 MOS 트랜지스터(Q_{n12} , Q_{p12})의 공통 게이트 연결 지점)이 상기 CMOS 인버터(71)의 출력(즉 MOS 트랜지스터(Q_{n11} , Q_{p11}))에 연결된다.

저항 소자(R11)는 CMOS 인버터(71)의 입력과 제1회로 입력 단자(73) 사이에 연결되고, 저항 소자(R12)는 CMOS 인버터(72)의 입력과 제2회로 입력 단자(74) 사이에 연결된다. 또한 저항 소자(R13)는 전원(VDD)과 CMOS 인버터(71)의 입력

사이에 연결되고, 저항 소자(R14)는 전원(VDD)과 CMOS 인버터(72)의 입력 사이에 연결된다. 더 나아가 인버터(77)는 제1회로 출력 단자(75)와 저항 소자(R12, R14)들의 공통 연결 지점인 노드② 사이에 연결된다. 인버터(78)는 제2회로 출력 단자(76)와 저항 소자(R11, R12)들의 공통 연결 지점인 노드① 사이에 연결된다.

제1실시예의 레벨 시프트 회로에서, 이를테면 3V 정도의 진폭(Vp) 신호(in1)가 제1회로 입력 단자(73)의 입력이고, 입력 신호(in1)의 반전 신호(in2)가 제2회로 입력 단자(74)의 입력이다.

여기서 예로써, 도 8의 타이밍을 참조하여 회로 동작을 설명하면, CMOS 래치 셀(70)에서 NMOS 트랜지스터(Qn11)를 온시키기 위해 입력 신호(in2)의 논리가 "0"(=2V)이고, 입력 신호(in1)의 논리가 "1"(=Vp)인 경우, 전류는 전원(VDD)에서 저항 소자(R14)로, 노드(②)로, NMOS 트랜지스터(Qn11)를 경유하여 그라운드로 흐르고, 동시에 PMOS 트랜지스터(Qp12)를 동작상태로 놓기 위해 전류는 전원(VDD)에서 PMOS 트랜지스터(Qp12)로, 노드(①)로, 저항 소자(R11)로 제2회로 입력 단자(73)로 흐른다.

이때 저항 소자(R11, R14)에서 전압 강하가 발생하고, 이 전압 강하 분만큼 노드(①)에서 전위가 상승한다. 다른 말로 하면, 노드(①, ②)의 전위에서 DC 시프트가 일어난다. 노드(①)의 시프트가 노드(②)의 시프트보다 크기 때문에, 입력 신호(in1, in2) 사이에서 보다 노드(①, ②) 사이에서 더 큰 진폭차를 얻을 수 있다.

CMOS 인버터(71, 72)를 위한 더 명확한 동작점은 노드(①, ②)를 저항 소자(R13, R14)로 바이어스를 걸므로 결정될 수 있다. 노드(②)의 전위는 인버터(77)에 의해 반전되고, VDD 진폭 출력 신호 출력으로 제1회로 출력 단자(75)에서 출력된다. 노드(①)의 전위는 인버터(78)에 의해서 반전되고, 반전된 출력 신호의 출력으로, 즉 반전된 출력 신호(xout)로 제2회로 출력 단자(76)에서 출력된다.

전술한 회로 동작에서, 예로써 진폭(Vp)을 위해 3V 입력 신호들(i1, in2)은 전원(VDD)의 진폭 출력 신호(xout)로 레벨이 시프트 된다. 또한 입력 신호(in1) 논리가 "0"이고 입력 신호(in2) 논리가 "0"일 경우, 레벨 시프트 동작은 전술한 회로 동작과 완전히 반대로 동작한다.

이러한 방법으로, CMOS 셀 래치(70)의 두 입력 섹션 사이에 연결되는, 또는 다른 말로 하면 두 회로 입력 단자(73, 74)인 CMOS 인버터(71, 72)의 신호 소스 사이에 연결되는 저항 소자(R11, R12)는 입력 신호(in1, in2)에 의해 입력되고, 이러한 입력 신호들(in1, in2)은 입력이 공급되는 CMOS 래치 셀(70)의 두 입력 섹션에 의해 DC 시프트의 원인이 되고, CMOS 래치 셀(70)을 구성하는 트랜지스터 각각은 충분히 큰 전압으로 온시킬 수 있고 따라서, 회로가 심지어 TFT(thin film transistor) 같은 큰 임계전압(Vth)을 가진 소자를 사용하더라도 고속에서 안정된 레벨 시프트 동작을 얻을 수 있다.

더 나아가 단지 CMOS 래치 셀(70)의 기본 회로에 저항 소자를 덧붙이므로 작은 표면적을 달성할 수 있고, 전원 전압(VDD)이 떨어지더라도 레벨 시프트 동작을 안정적으로 수행할 수 있으므로 저 전력소모도 달성할 수 있다. 또한 저항 소자(R13, R14)를 전원(VDD)과 CMOS 래치 셀(70)의 두 입력부 사이에 연결하고, 노드(①, ②)를 바이어싱 함으로써, 상기 CMOS 인버터(71, 72)의 동작점은 명확하게 결정되고, 따라서 안정된 레벨 시프트 동작이 달성된다.

상기 제1실시예의 레벨 시프트 회로에서, 입력 신호(in2)는 입력 신호(in1)의 반전 신호로서 입력되었지만, 그러나 입력 신호(in1)의 논리(레벨)를 결정하는 데는 충분하므로, 항상 반전신호가 사용될 필요는 없다. 예를 들면, OV에서 전원 전압(VDD)까지의 범위에서 임의의 직류전압은 입력 신호(in1)의 논리를 결정하기 위한 기준 전압(Vref)으로 사용될 수 있다. 도 9는 (DC) 기준 전압(Vref)($0 \leq Vref \leq VDD$)이 입력 신호(in2)로 사용될 경우의 타이밍 차트를 도시한다.

도 7의 회로에서, 비반전과 반전의 두 출력 신호(out, xout)를 도출하는 예가 기술되었지만, 구성은 단지 하나의 출력 신호만 출력되는 곳에서 사용될 수 있다. 이와 같은 경우에, 두 인버터(77, 78)중 하나는 필요 없게 된다.

제1실시예의 레벨 시프트 회로의 변형을 도시한 회로도도 도 10에 도시되어 있다. 이 회로도에서, 도 7의 동등한 부분에는 동일한 부호를 사용한다. 이 변형예의 레벨 시프트 회로에서, 게이트가 전원(VDD)에 연결되는 NMOS 트랜지스터(Qn13, Qn14)는 저항 소자(R11, R12)로 사용되고, 게이트가 그라운드에 연결되는 PMOS 트랜지스터(Qp13, Qp14)는 저항 소자(R13, R14)로 사용된다.

따라서 저항 소자(R11 내지 R14)가 트랜지스터로 달성되더라도 상기 회로 동작은 도 7의 회로와 동일하다. 타이밍은 도 8 및 도 9와 동일하다. 이 회로 변형에서, 저항 소자(R11, R12)는 NMOS이고, 저항 소자(R13, R14)는 PMOS이며, 그러나 어느 트랜지스터 극성(polarity)이든지 사용되는 한 트랜지스터는 기대되는 저항 소자와 동등한 값을 갖는다.

도 11은 제1 실시예의 레벨 시프트 회로의 다른 변형예를 예시하는 회로도이다. 이 도면에서 도 4와 동일한 부분에 대해서는 동일한 도면 부호를 사용한다. 도 10의 레벨 시프트 회로의 변형 구조에 있어서, NMOS 트랜지스터 Qn13, Qn14 및 PMOS 트랜지스터 Qp13, Qp14는 제어 신호 CNTL에 의해 스위칭 된다. 즉 제어 회로로부터 제어 단자(79)에 입력되는 활성 "H" 제어 신호 CNTL 입력(도시되지 않음)은 NMOS 트랜지스터 Qn13, Qn14의 게이트에 인가되며, 인버터(79)에 의해 변환된 후에 PMOS 트랜지스터 Qp13, Qp14의 게이트에 인가된다.

이러한 방법으로 CMOS 래치 셀(70)의 트랜지스터 Qn13, Qn14, Qp13, Qp14를 제어 신호 CNTL에 의해 스위칭 하는 구성에 의해, 본 발명의 레벨 시프트 회로에서 레벨 시프트가 필요한 경우에만 활성 레벨을 설정하고, 레벨 시프트가 필요하지 않은 경우에는 데이터, 즉 입력 신호 in1, in2의 논리 상태를 보존하고, 즉 래치 검용형의 레벨 시프트 회로를 구현한다.

이 실시예에서 저항 소자 R11 내지 R14를 트랜지스터로 구현한 경우, 이들 트랜지스터는 저항 소자 R11 내지 R14에 의해 제한되는 저항 값을 사용하며, 이러한 종류의 스위칭 제어는 동일한 효과를 얻을 수 있다.

도 12는 제1 실시예의 레벨 시프트 회로의 다른 변형예를 예시하는 회로도이다. 도 11과 동일한 부분에 대해서는 동일한 도면 번호를 사용한다. 이 레벨 시프트 회로의 구조에서는, CMOS 래치 셀(70)의 초기값을 결정하기 위한 리셋 회로(81)를 추가한다. 이러한 리셋 회로는 전원 전압 VDD와 노드 ② 사이에 접속된 PMOS 트랜지스터 Qp15로 구성되며, PMOS 트랜지스터 Qp15의 게이트는 리셋 단자(82)와 접속된다.

이 회로는 리셋 단자(82)에 리셋 신호 Reset이 인가되도록 구성된다. 여기서 도 13의 타이밍 차트에 도시되어 있는 바와 같이, 전원 전압 VDD에 비해서 지연된 타이밍에서 시작하는(리딩 에지) 신호를 사용한다. 예를 들어 도 14에 예시되어 있는 바와 같이, 이러한 리셋 신호 Reset은 RC 집적 회로에서 전원 전압 VDD를 적분함으로써 간단하게 생성될 수 있다.

이와 같이 도 11의 리셋 회로(81)를 첨가하고 리셋 회로(81)에 대하여 전원 전압 VDD에 비해 지연된 시작(펄스 상승) 타이밍에서 리셋 신호 Reset을 인가함으로써, 전원 공급이 시작되는 동안에 CMOS 래치 셀(70)의 초기값을 결정할 수 있다. 예를 들어 도 13의 타이밍 차트에 명확하게 예시되어 있듯이, 리셋 동작에 의해 전원 시작 시의 노드 초기 상태(리셋)에서 노드②의 전압 전위는 "H" 레벨로 설정되며, 출력 신호 "out"는 "L"레벨이 된다.

도 15는 본 발명의 제2 실시예에 의한 레벨 시프트 회로의 구성예를 예시하는 회로도이다. 제2 실시예에 의한 레벨 시프트 회로에 있어서 CMOS 래치 셀(84)은 각각 게이트 및 드레인이 공통으로 접속되어 있는 NMOS 트랜지스터 Qn21 및 PMOS 트랜지스터 Qp21에 의해 구성되는 CMOS 인버터(85), 및 각 게이트 및 드레인이 공통으로 접속되는 NMOS 트랜지스터 Qn22 및 PMOS 트랜지스터 Qp22로 구성되는 CMOS 인버터(86)를 기본 구성으로 하고, 여기서 CMOS 인버터(85, 86)는 전원 VDD와 접지 사이에 병렬로 접속된다.

CMOS 래치 셀(84)에서, CMOS 인버터(85)의 입력(즉 MOS 트랜지스터 Qn21, Qp21의 게이트 공통 접속 지점)과 CMOS 인버터(86)의 출력(즉 MOS 트랜지스터 Qn22의 Qp22의 소스 공통 접속 지점은 접속된다. 또한 CMOS 인버터(86)의 입력(즉 MOS 트랜지스터 Qn22, Qp22의 게이트 공통 접속 지점)과 CMOS 인버터(85)의 출력(MOS 트랜지스터 Qn21, Qp21의 드레인 공통 접속 지점)은 접속된다.

저항 소자 R21은 제1 회로 입력 단자(87)와 CMOS 인버터(85)의 입력 사이에 접속되며, 저항 소자 R22는 제2 회로 입력 단자(88)와 CMOS 인버터(86)의 입력 사이에 접속된다. 인버터(91)는 제1 회로 출력 단자(89)와 CMOS 인버터(86)의 입력 사이에 접속되며, 인버터(92)는 제2 회로 출력 단자(90)와 CMOS 인버터(85)의 입력 사이에 접속된다.

상기 구성의 제2 실시예에 의한 레벨 시프트 회로에 있어서, 약 3 볼트의 진폭 V_p 를 가지는 입력 신호 in1이 제1 회로 입력 단자(87)에 입력되며, 입력 신호 in1이 반전된 입력 신호 in2는 제2 회로 입력 단자(88)에 입력된다.

여기서 예를 들어 입력 신호 in2의 논리가 "0"이고, 입력 신호 in1의 논리가 "1"이면, CMOS 래치 셀(84) 내의 NMOS 트랜지스터 Qn21을 턴온하기 위해서는, 전류가 전원 VDD → PMOS 트랜지스터 Qp21로 → NMOS 트랜지스터 Qn21 → 접지로 흐르게 된다.

PMOS 트랜지스터 Qp22를 동시에 턴온하기 위해, 전류는 전원 VDD → PMOS 트랜지스터 Qp22 → 저항 소자 R21 → 제1 회로 입력 단자(87)로 흐르게 된다.

이 때 저항 소자 R21에서 전압 강하가 발생하고, 이러한 전압 강하와 동일한 양만큼 CMOS 인버터(85)의 입력의 전위가 상승한다. 즉 CMOS 인버터(31)의 입력에서의 전위는 큰 DC 시프트를 야기한다. 한편 CMOS 인버터(86)의 입력에서의 전위는 PMOS 트랜지스터 Qp21로부터 흐르는 전류가 작기 때문에 거의 DC 시프트하지 않는다.

이에 의해 CMOS 인버터(85, 86)의 입력에서는 입력 신호 in1, in2의 진폭차에 비해 큰 진폭차가 얻어진다. 그리하여 CMOS 인버터(86)의 입력의 전위는 인버터(91)에서 반전되어 제1 회로 출력 단자(89)로부터 VDD의 진폭을 가지는 출력 신호 out으로 도출된다. CMOS 인버터(85)의 입력에서의 전위는 인버터(92)에서 반전되어 제2 회로 출력 단자(90)로부터 출력 신호 xout으로 도출되는데, 여기서 xout 신호는 출력 신호 out의 반전된 신호이다.

*전술한 회로 동작에 의해 제1 실시예에 의한 레벨 시프트 레지스터 회로의 회로 동작과 동일하게, 예를 들어 3 V의 진폭 V_p 를 가지는 입력 신호 in1, in2가 전원 전압 VDD 진폭을 가지는 출력 신호 out, xout으로 레벨 시프트 되어 출력된다. 또한 입력 신호 in1이 논리 "0", 입력 신호 in2가 논리 "0"인 경우, 전술한 동작과 완전히 반대인 동작에 의해 레벨 시프트가 수행된다.

제2 실시예에 의한 레벨 시프트 회로의 경우에도 입력 신호 in2 대신에 0 V내지 전원 전압 VDD 범위 내의 임의의 직류 기준 전압을 기준 전압 V_{ref} 로 사용할 수 있다. 또한 비반전과 반전의 2가지 출력 신호 out, xout 중에서 임의의 하나의 신호를 출력 신호로 사용할 수 있다.

도 16은 제2 실시예에 의한 레벨 시프트 회로의 동작예를 예시하는 회로도이다. 도면 중에서 도 15와 동일한 부분에 대해서는 동일한 도면 부호를 사용한다. 이러한 변형예에 의한 레벨 시프트 회로에서는 도 15의 저항 소자 R21, R22 대신에 각 게이트가 전원 VDD에 접속되는 NMOS 트랜지스터 Qn23, Qn24를 사용한다. 이러한 방법에 의해, 저항 소자 R21, R22로 대신에 트랜지스터를 사용하는 경우에도 회로 동작은 도 15의 회로 동작과 동일하다. 또한 도 16의 회로에 대해서도 도 11 및 도 12의 변형예와 동일한 변형이 가능하다.

수평 시프트 레지스터(121, 131)의 상세한 구조에 대하여 설명한다. 도 17은 수평 시프트 레지스터(121, 131)의 구조를 예시하는 블록도이다.

여기서 단순히 도시하기 위해, 3단의 시프트 레지스터를 전송단의 예로 예시한다. 즉 3개의 D-FF(플립플롭; 93-1, 93-2, 93-3)이 종속 접속된다. 또한 레벨 시프트 회로(94)는 제1 단 D-FF(93-1)의 D(데이터)입력 측에 설치된다. 레벨 시프트 회로(95-1, 95-2, 95-3)는 각각 플립플롭 단 D-FF(93-1, 93-2, 93-3)의 각 클록 CK의 입력 측에 설치된다.

레벨 시프트 회로(94)는 예를 들어 약 3 V의 진폭을 가지는 상호 반전된 위상 개시 신호 ST, XST를 전원 전압 VDD의 진폭 신호로 레벨 시프트 한다. 레벨 시프트 회로(95-1, 95-2, 95-3)는 약 3 V의 진폭을 가지는 상호 반전된 클록 개시 신호 CK, XCK를 전원 전압 VDD 진폭 신호로 레벨 시프트하고, 이러한 레벨 시프트를 각 단 D-FF(93-1, 93-2, 93-3)의 클록 입력으로 인가한다.

수평 시프트 레지스터(121, 131)의 구조는 도 11에 예시되어 있는 바와 같이 레벨 시프트 회로(94, 95-1, 95-2, 95-3)를 레벨 시프트 회로로 사용한다. 이러한 레벨 시프트 회로(94)에서, 개시 신호 ST, XST는 입력 신호 in1, in2로 입력되고, 전원 전압 VDD는 제어 신호 CNTL로 입력된다. 즉 전원 전압 VDD를 제어 신호 CNTL로 사용함으로써, 레벨 시프트로서만 기능하게 되는데 이는 본 발명의 회로가 항상 활성 상태로 설정되기 때문이다.

한편 레벨 시프트 회로(95-1, 95-2, 95-3)에는 클록 신호 CK, XCK가 입력 신호 in1, in2로 입력되며, 자신의 단의 시프트 펄스(Q 출력)와 이전 단의 시프트 펄스(자신 단의 D 입력)를 입력하는 논리 OR 게이트(96-1, 96-2, 96-3)의 각 출력이 제어 신호 CNTL로 입력된다. 즉 레벨 시프트 회로(95-1, 95-2, 95-3)는 자신의 D-FF(93-1, 93-2, 93-3) 단에 대한 시프트 동작만을 수행한다. 다시 말하자면 저 전압을 가지는 진폭 클록 신호 CK, XCK를 전송할 필요가 있을 때에만 레벨 시프트가 수행되며, 이외의 경우에는 클록 신호 CK, VCK가 래치 되며, 전송을 방지하는 기능을 수행하게 된다.

따라서 수평 시프트 레지스터(121, 131)에 있어서, 레벨 시프트 회로(94, 95-1, 95-2, 95-3)로 도 11의 구조를 가지는 레벨 시프트 회로를 사용함으로써, 본 발명의 레벨 시프트 회로는 저전압 진폭의 개시 신호 ST, XST 및 클록 신호 CK, XCK에 대하여 신속하고 신뢰성 있는 레벨 시프트 동작을 수행할 수 있다. 따라서 구조 내의 D-FF(93-1, 93-2, 93-3)가 박막 트랜지스터(thin film transistor; TFT)와 같이 큰 임계값 V_{th} 를 가지는 소자에 의해 구성되는 경우에도 안정되고 고속인 전송 동작을 구현할 수 있다.

이 실시예에서, 레벨 시프트 회로(94, 95-1, 95-2, 95-3)는 도 11에 도시된 구조를 가지는 레벨 시프트 회로로 사용되었지만, 본 발명은 이러한 구성으로 제한되지 않고 도 7, 도 10, 도 12 및 도 15 또는 도 16에 도시된 레벨 시프트 회로 구성을 사용할 수 있으며, 이 경우에도 여전히 동일한 효과를 얻을 수 있다.

따라서 전술한 바와 같이, 구동 회로 일체형 액정 디스플레이 장치는 수평 시프트 레지스터(121, 131)를 사용하는 전술한 구성의 시프트 레지스터를 구현할 수 있으며, 즉 작은 표면 면적을 가질 수 있다. 또한 소비 전력이 작은 시프트 레지스터를 사용함으로써, 수직 구동 시스템(14) 또는 수평 시프트 레지스터(121, 131)를 포함하는 수평 구동 시스템(12)과 같은 구동 회로는 본 발명의 구동 회로를 위치시키기 위한 유효 화소 영역(11)에 대한 협소한 주변 영역(화상 프레임)을 구현하는 것뿐만 아니라 소비 전력이 작은 구동 회로 일체형 액정 디스플레이 장치를 구현할 수 있다.

또한 전술한 바와 같이 상기 시프트 레지스터는 안정되고 고속인 전송 동작을 구현할 수 있는 장점을 가지고 있다. 이러한 시프트 레지스터의 회로는 액정 디스플레이 이외의 장치에도 광범위하게 적용될 수 있다.

제1 및 제2 수평 구동 시스템의 샘플링 및 래치 회로(122, 132)를 사용하는 샘플링 래치 회로의 상세한 구조는 다음과 관련되어 있다.

도 18은 본 발명의 제1 실시예에 의한 샘플링 래치 회로를 예시하는 회로도이다. 제1 실시예에 의한 샘플링 래치 회로의 구조는 각각의 게이트 및 드레인이 각각 공통으로 접속된 NMOS 트랜지스터 Qn31 및 PMOS 트랜지스터 Qp31로 구성되는 CMOS 인버터(101)와, 각각의 게이트 및 드레인이 각각 공통으로 접속된 NMOS 트랜지스터 Qn31 및 PMOS 트랜지스터 Qp31로 구성되는 CMOS 인버터(102)를 포함하며, CMOS 인버터(101, 102)는 전원 VDD(107)와 접지 사이에 병렬로 접속되는 비교기 구성의 CMOS 래치 셀(100)을 기본 구성으로 한다.

CMOS 래치 셀(100)에서 CMOS 인버터(101)의 입력(즉 MOS 트랜지스터 Qn31, Qp31의 게이트 공통 접속 지점)과 CMOS 인버터(102)의 출력(즉 MOS 트랜지스터 Qn32, Qp32의 소스 공통 접속 지점)이 접속된다. 또한 CMOS 인버터(102)의 입력(즉 MOS 트랜지스터 Qn32, Qp32의 게이트 공통 접속 지점)과 CMOS 인버터(101)의 출력(즉 MOS 트랜지스터 Qn31, Qp31의 드레인 공통 접속 지점)이 접속된다.

스위치(105)는 제1 회로 입력 단자(103)와 CMOS 인버터(101)의 입력 사이에 접속되며, 스위치(106)는 제2 회로 입력 단자(104)와 CMOS 인버터(102)의 입력 사이에 접속된다. 또한 스위치(108)는 CMOS 래치 셀(100)의 전원 측에 접속되거나 또는 전원 라인 VDD(107)과 노드 A 사이에 접속된다.

스위치(105, 106)는 샘플링 단자(109)로부터의 샘플링 펄스 SP 입력에 의해 직접 제어(스위칭)되며, 스위치(108)는 인버터(102)를 통과하는 샘플링 펄스 SP의 반전 펄스에 의해 제어(스위칭)된다. 인버터(113)는 제1 회로 출력 단자(111)와 CMOS 인버터(102)의 입력인 노드② 사이에 각각 접속되며, 인버터(114)는 제2 회로 출력 단자(112)와 CMOS 인버터(101)의 입력인 노드① 사이에 각각 접속된다.

전술한 제1 실시예의 샘플링 스위치 회로에 있어서, 예를 들어 약 3 V의 진폭 V_p 를 가지는 입력 신호 in1은 제1 회로 입력 단자(103)에 입력되며, 0 V 이상 또는 V_p 이하인 전압 범위 내의 임의의 직류 전압(기준 전압 V_{ref})인 신호 in2가 제2 회로 입력 단자(104)에 입력된다.

도 19의 타이밍 차트에 예시되어 있는 회로 동작에서 볼 수 있듯이, 활성 "H" 샘플링 펄스 SP는 샘플링 단자(109)로부터 입력되며, 스위치(105, 106)는 턴온(폐쇄)되며, 따라서 입력 신호 in1, in2는 CMOS 래치 셀(100)의 노드 ①과 ②로 전달된다. 동시에 샘플링 펄스 SP의 반전된 펄스는 스위치(108)를 턴오프(개방)시켜, 전원 측(노드 A)이 전원 라인(107)으로부터 절연되도록 한다.

다음 샘플링 펄스 SP가 더 이상 존재하지 않는 경우, CMOS 래치 셀(100)의 노드 ①과 ②는 제2 회로 입력 단자(103, 104)로 선택화되며, CMOS 래치 셀(100)의 전원 공급 측은 전원 라인(107)과 동시에 접속된다. 이 순간에 노드 ①과 ②의 전압은 CMOS 래치 셀(100)에 의해 비교되며, 래치 동작이 시작된다. 최종적으로 노드 1은 샘플링 펄스 SP가 더 이상 존재하지 않는 순간에 입력 신호 in1의 극성에 따라 전원 전압 VDD 또는 0 V로 래치 된다. 이 때 노드 ②는 역극성 전압으로 래치 된다.

전술한 회로 동작에서, 약 3 V의 진폭 V_p 를 가지는 입력 신호 in1의 데이터는 샘플링 펄스 SP로 동기되어 샘플링 되고, 전원 전압 VDD 진폭의 데이터는 노드 ①에서 래치 된다. 그 후 래치된 노드 ②의 데이터는 인버터(113)에서 반전되어, 출력 신호 out으로 제1 회로 출력 단자(111)로부터 출력된다. 노드 ①에서 래치된 데이터는 인버터(114)에서 반전되어 출력 신호 out의 반전된 신호 xout으로 제2 회로 출력 단자(112)로부터 출력된다.

전술한 바와 같이, 비교기 구성의 CMOS 래치 셀(100)을 기본 구조로 하고, CMOS 래치 셀(100)의 2개의 입력부(노드 ①과 ②)와 2개의 입력 신호원(제1, 제2 회로 입력 단자 103, 104) 사이에 스위치(105, 106)를 접속하는 동시에, CMOS 래치 셀(100)의 전원 측(노드 A)과 전원 라인(107)의 사이에도 스위치(108)를 접속하고, 스위치(105, 106)와 스위치(108)를 상보적으로 스위칭 제어함으로써 스위치(105, 106)에 의한 입력 신호 in1, in2의 샘플링 주기에는 CMOS 래치 셀(100)에 전류가 흐르지 않게 된다. 따라서 동작 시에 흐르는 직류 전류는 극히 작기 때문에, 본 샘플링 회로에서의 소비 전력은 저감될 수 있다.

또한 샘플링 주기가 완료되고, CMOS 래치 셀(100)에 스위치(108)를 통해 전원 전압 VDD가 공급되는 순간에는 약 3 V의 진폭 V_p 를 가지는 입력 신호 in1의 데이터가 전원 전압 VDD의 진폭을 가지는 데이터로 래치 되기 때문에, 회로 구조가 박막 트랜지스터(TFT)와 같이 큰 임계값 V_{th} 를 가지는 장치를 사용하는 경우에도 안정된 샘플링 및 래치 동작이 구현될 수 있다. 또한 레벨 시프트 기능 및 극히 작은 개수의 소자 수에 기인하여 작은 면적을 가지는 샘플링 래치 회로는 CMOS 래치 셀(100)의 기본 구조에 스위치(105, 106, 108)를 추가함으로써 구현될 수 있다.

본 실시예에 의한 샘플링 래치 회로에서, 입력 신호 in2로 DC 기준 전압 $V_{ref}(0 \leq V_{ref} \leq VDD)$ 이 사용되지만, 입력 신호 in1의 논리(레벨)를 충분하게 판별할 수 있기 때문에, 직류 전압이 항상 필요한 것은 아니다. 도 20의 타이밍 차트에서 볼 수 있듯이, 입력 신호 in1의 반전된 신호를 논리 레벨을 결정하기 위한 기준 신호로 사용할 수 있다. 이러한 경우, 입력 신호 in1의 논리 레벨을 판별하는 것은 기준 전압으로 $0 \leq V_{ref} \leq VDD$ 범위의 직류 기준 전압을 사용하는 경우에 비해 큰 마진(margin)을 얻을 수 있다는 이점이 있다.

비반전 및 반전 출력 신호 out, xout를 포함하는 2개의 출력은 도 18의 회로에 의해 공급되지만, 이들 출력 신호 모두를 사용하거나, 또는 이들 출력 신호 중에서 하나의 신호를 사용하는 구성을 사용할 수 있다. 이 예에서 2개의 인버터(113, 114) 중에서 하나는 불필요하다.

도 21은 본 발명의 제1 실시예에 의한 레벨 시프트 회로의 변형예를 예시하는 회로도이다. 도 18과 동일한 부분은 동일한 도면 번호를 가진다. 레벨 시프트 회로의 변형에서는, 도 18의 신호 입력측의 스위치(105, 106)로 NMOS 트랜지스터 Qn33, Qn34를 사용하는 동시에 전원 측의 스위치(108)로 PMOS 트랜지스터 Qp33을 사용하고, 이들 트랜지스터의 각 게이트에 대하여 샘플링 펄스 SP를 직접 인가하도록 한다.

따라서 스위치(105, 106, 108) 대신에 트랜지스터가 사용되는 경우에도 회로 동작은 도 18의 회로 동작과 동일하다. 타이밍은 도 19 및 도 20과 동일하다. 이러한 변형은 스위치(105, 106) 대신에 NMOS 트랜지스터를 사용하고 스위치(108) 대신에 PMOS 트랜지스터를 사용함으로써 구현되지만, 샘플링 펄스 SP의 활성 상태가 "L"인 경우 그 극성은 명확하게 반대로 된다.

도 22는 제2 실시예의 샘플링 래치 회로를 예시하는 회로도이다. 제2 실시예의 샘플링 래치 회로는 CMOS 래치 셀을 가진다. 제2 실시예의 샘플링 래치 회로는 각각의 게이트와 드레인이 공통으로 접속된 NMOS 트랜지스터 Qn41 및 PMOS 트랜지스터 Qp41로 구성되는 CMOS 인버터(151), 및 각각의 게이트 및 드레인이 공통으로 접속된 NMOS 트랜지스터 Qn42 및 PMOS 트랜지스터 Qp42로 구성되는 CMOS 인버터(152)를 포함하며, CMOS 인버터(151, 152)는 전원 VDD(157)와 접지 사이에 병렬로 접속되는 비교기 구성의 CMOS 래치 채널을 기본 구성으로 한다.

CMOS 래치 셀(150)에서 CMOS 인버터(151)의 입력(즉 MOS 트랜지스터 Qn41, Qp41의 게이트 공통 접속 지점)과 CMOS 인버터(152)의 출력(즉 MOS 트랜지스터 Qn42, Qp42의 소스 공통 접속 지점)이 접속된다. 또한 CMOS 인버터(152)의 입력(즉 MOS 트랜지스터 Qn42, Qp42의 게이트 공통 접속 지점)과 CMOS 인버터(151)의 출력(즉 MOS 트랜지스터 Qn41, Qp41의 드레인 공통 접속 지점)이 접속된다.

스위치(155)는 제1 회로 입력 단자(153)와 CMOS 인버터(151)의 입력 사이에 접속되며, 스위치(156)는 제2 회로 입력 단자(154)와 CMOS 인버터(152)의 입력 사이에 접속된다. 또한 스위치(158)는 CMOS 래치 셀(150)의 전원 측에 접속되며

나 또는 전원 라인 VDD(157)과 노드 A 사이에 접속된다. 또한 스위치(155, 156)는 샘플링 단자(159)로부터의 샘플링 펄스 SP 입력에 의해 직접 제어(스위칭)되며, 스위치(158)는 인버터(160)를 통과하는 샘플링 펄스 SP의 반전 펄스에 의해 제어(스위칭)된다.

인버터(163)는 제1 회로 출력 단자(161)와 CMOS 인버터(152)의 입력인 노드② 사이에 각각 접속되며, 인버터(164)는 제2 회로 출력 단자(162)와 CMOS 인버터(151)의 입력인 노드① 사이에 각각 접속된다. 인버터(163)는 게이트 및 드레인이 공통으로 접속된 PMOS 및 NMOS 트랜지스터 Qp43, Qn43을 포함하며 노드 A와 접지 사이에 연결된 CMOS 인버터 구조를 가진다. 게이트와 드레인이 각각 공통으로 연결된 PMOS 및 NMOS 트랜지스터 Qp44, Qn44를 포함하며 노드 A와 접지 사이에 연결된 인버터(164)는 인버터(154)와 동일한 CMOS 인버터 구조를 가진다.

전술한 제2 실시예의 샘플링 스위치 회로에 있어서, 약 3 V의 진폭 V_p 를 가지는 입력 신호 in1은 제1 회로 입력 단자(153)에 입력되며, 0 V 이상 또는 V_p 이하인 전압 범위 내의 임의의 직류 전압(기준 전압 V_{ref})인 신호 in2는 제2 회로 입력 단자(154)에 입력된다. 제2 실시예의 샘플링 래치 회로의 동작은 제1 실시예의 샘플링 래치 회로의 동작과 동일하다.

즉 활성 "H" 샘플링 펄스 SP가 샘플링 단자(159)로부터 입력되는 경우, 스위치(155, 156)는 턴온(폐쇄)되며, 따라서 입력 신호 in1, in2는 CMOS 래치 셀(150)의 노드 ①과 ②로 전달된다. 동시에 샘플링 펄스 SP의 반전된 펄스는 스위치(158)를 턴오프(개방)시켜, CMOS 래치 셀(150)의 전원 측(노드 A)이 전원 라인(157)으로부터 절연되도록 한다.

다음 샘플링 펄스 SP가 더 이상 존재하지 않는 경우, CMOS 래치 셀(150)의 노드 ①과 ②는 제2 회로 입력 단자(153, 154)로 선택화되며, CMOS 래치 셀(150)의 전원 공급 측은 전원 라인(157)과 동시에 접속된다. 이 순간에 노드 ①과 ②의 전압은 CMOS 래치 셀(100)에 의해 비교되며, 래치 동작이 시작된다. 최종적으로 노드 ①은 샘플링 펄스 SP가 더 이상 존재하지 않는 순간에 입력 신호 in1의 극성에 따라 전원 전압 VDD 또는 0 V로 래치 된다. 이 때 노드 ②는 역극성 전압으로 래치된다.

전술한 회로 동작에서, 약 3 V의 진폭 V_p 를 가지는 입력 신호 in1의 데이터는 샘플링 펄스 SP로 동기되어 샘플링 되고, 전원 전압 VDD 진폭의 데이터는 노드 ①에서 래치 된다. 그 후 래치된 노드 ②의 데이터는 인버터(163)에서 반전되어, 출력 신호 out으로 제1 회로 출력 단자(111)로부터 출력된다. 노드 ①에서 래치된 데이터는 인버터(164)에서 반전되어 출력 신호 out의 반전된 신호 xout으로 제2 회로 출력 단자(162)로부터 출력된다.

제2 실시예의 샘플링 래치 회로에서, 미리 설명한 제1 실시예에 의한 샘플링 회로로부터 얻을 수 있는 효과에 더하여 CMOS 래치 셀(150)과 마찬가지로 CMOS 인버터(163, 164)에 공급된 전원을 스위칭 제어함으로써, CMOS 인버터(163, 164)에 흐르는 불필요한 전류를 제거할 수 있기 때문에, 본 샘플링 스위치 회로의 소비 전력을 추가로 감소시킬 수 있다.

제2 실시예의 샘플링 래치 회로의 예에서, 도 21에 예시된 제1 실시예의 변형과 마찬가지로, 스위치(155, 156, 158) 대신에 트랜지스터를 사용할 수 있다. 또한 입력 신호 in1가 반전된 신호를 사용함으로써, 2개의 신호 비반전 또는 반전 출력 신호 out, xout 중에서 하나의 신호를 사용할 수 있다.

따라서 전술한 바와 같이, 구동 회로 일체형 액정 디스플레이 장치는 제1 및 제2 수평 구동 시스템(12, 13)의 샘플링 및 제1 래치 회로(122, 132)에 의해 전술한 제1 및 제2 실시예의 샘플링 래치 회로를 구현할 수 있다. 즉 작은 표면 면적을 구현할 수 있으며, 또한 소비 전력이 작은 샘플링 래치 회로, 수직 구동 시스템(14) 또는 제1 또는 제2 수평 구동 시스템(12, 13)과 같은 구동 회로를 사용함으로써, 본 발명의 샘플링 래치 회로는 유효 화소 영역(11)과 동일한 기판 상에서 제조되는 경우 본 발명의 구동 회로를 위치시키기 위한 유효 화소 영역(11)의 협소한 주변 영역(화상 프레임)을 구현하는 것뿐만 아니라, 소비 전력이 낮은 구동 회로 집적 액정 디스플레이 장치를 구현할 수 있다.

미리 설명한 바와 같이, 전술한 구성을 가지는 샘플링 및 래치 회로는 회로가 박막 트랜지스터와 같이 큰 임계값을 가지는 소자를 사용하는 경우에도 안정되고 고속의 샘플링 및 래치 동작을 구현할 수 있다는 장점을 가진다.

도 23은 전술한 샘플링 및 래치 회로를 포함하는 샘플링 및 제1 래치 회로의 상세한 구성을 예시하는 블록도이다. 이러한 구성은 예를 들어 3비트의 디지털 데이터 b0, b1, b2가 입력되는 경우를 나타낸다. 이러한 예는 제1 수평 구동 시스템(12) 측의 샘플링 및 제1 래치 회로(122)를 나타내며, 본 구조는 샘플링 및 제1 래치 회로(132)의 구조와 정확하게 동일하다.

도 23에서 명확하게 알 수 있듯이, 디지털 데이터 b0, b1, b2에 대하여 각각 샘플링 래치 회로(122-1, 122-2, 122-3)를 설치한다. 디지털 비트 데이터 b0, b1, b2는 샘플링 스위치(122-1, 122-2, 122-3)에서 입력 신호 in1로 입력되며, 기준 전압(직류 전압) Vref는 입력 신호 in2로 각 회로에 공통으로 입력된다. 그 후 수평 레지스터로부터의 샘플링 펄스 SP에 따라 저전압 진폭 데이터 신호 b0, b1, b2에 대하여 샘플링이 수행된다.

이들 샘플링 래치 회로(122-1, 122-2, 122-3)의 각각의 샘플링 신호는 TFT 회로에서 요구하는 고전압 진폭으로 레벨 시프트 되어 래치 된다. 이러한 고전압 진폭 래치 신호는 샘플링 래치 회로(122-1, 122-2, 122-3)와 동일하게 디지털 데이터의 각 비트에 대해 설치된 제2 래치 회로(123-1, 123-2, 123-3)에 의해 선 순차 처리(line number sequence)되어, DA 변환기(125)를 통해 유효 화소 영역(11)에 대응하는 컬럼 라인으로 출력된다.

이들 샘플링 래치 회로(122-1, 122-2, 122-3)는 극히 작은 면적 내에 설치되어야 한다. 도 1에 예시되어 있는 구동 회로 일체형 액정 디스플레이 장치의 구성에서 하나의 샘플링 래치 유닛에 할당된 수평 방향 길이는 도트 피치/도트 수(dot pitch/bit ratio)가 되며, 극히 짧다. 따라서 이러한 조건을 만족시킬 수 있는 샘플링 래치 회로(122-1, 122-2, 122-3)는 작은 면적 내에 실현될 수 있는 본 실시예의 샘플링 래치 회로로 극히 유효하다.

도 23의 회로 예에서, 입력 신호 in2와 같이 기준 전압(직접 전류 전압) Vref가 각 회로로의 입력이지만, 제1 실시예의 샘플링 래치 회로에 대해서 또한 설명한 바와 같이, 도 24에 도시된 바와 같이 데이터 신호 b0, b1, b2의 반전된 신호 xb0, xb1, xb2도 또한 샘플링 래치 회로(122-1), (122-2), (122-3)의 입력일 수 있다.

도 25는 도 24의 응용을 도시한 블록도이다. 이 도에서, 도 24와 등가의 소자는 동일한 참조 번호를 가지고 있다. 이 응용에서, 각 샘플링 래치 회로(122-1), (122-2) 및 (122-3)의 전원 측의 스위치(도 18의 스위치(108), 도 23의 스위치(158)와 등가임)는 회로(122-1), (122-2) 및 (122-3)에 공통으로 사용되며, 이 스위치들은 예를 들면 PMOS Qp45에 의해 달성된다.

이 회로의 구성에서, 예를 들면 3 비트의 디지털 데이터의 경우, 전원 측의 2개의 스위치는 제거될 수 있어서 더 작은 회로 표면 면적을 달성할 수 있다. 또한, 도 23의 회로에서와 같이, 기준 전압(직접 전류 전압) Vref는, 반전된 신호 xb0, xb1, xb2를 사용하는 대신, 입력 신호 in2와 같이 각 샘플링 래치 회로(122-1), (122-2), (122-3)의 공통으로 입력될 수 있다. 상기 언급한 바와 같이, 상기 샘플링 래치 회로는 액정 표시 장치(liquid crystal displays) 외에 다른 장치에도 응용될 수 있다.

다음에, 제1 및 제2의 수평 구동 시스템(12) 및 (13)의 제2 래치 회로(123) 및 (133)로 이용되는 래치 회로의 구조가 상세히 개시된다.

제1 실시예의 래치 회로가 도 26에 도시되어 있다. 제1 실시예의 래치 회로는 CMOS 래치 셀(170)을 기본 구조로 가지고 있다. 이 CMOS 래치 셀(170)은 N 채널 MOS 트랜지스터 Qn51 및 P 채널 MOS 트랜지스터 Qp51—여기서 각 트랜지스터는 공통으로 접속된 게이트와 드레인을 가짐—을 포함하는 CMOS 인버터(171)와 N 채널 MOS 트랜지스터 Qn52 및 P 채널 MOS 트랜지스터 Qp52—여기서 각 트랜지스터는 공통으로 접속된 게이트와 드레인을 가짐—을 포함하는 CMOS 인버터(172)를 포함하고 있고 상호 병렬로 접속되어 있다.

이 CMOS 래치 셀(170)에서는, CMOS 인버터(171)의 입력(즉, MOS 트랜지스터 Qn51, Qp51의 게이트 공통 접속점) 및 CMOS 인버터(172)의 출력(즉, MOS 트랜지스터 Qn52, Qp52의 소스 공통 접속점)이 접속되어 있다. 또한, CMOS 인버터(171)의 입력(즉, MOS 트랜지스터 Qn51, Qp51의 게이트 공통 접속점) 및 CMOS 인버터(172)의 출력(즉, MOS 트랜지스터 Qn52, Qp52의 드레인 공통 접속점)이 접속되어 있다. 또한, CMOS 인버터(172)의 입력(즉, MOS 트랜지스터 Qn52, Qp52의 게이트 공통 접속점) 및 CMOS 인버터(171)의 출력(즉, MOS 트랜지스터 Qn51, Qp51의 게이트 공통 드레인 접속점)이 접속되어 있다.

스위치(175)는 제1 회로 입력 단자(173) 및 CMOS 인버터(171)의 입력 사이에 접속되어 있고 스위치(176)는 제2 회로 입력 단자(174) 및 CMOS 인버터(172)의 입력과 접속되어 있다. 또한, CMOS 인버터(172)의 출력 단자는 제1 회로 출력 단자(177)에 접속되어 있고, CMOS 인버터(171)의 출력은 제2 회로 출력 단자(178)와 접속되어 있다. 또한, 상호 반대의 극성을 가지는 2개의 출력 신호는 이 회로의 출력 단자(177) 및 (178)를 통해 출력 신호 out1 및 out2로 출력된다.

이 CMOS 래치 셀(170)의 정전원(positive power supply) 측, 즉 노드 A는 정전원 전압 VDD의 전원 라인(179)에 직접 접속되어 있다. 부전원(negative power supply) 측, 즉 노드 B에는, 스위치(180)가 사용되어 부전원측 전압(예를 들면 접지 레벨) VSS1의 전원 라인(182)을 접속하고, 스위치(181)가 사용되어 상기 전원 전압 VSS1보다 낮은 부전원측 전압(부전원 전압)의 전원 라인(183)을 접속한다.

스위치(175) 및 (176)과 함께, 스위치(180)의 스위칭은 도면에는 도시되지 않은 제어 회로로부터 입력 단자(184)로의 입력인 출력 인에이블 펄스 oe1에 의해 제어된다. 이와 반대로, 스위치(181)의 스위칭은 상기 제어 회로로부터 입력 단자(185)로의 입력인 출력 인에이블 펄스 oe2에 의해 제어된다.

상기 개시된 제1 실시예의 래치 회로에서, VDD에서 VSS1 사이의 진폭을 가지는 입력 신호 in1은 제1 회로 입력 단자(173)로 입력되고, 입력 신호 in1이 반전된 신호인 반전 신호 in2는 제2 회로 입력 단자(174)로 입력된다. 여기서, 제1 실시예의 래치 회로의 회로 동작은 도 27의 타이밍 차트를 사용하여 개시되어 있다.

우선, 액티브 "H" 레벨의 출력 인에이블 펄스 oe1이 입력 단자(174)로의 입력된 경우, 스위치(175), (176)가 응답으로 온(단히게) 되고, 입력 신호 in1, in2는 샘플링 되어 CMOS 래치 셀(170)로 전달된다. 이 동작에 의해, 입력 신호 in1, in2는 VDD에서 VSS1 사이의 진폭으로 CMOS 래치 셀(170)에 임시로 래치 된다.

이 래치 기간에, 스위치(180)는 출력 인에이블 펄스 oe1에 대한 응답으로 온되게 되지만, 출력 인에이블 펄스 oe2는 반대로 출력 인에이블 펄스 oe1의 극성("L" 레벨)과 반대로 되어, 스위치(181)가 오프된 상태(개방)에 있으므로 CMOS 래치 셀(170)의 부전원 라인이 전원 라인(172)의 전원 전압 VSS1에 접속된다.

다음은, 출력 인에이블 펄스 oe1의 "L" 레벨로 시프트 되는 것과 함께, 출력 인에이블 펄스 oe2는 "H" 레벨로 시프트 되고 이것은 출력 동작으로 시프트 하게 한다. 이 기간 동안, 스위치(180)가 오프 상태에 있고 스위치(181)가 온 상태에 있으므로, CMOS 래치 셀(170)의 부전원측은 전원 전압 VSS2의 전원 라인(183)에 접속된다.

이 동작에 의해, CMOS 래치 셀(170) 내에 VDD에서 VSS 사이의 진폭으로 지금까지 래치된 신호는 VDD에서 VSS2 사이의 진폭으로 유지된다. VDD에서 VSS2 사이의 진폭인 이 신호는 다음에 신호 out1 및 out2로 출력된다. 그 결과, VDD에서 VSS1 사이의 진폭으로 유지되는 상기 in1 및 in2 신호는 샘플되어 VDD에서 VSS2 사이의 진폭을 가지는 출력 신호 out1 및 out2로 레벨 시프트될 수 있다.

CMOS 래치 셀(170)을 기본 구조로 가지고 레벨 시프트 기능을 가지는 제1 실시예의 상기 래치 회로에서, 2개의 스위치(180) 및 (181)은 부전원측의 VSS1 전원 및 VSS2 전원을 선택하기 위해 설치되어 있다. CMOS 래치 셀(170)의 상기 래치와 출력 동작 기간에 따라 스위치(180) 및 (181)의 스위칭을 제어함에 의해, CMOS 래치 셀(170)은 래칭 기간 동안에는 VSS1 전원에 의해 동작하고 출력 기간 동안에는 VSS2 전원에 의해 동작한다.

따라서 VSS1/VSS2 전원에서의 전류의 흐름은 제한되고 특히 출력 부하를 충전하는 대부분의 충전 전류는 VDD 전원으로 부터 VSS1 전원으로 흐르므로, VSS2 전원에 흐르는 전류는 극히 적다. 또한, 적은 수의 회로 장치로 래치 동작과 레벨 시프트 동작을 달성하는 것 이외에도, 하이 전압 진폭 신호의 래치를 로우 전압 진폭 신호로 다시 기록할 필요가 없어서, 전 단의 신호 버퍼의 크기가 작게 유지될 수 있고, 레벨 시프트 기능과 작은 표면 면적을 가지는 래치 회로가 달성될 수 있다.

도 28에 또 하나의 타이밍 차트가 도시되어 있다. 여기서, 출력 인에이블 펄스 Oe2의 펄스 하강(마지막 천이)은 출력 인에이블 펄스 Oe2의 펄스 상승(제1 천이)보다 약간 빠르며, 출력 인에이블 펄스 Oe2의 펄스 상승(제1 천이)은 출력 인에이블 펄스 Oe1의 펄스 하강(마지막 천이)보다 약간 느리다. 타이밍 관계를 이 방식으로 시프트 함에 의해, 전원 VSS2로의 전류 흐름은 현저하게 감소된다.

제1 실시예의 래치 회로의 구체적인 예를 도시한 회로도도 도 29에 도시되어 있다. 이 도에서는, 도 26과 동일한 부분들은 동일한 참조 번호를 가지고 있다. 이 래치 회로에서는, NMOS 트랜지스터 Qn53, Qn54, Qn55, Qn56은 스위치(175), (176), (180), (181)로 이용되고 있다. 출력 인에이블 펄스 oe1은 트랜지스터 Qn53, Qn54, Qn55의 각각의 게이트에 인가 되고 출력 인에이블 펄스 oe2는 트랜지스터 Qn56의 게이트에 인가된다.

트랜지스터에 의해 이 방식대로 스위치(175), (176), (180), (181)가 달성된다면, 회로 동작은 도 26의 회로와 동일하다. 또한, 타이밍은 도 27 및 도 28과 동일하다. 여기에 사용된 예에서, 스위치(175), (176), (180), (181)은 NMOS 트랜지스터로 달성되었으나, 출력 인에이블 펄스 oe1 및 oe2가 액티브 "L"이라면, 트랜지스터의 극성은 당연히 반대일 것이다.

도 30은 제2 실시예의 래치 회로의 회로도이다. 이 제2 실시예의 래치 회로는 CMOS 래치 셀(190)을 기본 구조로 가지고 있고 게이트와 드레인이 각각 공통으로 접속된 NMOS 트랜지스터 Qn61 및 PMOS 트랜지스터 Qp61을 포함하는 CMOS 인버터(192)와, 게이트와 드레인이 각각 공통으로 접속된 NMOS 트랜지스터 Qn62 및 PMOS 트랜지스터 Qp62를 포함하는 CMOS 인버터(192)를 포함하고 있고, 이 CMOS 인버터들은 상호 병렬로 접속되어 있다.

이 CMOS 래치 셀(190)에서는, CMOS 인버터(191)의 입력(즉, MOS 트랜지스터 Qn61, Qp61의 게이트 공통 접속점) 및 CMOS 인버터(192)의 출력(즉, MOS 트랜지스터 Qn62, Q62의 드레인 공통 접속점)이 접속되어 있다. 또한, CMOS 인버터(192)의 입력(즉, MOS 트랜지스터 Qn62, Qp62의 게이트 공통 접속점) 및 CMOS 인버터(191)의 출력(즉, MOS 트랜지스터 Qn61, Qp61의 드레인 공통 접속점)이 접속되어 있다.

스위치(195)는 제1 회로 입력 단자(193)와 CMOS 인버터(191)의 입력 사이에 접속되어 있고, 스위치(196)는 제2 회로 입력 단자(194)와 CMOS 인버터(192)의 입력 사이에 접속되어 있다. 또한, CMOS 인버터(192)의 출력 단자는 제1 회로 출력 단자(197)에 접속되어 있고, CMOS 인버터(191)의 출력은 제2 회로 출력 단자(198)에 접속되어 있다. 또한, 상호 반대의 극성을 가지는 2개의 출력 신호는 이 회로의 출력 단자(197), (198)를 통해 출력 신호 out1, out2로 출력된다.

이 CMOS 래치 셀(190)의 정전원측, 즉 노드 A는 스위치(199)를 통해 정전원 전압 VDD1의 전원 라인(201)에 직접 접속되어 있고, 노드 A는 또한 스위치(200)를 통해 전원 전압 VDD1보다 높은 전원 전압 VDD2의 전원 라인(202)에 접속되어 있다. 또한, 부전원측, 즉 노드 B는 부전원 전압(예를 들면 접지 레벨)의 라인 VSS에 직접 연결되어 있다.

이 스위치(195), (196)와 함께, 스위치(199)의 스위칭은 도면에는 도시되지 않은 제어 회로로부터 입력 단자(204)로의 입력인 출력 인에이블 펄스 oe1에 의해 제어된다. 스위치(200)의 스위칭은 이와 반대로 상기 제어 회로로부터 입력 단자(205)로의 입력인 출력 인에이블 펄스 oe2에 의해 제어된다.

상기 개시된 제2 실시예의 래치 회로에서, VDD1에서 VSS 사이의 진폭을 가지는 입력 신호 in1은 제1 회로 입력 단자(193)에 입력되고, 입력 신호 in1이 반전된 신호인 반전 신호 in2는 제2 회로 입력 단자(194)로 입력된다. 또한, 제1 실시예의 래치 회로와 동일하게, 출력 인에이블 펄스 oe1, oe2는 도 27 및 도 28의 타이밍 관계에 따라 펄스로 입력된다.

제2 실시예의 래치 회로의 동작은 제1 실시예의 래치 회로와 근본적으로 동일하다. 즉, 동작은 출력 인에이블 펄스 oe1이 액티브 레벨에 있는 상기 래치 동작 기간 동안 VDD1 전원으로부터이고, VDD1에서 VSS의 진폭을 가지는 입력 신호 in1, in2는 스위치(195), (196)를 통해 CMOS 래치 셀(190)로 전달되고 동일한 진폭으로 임시로 래치 된다.

다음에, 액티브 출력 인에이블 펄스 oe2의 출력 동작 기간에, VDD1에서 VSS의 진폭을 가지는 상기 신호는 MOS 래치 셀(190)의 정전원측을 VDD1으로부터 VDD2 전원으로 스위칭하기 위해 VDD2에서 VSS의 진폭을 가지는 신호로 레벨 시프트 되고, 이 레벨 시프트된 신호는 다음에 출력 신호 out1, out2로 출력된다.

CMOS 래치 셀(190)을 기본 구조로 가지는 제2 실시예의 이 래치 회로에서 2개의 스위치(199), (200)는 정전원측의 전원을 선택하기 위해 설치되어 있다. CMOS 래치 셀(190)의 래치와 출력 동작 기간에 따라 스위치(199), (200)의 스위칭을 제어함으로써, VDD1 전원은 래치 기간 동안에 동작하고 VDD2 전원은 CMOS 래치 셀(190)의 출력 기간 동안에 동작하여, VDD1/VDD2에 대한 전원의 전류의 흐름은 제 1 실시예 등과 동일하게 제한 될 수 있다. 또한, 적은 수의 회로 장치로 래치 동작과 레벨 시프트 동작을 달성하는 것 이외에도, 하이 전압 진폭 신호를 가지는 래치를 로우 전압 진폭 신호로 다시 기록할 필요가 없어서, 전 단계의 신호 버퍼의 크기가 작게 유지될 수 있고, 레벨 시프트 기능과 작은 표면 면적이 달성될 수 있다.

도 31은 제3 실시예의 래치 회로를 도시하는 회로도이다. 제3 실시예의 이 래치 회로는 CMOS 래치 셀(210)을 기본 구조로 가지고 있고 게이트와 드레인이 각각 공통으로 접속된 NMOS 트랜지스터 Qn71 및 PMOS 트랜지스터 Qp71을 포함하는 CMOS 인버터(211)와, 게이트와 드레인이 각각 공통으로 접속된 NMOS 트랜지스터 Qn72 및 PMOS 트랜지스터 Qp72를 포함하는 CMOS 인버터(212)를 포함하고 있고, 이 CMOS 인버터들은 상호 병렬로 접속되어 있다.

이 CMOS 래치 셀(210)에서는, CMOS 인버터(211)의 입력(즉, MOS 트랜지스터 Qn72, Qp72의 게이트 공통 접속점) 및 CMOS 인버터(212)의 출력(즉, MOS 트랜지스터 Qn62, Q62의 드레인 공통 접속점)이 접속되어 있다. 또한, CMOS 인버터(212)의 입력(즉, MOS 트랜지스터 Qn72, Qp72의 게이트 공통 접속점) 및 CMOS 인버터(211)의 출력(즉, MOS 트랜지스터 Qn71, Qp71의 드레인 공통 접속점)이 접속되어 있다.

스위치(216)는 제1 회로 입력 단자(213)와 CMOS 인버터(211)의 입력 사이에 접속되어 있고, 스위치(216)는 제2 회로 입력 단자(214)와 CMOS 인버터(212)의 입력 사이에 접속되어 있다. 또한, CMOS 인버터(212)의 출력 단자는 제1 회로 출력 단자(217)에 접속되어 있고, CMOS 인버터(211)의 출력은 제2 회로 출력 단자(218)에 접속되어 있다. 또한, 상호 반대의 극성을 가지는 2개의 출력 신호는 이 회로의 출력 단자(217), (218)를 통해 출력 신호 out1, out2로 출력된다.

이 CMOS 래치 셀(210)의 정전원측, 즉 노드 A는 스위치(219)를 통해 정전원 전압 VDD1의 전원 라인(221)에 직접 접속되어 있고, 노드 A는 또한 스위치(220)를 통해 전원 전압 VDD1보다 높은 전원 전압 VDD2의 전원 라인(223)에 접속되어 있다. 또한, 부전원측, 즉 노드 B는, 스위치(222)를 통해 부전원 전압(예를 들면 접지 레벨)의 VSS1의 라인(225)에 직접 접속되어 있고, 스위치(224)를 통해 전압 VSS1보다 낮은 전원 전압(음극 전압)의 라인(226)에 접속되어 있다.

이 스위치(215), (216)와 함께, 스위치(215) 및 (216)의 스위칭은 도면에는 도시되지 않은 제어 회로로부터 입력 단자(227)로의 입력인 출력 인에이블 펄스 oe1에 의해 제어된다. 스위치(220), (224)의 스위칭은 이와 반대로 상기 제어 회로로부터 입력 단자(228)로의 입력인 출력 인에이블 펄스 oe2에 의해 제어된다.

상기 개시된 제3 실시예의 래치 회로에서, VDD1에서 VSS 사이의 진폭을 가지는 입력 신호 in1은 제1 회로 입력 단자(213)로 입력되고, 상기 입력 신호 in1이 반전된 신호인 반전 신호 in2는 제2 회로 입력 단자(213)로 입력된다. 또한, 제1 및 제2 실시예의 래치 회로와 동일하게, 출력 인에이블 펄스 oe1, oe2는 도 27 및 도 28의 타이밍 관계에 따라 펄스로 입력된다.

제3 실시예의 래치 회로의 동작은 제1 및 제2 실시예의 래치 회로와 근본적으로 동일하다. 즉, 동작은 출력 인에이블 펄스 oe1이 액티브 레벨에 있는 상기 래치 동작 기간 동안 VDD1 전원으로부터이고, VDD1에서 VSS의 진폭을 가지는 입력 신호 in1, in2는 스위치(215), (216)를 통해 CMOS 래치 셀(210)로 전달되고 동일한 진폭으로 임시로 래치 된다.

다음에, 출력 인에이블 펄스 oe2가 활성화(active) 출력 동작 기간에, VDD1에서 VSS1의 진폭을 가지는 상기 신호는 메모리 래치 셀(210)의 정전원측을 VDD1로부터 VDD2 전원으로 스위칭함에 따라 VDD1에서 VSS의 진폭을 가지는 신호는 부전원 VSS1로부터 VSS2 전원으로 스위칭하기 위해 VDD2에서 VSS2의 진폭을 가지는 신호로 레벨 시프트되고, 그 후 출력 신호 out1, out2로서 출력된다.

제3 실시예의 이 래치 회로에서, 2개의 스위치(219), (220) 및 2개의 스위치(223), (224)는 정전원측 및 부전원측을 선택하기 위하여 각각 설치되었다. CMOS 래치 셀(210)의 상기 래치 및 출력 동작 기간에 따라 이 스위치(219), (220) 및 (223), (224)의 스위칭을 제어함으로써, VDD1 전원 및 VSS1 전원은 래치 기간 동안 동작하며, VDD2, VSS2 전원은 출력 기간동안 동작하여, 제1 및 제2 실시예와 같이, 각 전원로의 전류의 흐름은 제한될 수 있다. 또한, 적은 수의 회로 장치만 가지는 구조를 가지는 것 외에도, 하이 전압 진폭 신호를 가지는 래치를 로우 전압 진폭 신호로 다시 기록할 필요가 없어서, 전 단의 신호 버퍼의 크기가 작게 유지될 수 있고, 작은 표면 면적을 달성할 수 있다.

제1 실시예(도 29 참조)의 상세한 예와 동일한 제2 및 제3 실시예의 래치 회로는 트랜지스터를 도 30의 스위치(195), (196), (199), (200)와 도 31의 스위치(215), (216), (219), (220), (223), (224)로 이용할 수 있다. 그러나, 도 30의 스위치(199), (200) 및 도 31의 스위치(219), (220)에는 PMOS 트랜지스터를 사용하는 것이 바람직하고, 그런 경우, 출력 인에이블 펄스 oe1, oe2의 각각의 반전된 신호는 스위칭 신호로 이용된다.

제2 및 제3 실시예의 래치 회로에서, 서로 다른, 비반전 및 반전된 신호 출력을 포함하는 2개의 출력인 xout이 제공되었으나, 이 출력 신호 중 하나만을 이용하는 구성도 이용될 수 있다.

그러므로, 상기 개시된 바와 같이, 제1 및 제2 수평 구동 시스템(12), (13)의 제2 래치 회로(123), (133)를 가지는 구동 회로-집적 액정 표시 장치는 레벨 시프트 기능을 가지는 래치 회로를 구현할 수 있다. 환언하면, 작은 표면 면적을 달성할 수 있고, 또한, 저전력 소비 래치 회로를 이용함에 의해, 응용 가능한 래치 회로들을 포함하는 수직 구동 시스템(14) 또는 제1

또는 제2 수평 구동 시스템(12), (13)같은 구동 회로는 유효 화소 영역(11)과 동일한 기판(substrate)에 제조된 경우 유효 화소 영역(11)에 대한 좁은 외부 면적(화상 프레임)을 달성할 수 있을 뿐만 아니라, 저전력 구동 회로-집적 액정 표시 장치를 달성할 수 있다.

도 32가 명확하게 도시하는 바와 같이, 샘플링 래치 회로(122-1), (122-2), (122-3)는 디지털 데이터 b0, b1, b2의 각 비트를 위해 설치되어 있고, 래치 회로(123-1), (123-2), (123-3)는 다음 단계에 설치되어 있다. 샘플링 래치 회로(122-1), (122-2), (122-3)는 디지털 데이터 b0, b1, b2의 각 비트를 입력하고, 수평 시프트 레지스터(121)(도 1 참조)로부터의 샘플링 펄스 출력에 따라 상기 입력 데이터의 샘플링이 수행된다.

래치 회로(123-1), (123-2), (123-3)는 이와 반대로, 샘플링 래치 회로(122-1), (122-2), (122-3)로부터 샘플링 데이터를 공급받는 것과 함께, 외부 입력에 기초한 버퍼(230)로부터 출력 인에이블 펄스 oe1, oe2를 래치 펄스 출력으로 입력되고, 또한 제2 생성 회로(231)로부터의 VSS2 전원은 부측 제2 전원으로써 공급된다.

따라서, 래치 회로(123-1), (123-2), (123-3)가 출력 인에이블 펄스 oe1에 따라 전 단계의 샘플링 래치 회로(122-1), (122-2), (122-3)로부터 샘플링 데이터를 래치한 후에, 상기 데이터는 일치(라인 연속)하게 만들어지고 다음 단계의 DA 변환을 위해 필요한 신호 진폭으로의 레벨 변환이 출력 인에이블 펄스 oe2의 타이밍에 수행되고, 출력이 DA 변환기(125)를 통해 유효 화소 영역에 일치하는 칼럼 라인에 전송된다.

제2 래치 회로(123), (133)를 상기 구동 회로-집적 액정 표시 장치를 위한 상기 실시예의 래치 회로로 이용함에 의해, 각 전원은 응용 가능한 래치 회로의 래치 동작 기간 또는 출력 동작 기간에 따라 이용되어 제2 전원 생성 회로(231)로의 전류 흐름은 제한 될 수 있다. 이 구성은 전원 생성기(231)의 액정 표시 장치 패널로의 통합(또는 집적)을 수월하게 할 뿐만 아니라 작은 표면 면적을 가지는 제2 래치 회로(123), (133) 및 좁은 화상 프레임을 가지는 액정 표시 장치를 달성하게 한다.

도 33은 도 32의 응용(또는 변형)을 도시하는 블록도이다. 이 도면에서, 도 32와 동일한 부분은 동일한 참조 번호를 가지고 있다. 이 응용 예에서, 스위치(232), (233)는 래치 회로(123-1), (123-2), (123-3)에 대한 부전원측에 대한 스위치(도 26의 스위치(180), (181)와 등가)로 제공된다. 이 스위치(232), (233)는 래치 회로(123-1), (123-2), (123-3)와 공통으로 이용된다.

도 26의 회로가 변형 없이, 예를 들면 디지털 데이터의 3 비트 스트링으로 이용된다면, 2개의 스위치는 3 비트에 일치하는 각 래치 회로를 위해 부전원측에 제공되어야 하므로, 총 6개의 스위치를 요구하게 된다. 그러나 상기 구조에서는 3개의 래치 회로에 대해 2개의 스위치면 충분하므로 전원을 스위칭 하는데 필요한 스위치의 수는 4개가 감소하여 작은 표면 면적이 가능하게 하고, 액정 표시 패널에 더 좁은 화상 프레임을 가능하게 한다.

이 예에서, 제2 래치 회로(123), (133)은 제1 실시예의 래치 회로로 이용되었으나, 제2 래치 회로(123), (133)는 또한 제2 및 제3 실시예의 래치 회로로 이용될 수 있고, 같은 효과를 얻을 수 있다. 상기 개시된 바와 같이 래치 회로는 액정 표시 장치 외의 다른 장치에도 널리 응용될 수 있다.

DA 변환기 회로(125), (135)뿐만 아니라 수평 레지스터(121), (131), 샘플링 및 래치 회로(122), (132), 제2 래치 회로(123), (133), 레벨 시프터(124), (134)가 상기 개시되어 있다. 그러나, 이 실시예들의 회로 구성은 액정 표시 장치를 위한 각 회로를 동시에 이용할 필요는 없으며, 이 회로들 중 어느 하나도 상기 실시예의 어느 하나의 회로 구조에도 이용될 수 있다.

*본 발명의 회로는 박막 필름 트랜지스터뿐만 아니라 실리콘-기반 장치에도 또한 널리 응용될 수 있다.

발명의 효과

상기 개시된 바와 같이 본 발명에서는, 기준 전압선택 DA 변환기 및 이 DA 변환기와 함께 설치된 구동 회로 직접 액정 표시 장치에서, 각 데이터 신호 n 비트(n은 2 이상의 정수)의 논리에 일치하는 극성을 가지는 n개의 직렬 접속된 아날로그 스위치를 가지고 2^n 기준 전압 라인 및 화소 선택을 위한 칼럼 라인의 각각의 사이에 각각 접속된 2^n 계조 선택 유닛을 가짐에 의해, 데이터 신호를 복호화 하는 복호(디코드) 회로와, 이 복호화된 출력에 기초한 해당 기준 전압을 선택하는 스위치는 동일한 트랜지스터로부터 형성될 수 있어서, 상기 회로 내의 회로 장치의 수가 작게 유지될 수 있고, 전력 소비는 증가하지 않으며, 극히 좁은 화상 프레임을 가지는 LCD 패널을 얻을 수 있다.

또한 본 발명에 있어서, 2개의 입력 신호 소스와 CMOS 래치 셀의 2개의 입력부 저항 소자를 각각 삽입하고, 입력 신호에 상기 MOS 래치 셀의 입력부에 의해 이 저항 소자를 통해 DC 시프트를 적용함에 의해, 상기 CMOS 래치 셀을 포함하는 트랜지스터를 온 상태로 하는데 충분한 전압을 얻을 수 있어, 장치가 높은 임계 전압 값 V_{th} 를 가지더라도 작은 회로 표면 면적 내에서 안정하고 저전력의 레벨 시프트 동작을 달성할 수 있다.

또한 본 발명에 있어서, CMOS 래치 셀을 기본 구조로 하고 비교기로 구성된 CMOS 래치 셀에서, 이 CMOS 래치 셀의 2개의 입력부를 각각 접속하는 제1 스위치와, 2개의 입력 신호 소스와 함께, 전원 라인과 상기 CMOS 래치 셀의 전원 측 사이를 제2 스위치가 접속하며, 제1 스위치 및 제2 스위치의 상보적인 스위칭에 의해, 극히 적은 수의 장치를 가지는 구조를 얻을 수 있을 뿐만 아니라, 제1 스위치로 인하여 샘플링 기간 동안 CMOS 래치 셀에 전류가 흐르지 않아서, 장치가 높은 임계 전압 값 V_{th} 를 가지더라도 안정하고 저전력 그리고 작은 회로 표면 면적 내의 샘플 및 래치 동작을 달성할 수 있다.

또한 본 발명에 있어서, CMOS 래치의 정전원 또는 부전원측 중 적어도 하나에 설치되어 상기 전원을 선택하는 2개의 스위치를 제공하고, 래치 동작과 출력 동작 기간에 따라 이 스위치들의 스위칭을 제어함에 의해, 전원으로 흐르는 전류를 제어할 수 있고, 또한 극히 적은 수의 장치를 가지는 구조를 얻을 수 있어 작은 표면 면적을 가지는 회로를 달성할 수 있다.

(57) 청구의 범위

청구항 1.

CMOS 래치셀을 기본구성으로 하고, 저전압진폭의 신호를 고전압진폭의 신호로 변환하며, 상기 CMOS 래치셀의 2 개의 입력신호원과 2 개의 입력부와의 사이에 각각 제1 저항소자가 삽입되는 레벨 시프트 회로.

청구항 2.

제1항에 있어서,

상기 제1 저항소자가 트랜지스터인 레벨 시프트 회로.

청구항 3.

제1항에 있어서,

상기 CMOS 래치 셀의 2 개의 입력부와 전원과의 사이에 제2 저항소자가 삽입되는 레벨 시프트 회로.

청구항 4.

제3항에 있어서,

상기 제1 저항소자와 상기 제2 저항소자가 트랜지스터인 레벨 시프트 회로.

청구항 5.

제3항에 있어서,

상기 제1 및 제2 저항소자로 유한 저항치를 갖는 스위치를 사용하고, 상기 스위치가 온 상태인 시간에만 레벨 시프트 동작이 행해지고, 그 외의 시간에는 래치 동작이 수행되는 레벨 시프트 회로.

청구항 6.

제5항에 있어서,

상기 레벨 시프트 회로가, 필요한 때에만 상기 스위치를 온 상태로 하는 제어회로를 구비하는 레벨 시프트 회로.

청구항 7.

제5항에 있어서,

상기 레벨 시프트 회로가, 상기 CMOS 래치 셀의 초기 상태를 결정하기 위한 리셋 회로를 구비하는 레벨 시프트 회로.

청구항 8.

복수의 전송단으로 이루어지며, 스타트 신호를 레벨 시프트 하여 초단의 전송단에 공급하는 제1 레벨 시프트 회로; 및 클럭신호를 레벨 시프트 하여 전송단 각각에 공급하는 제2 레벨 시프트 회로를 구비하고,

상기 제1, 제2 레벨 시프트 회로는 CMOS 래치 셀을 기본구성으로 하고, 상기 CMOS 래치 셀의 2개의 입력부와 2개의 입력신호원과의 사이에 각각 제1 저항소자를 삽입하여 이루어지는

것을 특징으로 하는 시프트 레지스터.

청구항 9.

제8항에 있어서,

상기 제1 저항소자는 트랜지스터인 시프트 레지스터.

청구항 10.

제8항에 있어서,

제2 저항소자가 상기 CMOS 래치 셀의 전원과 2개의 입력부 사이에 각각 삽입되는 시프트 레지스터.

청구항 11.

제10항에 있어서,

상기 제1 및 제2 저항소자가 트랜지스터인 시프트 레지스터.

청구항 12.

제10항에 있어서,

상기 제1 및 제2 저항소자로서 유한 저항치를 갖는 스위치를 사용하여, 상기 스위치가 온 상태일 때만 레벨 시프트 동작이 수행되고, 그 이외의 시간에는 래치 동작이 수행되는 시프트 레지스터.

청구항 13.

제12항에 있어서,

상기 시프트 레지스터가 상기 스위치를 필요한 때에만 온 상태로 설정하는 제어회로를 구비하는 시프트 레지스터.

청구항 14.

제12항에 있어서,

상기 시프트 레지스터가 상기 CMOS 래치 셀의 초기상태를 결정하기 위한 리셋 회로를 구비하는 시프트 레지스터.

청구항 15.

제8항에 있어서,

상기 시프트 레지스터가 유리 기판 상에 형성된 박막 트랜지스터를 이용하여 작성되는 시프트 레지스터.

청구항 16.

제8항에 있어서,

상기 시프트 레지스터가 실리콘 기판 상에 형성된 박막 트랜지스터를 이용하여 작성되는 시프트 레지스터.

청구항 17.

주사계(scanning system)를 포함하는 구동회로와 화소부가 동일 기판에 일체로 형성되는 액정표시장치로서,

상기 주사계를 구비한 액정 표시 장치가

복수의 전송단;

스타트 신호를 레벨 시프트 하여 상기 전송단의 초단에 공급하는 제1 레벨 시프트 회로; 및

클록 신호를 레벨 시프트 하여 상기 전송단 각각에 공급하는 제2 레벨 시프트 회로

를 포함하고,

상기 제1 및 제2 레벨 시프트 회로가 CMOS 래치 셀을 기본구조로 하고, 제1 저항소자가 상기 CMOS 래치 셀의 2개의 입력부와 2개의 입력신호원과의 사이에 각각 삽입되는 액정 표시 장치.

청구항 18.

제17항에 있어서,

상기 제1 저항소자가 트랜지스터인 액정 표시 장치.

청구항 19.

제17항에 있어서,

제2 저항소자가 상기 CMOS 래치 셀의 전원과 2개의 입력부 사이에 각각 삽입되는 액정 표시 장치.

청구항 20.

제19항에 있어서,

상기 제1 및 제2 저항소자가 트랜지스터인 액정 표시 장치.

청구항 21.

제19항에 있어서,

상기 제1 및 제2 저항소자로서 유한 저항치를 갖는 스위치를 사용하여, 상기 스위치가 온 상태일 때만 레벨 시프트 동작이 수행되고, 그 이외의 시간에는 래치 동작이 수행되는 액정 표시 장치.

청구항 22.

제21항에 있어서,

상기 액정 표시 장치가 상기 스위치를 필요한 때에만 온 상태로 설정하는 제어회로를 구비하는 액정 표시 장치.

청구항 23.

제21항에 있어서,

상기 액정 표시 장치가 상기 CMOS 래치 셀의 초기상태를 결정하기 위한 리셋 회로를 구비하는 액정 표시 장치.

청구항 24.

CMOS 래치 셀을 기본구조로 하며, 제1 저항소자가 상기 CMOS 래치 셀의 2개의 입력부와 2개의 입력신호원 사이에 각각 삽입되며, 저전압 진폭의 신호를 고전압 진폭의 신호로 변환시키는 레벨 시프트 회로를 구비하는 액정 표시 장치.

청구항 25.

제24항에 있어서,

상기 제1 저항소자가 트랜지스터인 액정 표시 장치.

청구항 26.

제24항에 있어서,

제2 저항소자가 상기 CMOS 래치 셀의 전원과 2개의 입력부 사이에 각각 삽입되는 액정 표시 장치.

청구항 27.

제26항에 있어서,

상기 제1 및 제2 저항소자가 트랜지스터인 액정 표시 장치.

청구항 28.

제26항에 있어서,

상기 제1 및 제2 저항소자로서 유한 저항치를 갖는 스위치를 사용하여, 상기 스위치가 온 상태일 때만 레벨 시프트 동작이 수행되고, 그 이외의 시간에는 래치 동작이 수행되는 액정 표시 장치.

청구항 29.

제28항에 있어서,

상기 액정 표시 장치가 상기 스위치를 필요한 때에만 온 상태로 설정하는 제어회로를 구비하는 액정 표시 장치.

청구항 30.

제28항에 있어서,

상기 액정 표시 장치가 상기 CMOS 래치 셀의 초기상태를 결정하기 위한 리셋 회로를 구비하는 액정 표시 장치.

청구항 31.

비교기 구성의 CMOS 래치 셀을 기본구조로 하며,

상기 CMOS 래치 셀의 2개의 입력부와 2개의 입력신호원 사이에 각각 접속되는 제1 스위치;

상기 CMOS 래치 셀의 전원과 2개의 입력부 사이에 각각 접속되는 제2 스위치; 및

상기 제1 스위치와 상기 제2 스위치를 상보적으로 스위칭 제어하는 제어수단

을 구비하는 샘플링 래치 회로.

청구항 32.

제31항에 있어서,

상기 제1 스위치와 상기 제2 스위치가 트랜지스터인 샘플링 래치 회로.

청구항 33.

제31항에 있어서,

복수의 상기 샘플링 래치 회로가 배치되며, 상기 복수의 샘플링 래치 회로가 상기 제2 스위치를 공유하는 샘플링 래치 회로.

청구항 34.

제31항에 있어서,

상기 CMOS 래치 셀의 출력신호를 도출하는 출력회로의 전원측과 전원선 사이에 배치된 상기 제2 스위치에 의하여 동기화되고, 제어되는 제3 스위치를 구비하는 샘플링 래치 회로.

청구항 35.

제34항에 있어서,

상기 제2 스위치가 상기 제3 스위치와 결합된 샘플링 래치 회로.

청구항 36.

제35항에 있어서,

복수의 상기 샘플링 래치 회로가 배치되며, 상기 복수의 샘플링 래치 회로가 상기 제2 스위치를 공유하는 샘플링 래치 회로.

청구항 37.

제31항에 있어서,

상기 샘플링 래치 회로가 유리 기판 상에 형성된 박막 트랜지스터를 이용하여 작성되는 샘플링 래치 회로.

청구항 38.

제31항에 있어서,

상기 샘플링 래치 회로가 실리콘 기판 상에 형성된 박막 트랜지스터를 이용하여 작성되는 샘플링 래치 회로.

청구항 39.

주사계(scanning system)를 포함하는 구동회로와 화소부가 동일 기판에 일체로 형성되는 액정표시장치로서,

상기 주사계는

비교기 구성의 CMOS 래치 셀을 기본 구성으로 하고, 상기 CMOS 래치 셀의 2개의 입력부와 2개의 입력신호원의 사이에 각각 접속되는 제1 스위치, 상기 CMOS 래치 셀의 전원측과 전원선 사이에 접속되는 제2 스위치, 및 상기 제1 스위치와 상기 제2 스위치를 상보적으로 스위칭 제어하는 제어수단을 구비하는 샘플링 래치 회로를 포함하는

액정 표시 장치.

청구항 40.

제39항에 있어서,

상기 제1 스위치와 제2 스위치가 트랜지스터인 액정 표시 장치.

청구항 41.

제39항에 있어서,

복수의 상기 샘플링 래치 회로가 배치되며, 상기 복수의 샘플링 래치 회로가 상기 제2 스위치를 공유하는 액정 표시 장치.

청구항 42.

제39항에 있어서,

상기 CMOS 래치 셀의 출력신호를 도출하는 출력회로의 전원측과 전원선 사이에 배치된 상기 제2 스위치에 의하여 동기화되고 제어되는 제3 스위치를 구비하는 액정 표시 장치.

청구항 43.

제42항에 있어서,

상기 제2 스위치가 상기 제3 스위치와 결합된 액정 표시 장치.

청구항 44.

제43항에 있어서,

상기 샘플링 래치 회로가 디지털 데이터 비트의 수에 대응하여 복수개 배치되고, 상기 복수의 샘플링 래치 회로가 상기 제2 스위치를 공유하는 액정 표시 장치.

청구항 45.

CMOS 래치 셀을 기본구조로 하며,

상기 CMOS 래치 셀의 정전원측 또는 부전원측의 적어도 일 측에 설치되고, 서로 다른 전압을 갖는 제1 및 제2 전원을 각각 선택하는 제1 및 제2 스위치와,

상기 CMOS 래치 셀의 래치 동작 및 출력 동작의 각 기간에 따라서 상기 제1 및 제2 스위치를 스위칭 제어하는 제어수단을 구비하는 래치 회로.

청구항 46.

제45항에 있어서,

상기 제1 및 제2 스위치는 트랜지스터인 래치 회로.

청구항 47.

제45항에 있어서,

복수의 상기 래치 회로가 배치되며, 상기 복수의 래치 회로가 상기 제1 스위치와 제2 스위치를 공유하는 래치 회로.

청구항 48.

제45항에 있어서,

상기 래치 회로가 유리 기판 상에 형성된 박막 트랜지스터를 이용하여 작성되는 래치 회로.

청구항 49.

제45항에 있어서,

상기 래치 회로가 실리콘 기판 상에 형성된 박막 트랜지스터를 이용하여 작성되는 래치 회로.

청구항 50.

주사계를 포함하는 구동회로와 화소부가 동일 기판에 일체로 형성되는 액정표시장치로서,

상기 주사계는

상기 CMOS 래치 셀의 정전원측 또는 부전원측의 적어도 일 측에 설치되고, 서로 다른 전압을 갖는 제1 및 제2 전원을 각각 선택하는 제1 및 제2 스위치와,

상기 CMOS 래치 셀의 래치 동작 및 출력 동작의 각 기간에 따라서 상기 제1 및 제2 스위치를 스위칭 제어하는 제어수단을 구비하는

액정 표시 장치.

청구항 51.

제50항에 있어서,

상기 제1 및 제2 스위치가 트랜지스터인 액정 표시 장치.

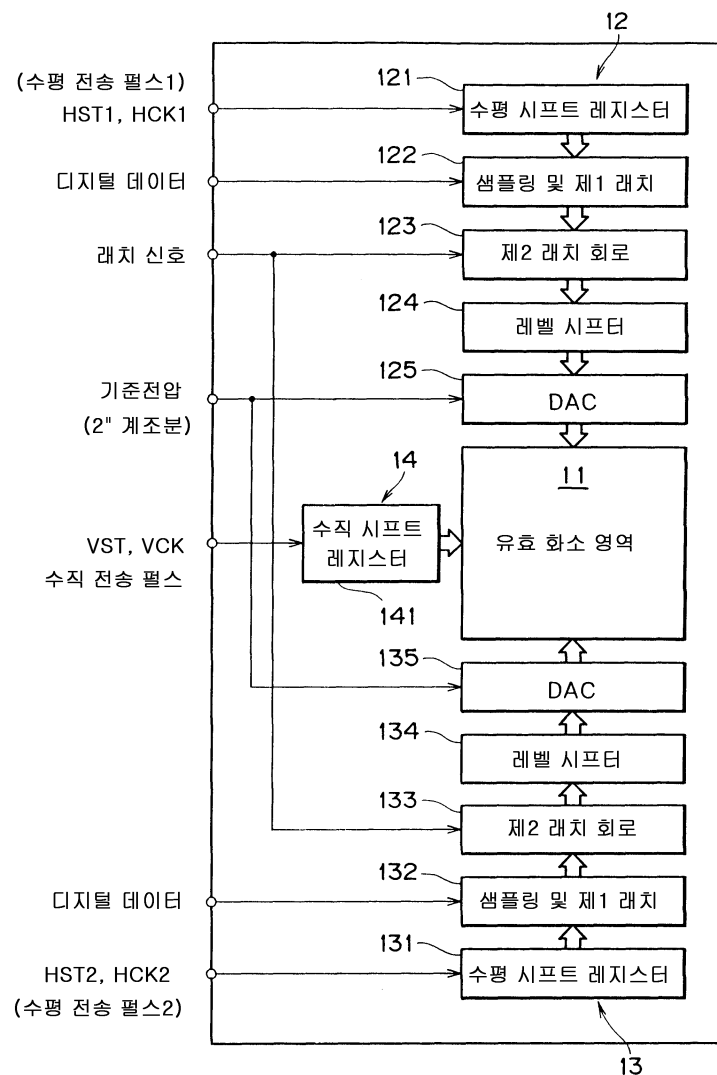
청구항 52.

제50항에 있어서,

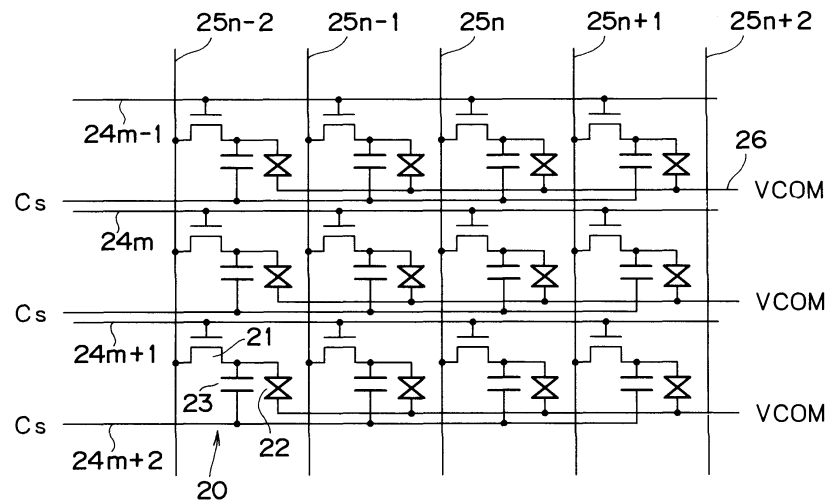
상기 래치 회로가 디지털 데이터 비트의 수에 대응하여 복수개 배치되고, 상기 복수의 래치 회로가 상기 제1 스위치와 제2 스위치를 공유하는 액정 표시 장치.

도면

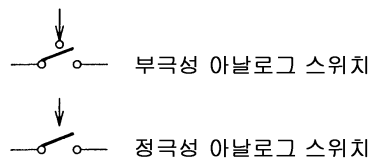
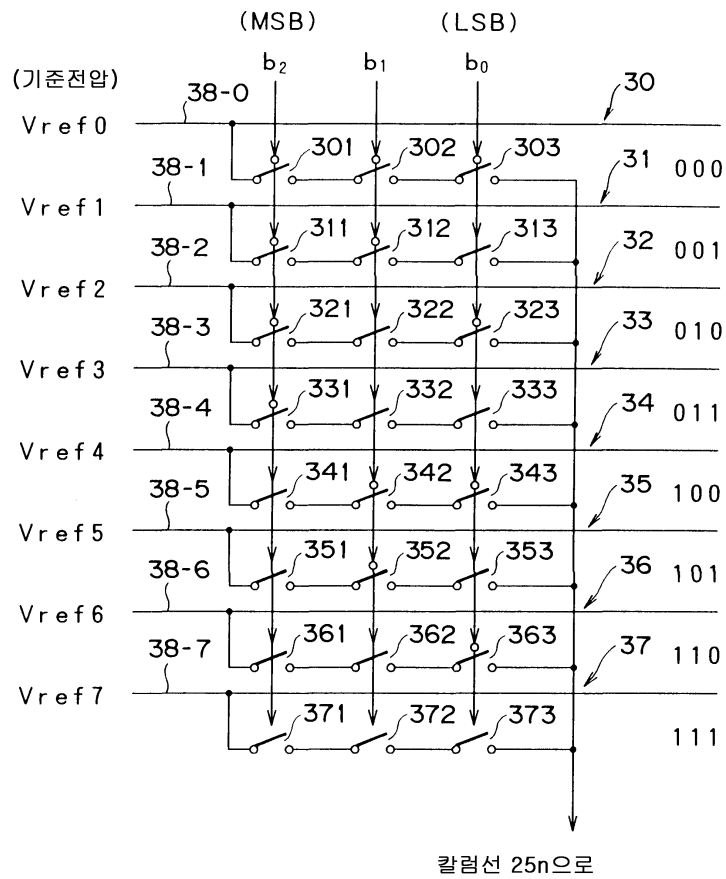
도면1



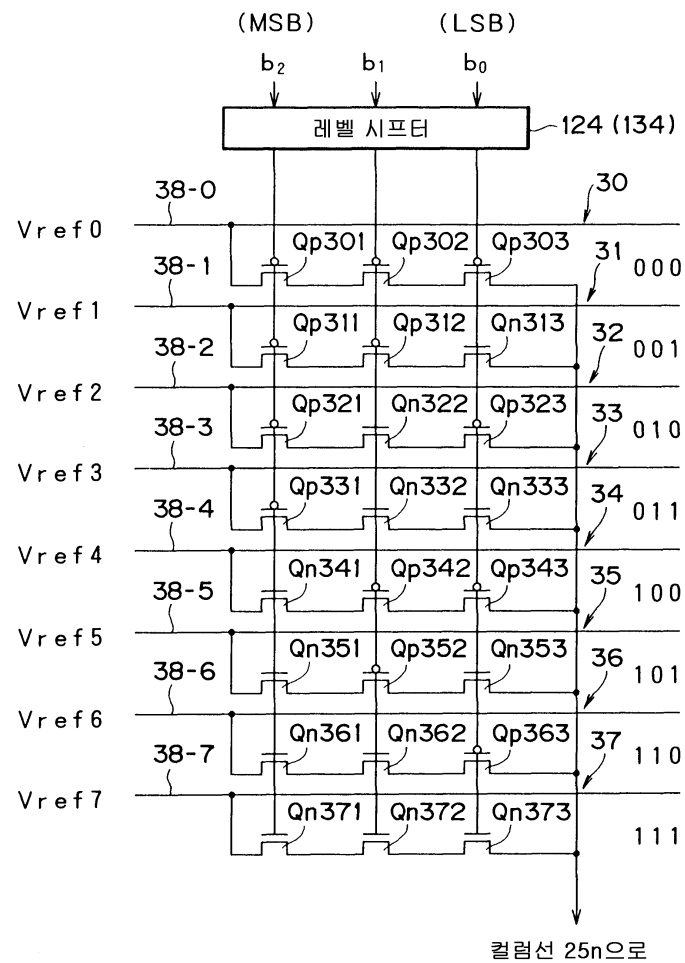
도면2



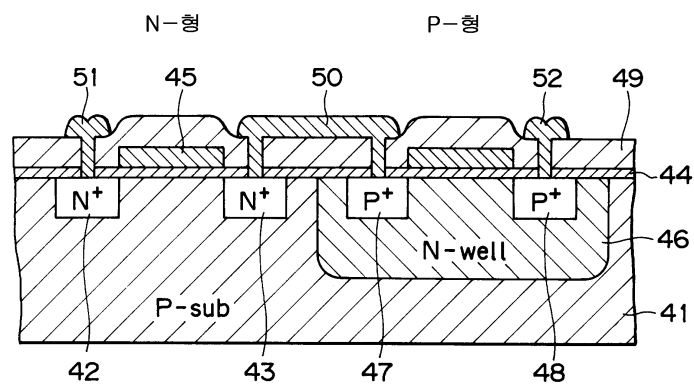
도면3



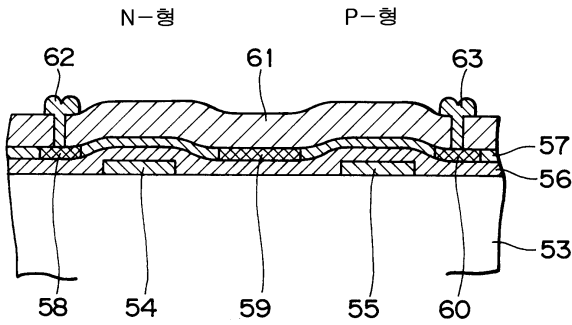
도면4



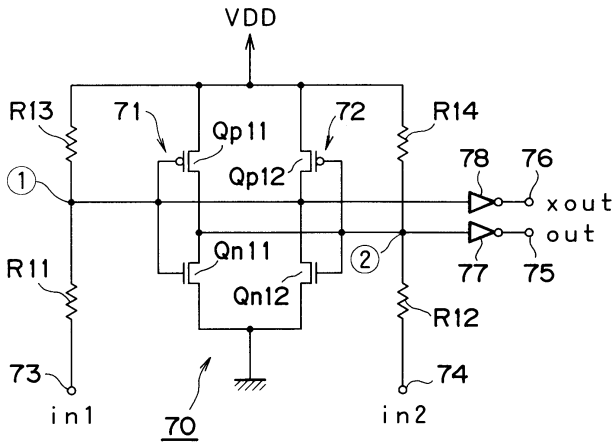
도면5



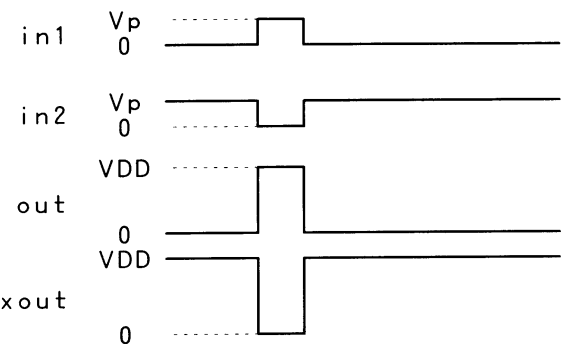
도면6



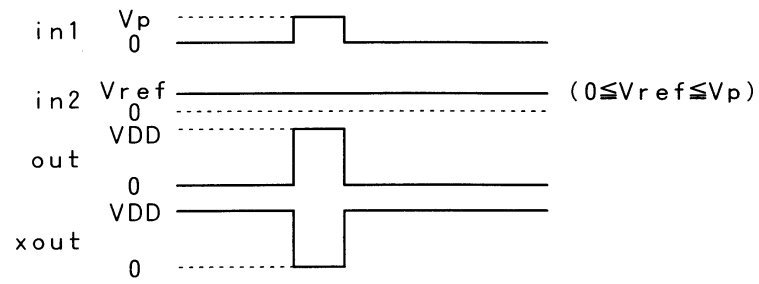
도면7



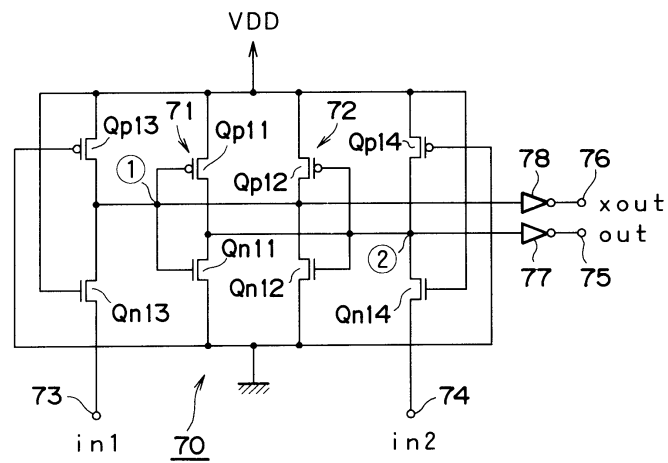
도면8



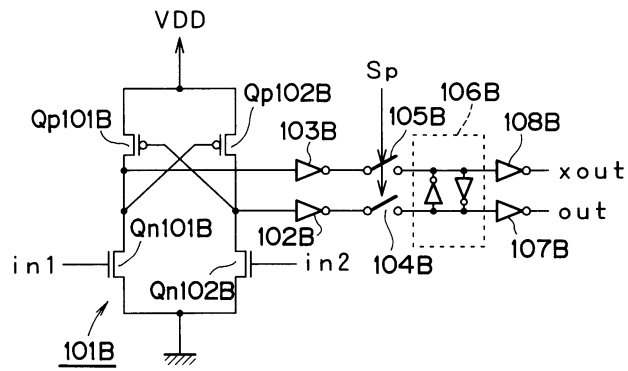
도면9



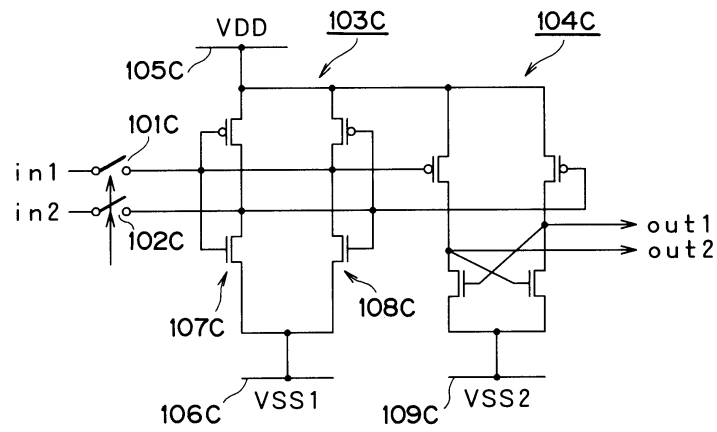
도면10



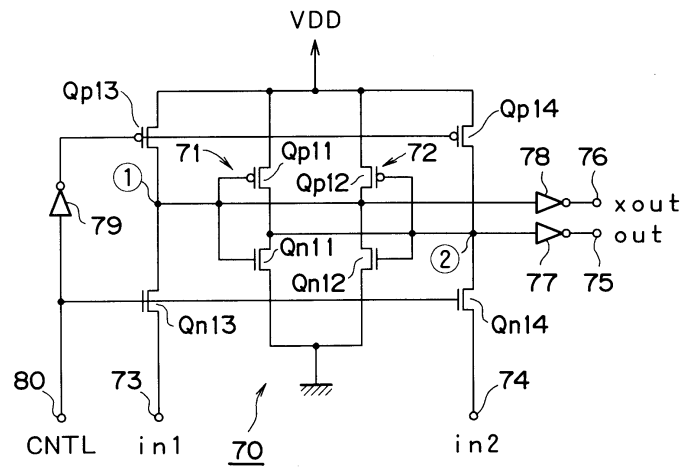
도면10b



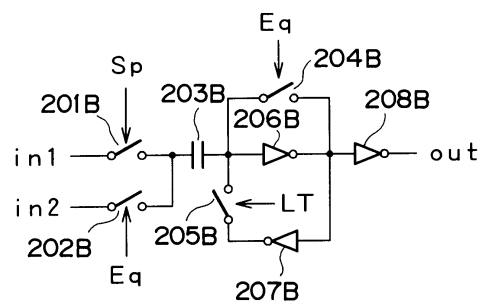
도면10c



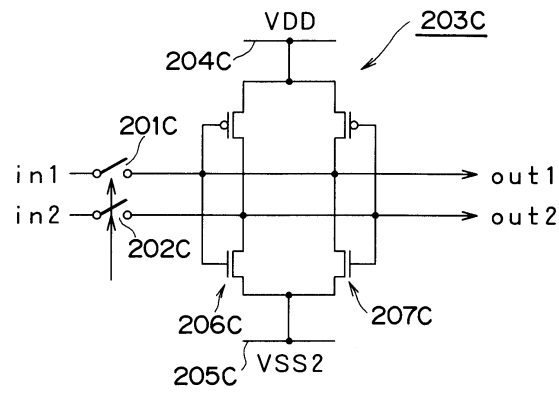
도면11



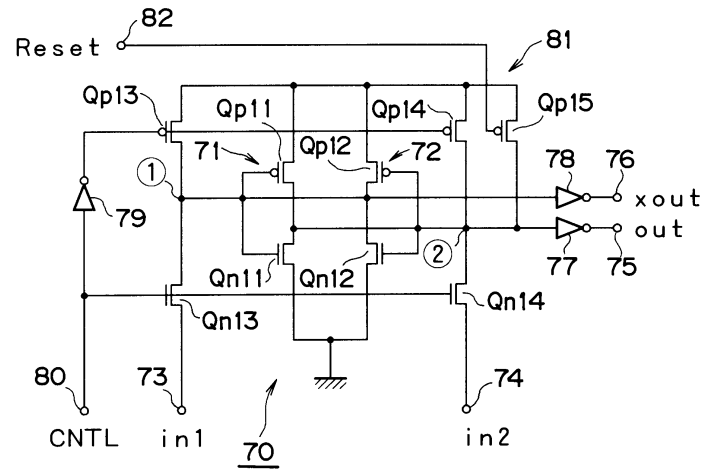
도면11b



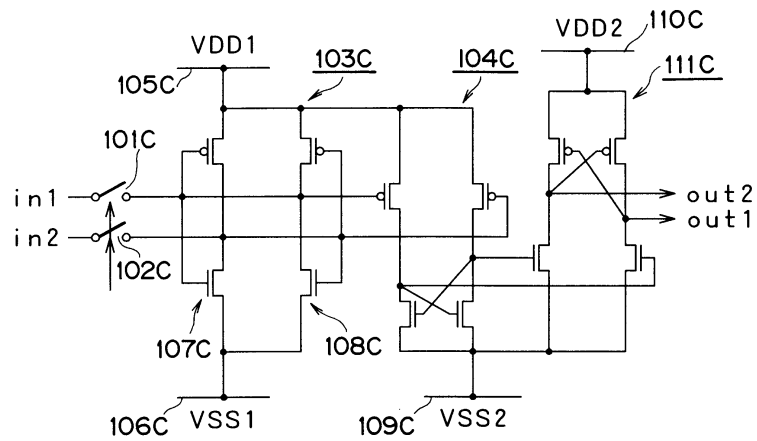
도면11c



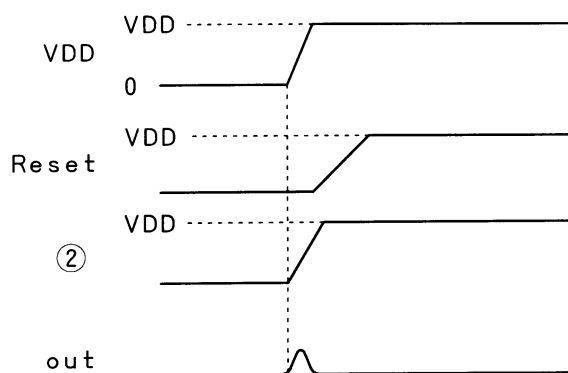
도면12



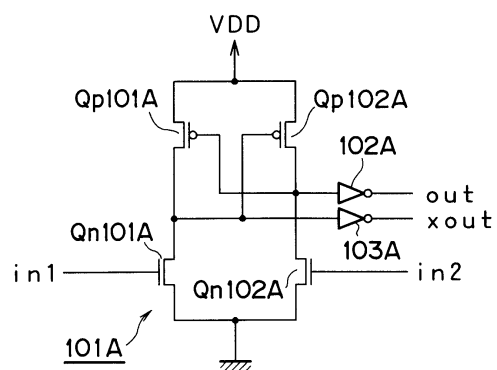
도면12c



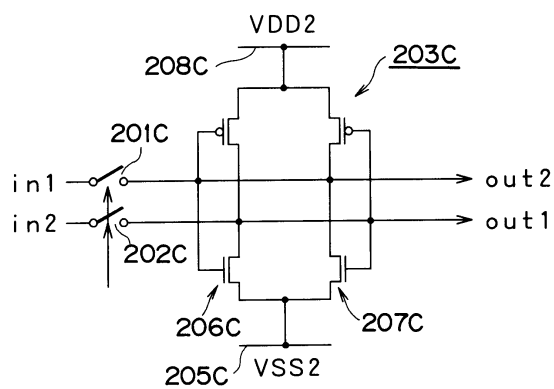
도면13



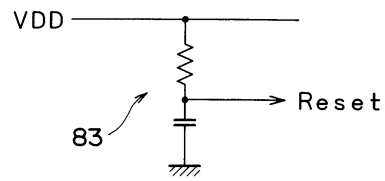
도면13a



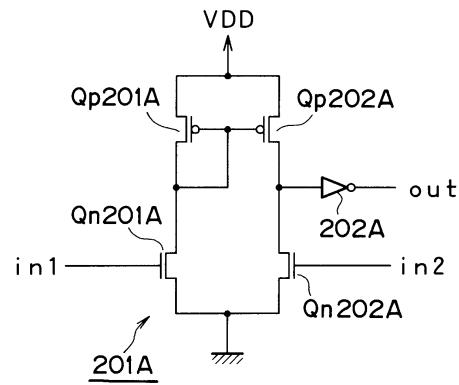
도면13c



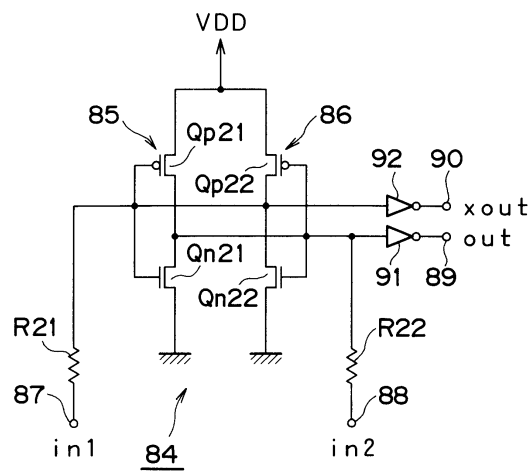
도면14



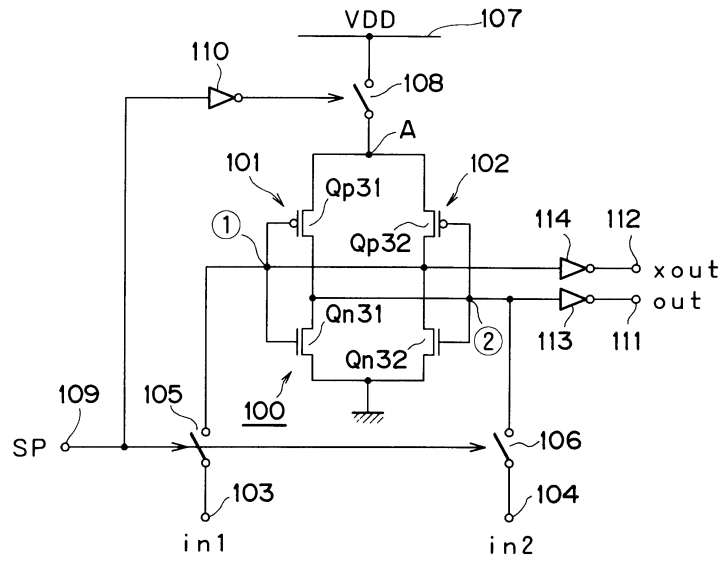
도면14a



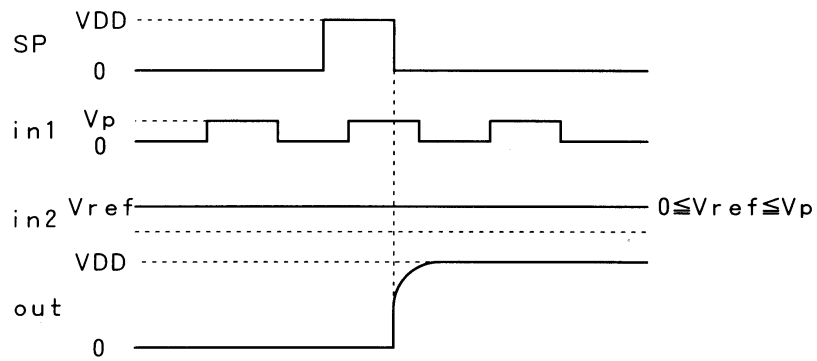
도면15



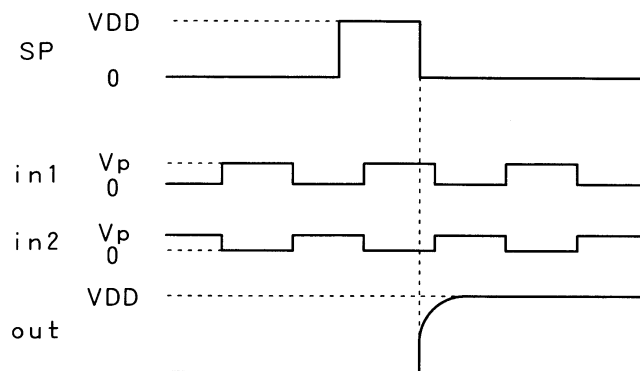
도면18



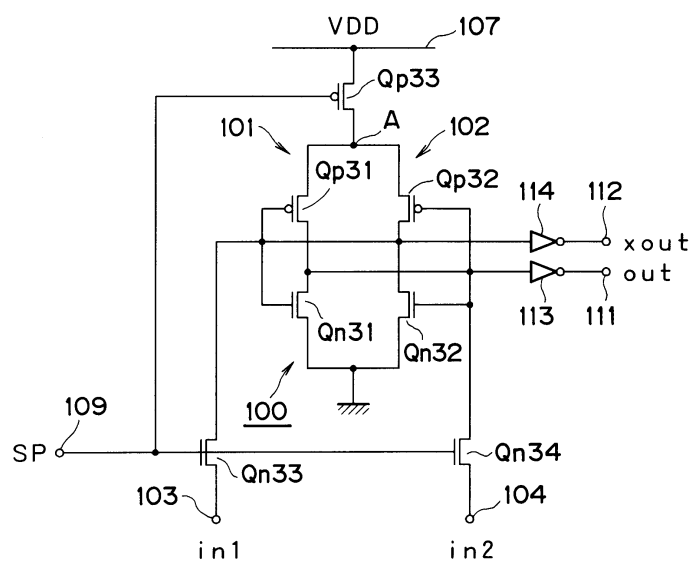
도면19



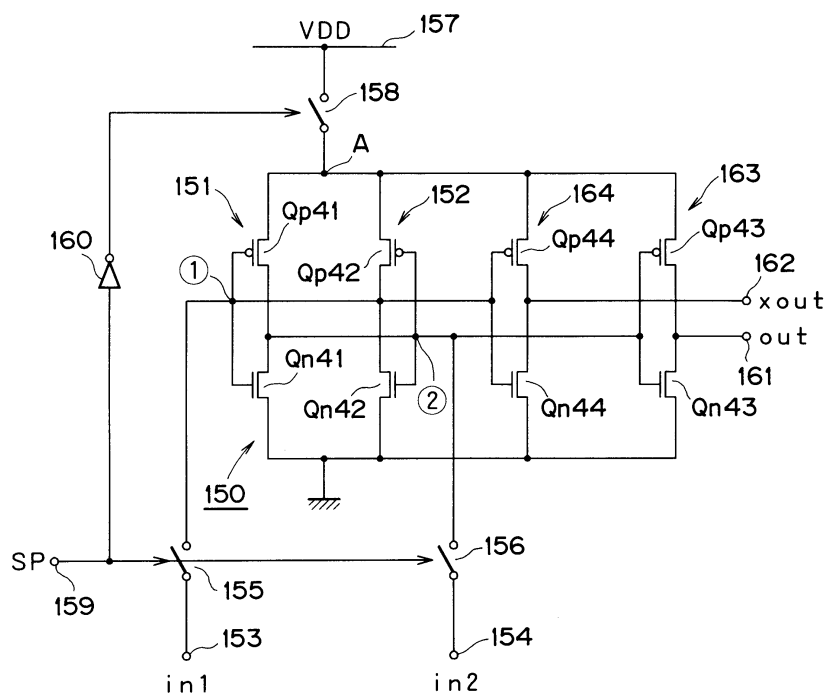
도면20



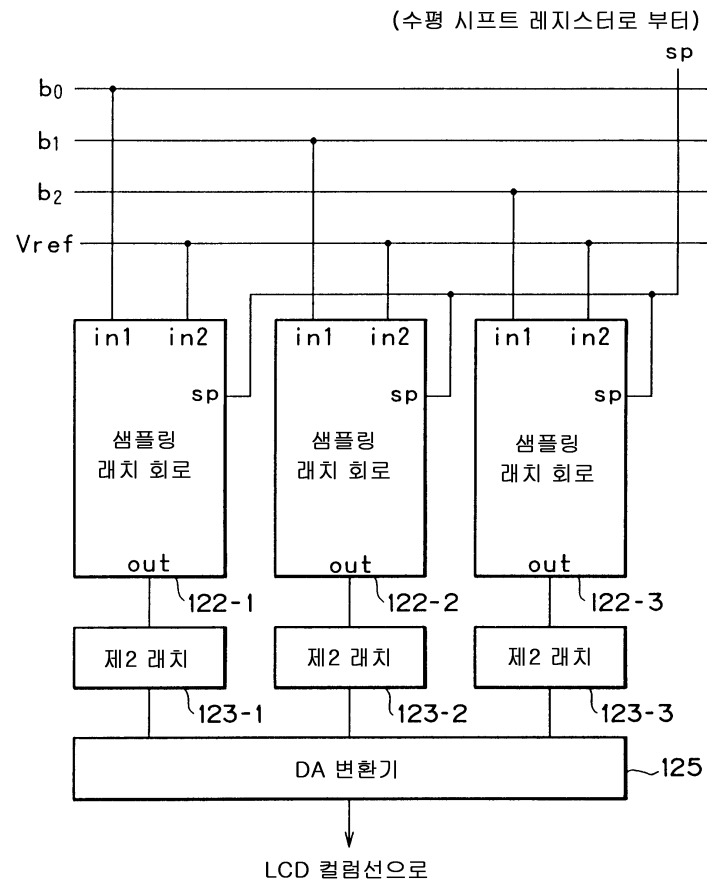
도면21



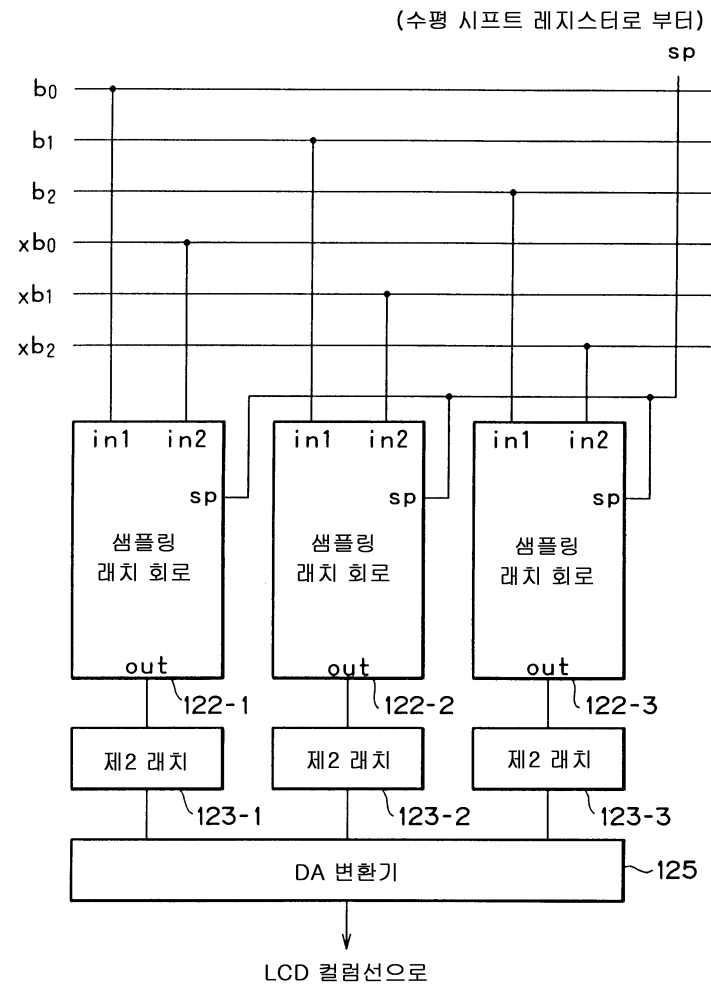
도면22



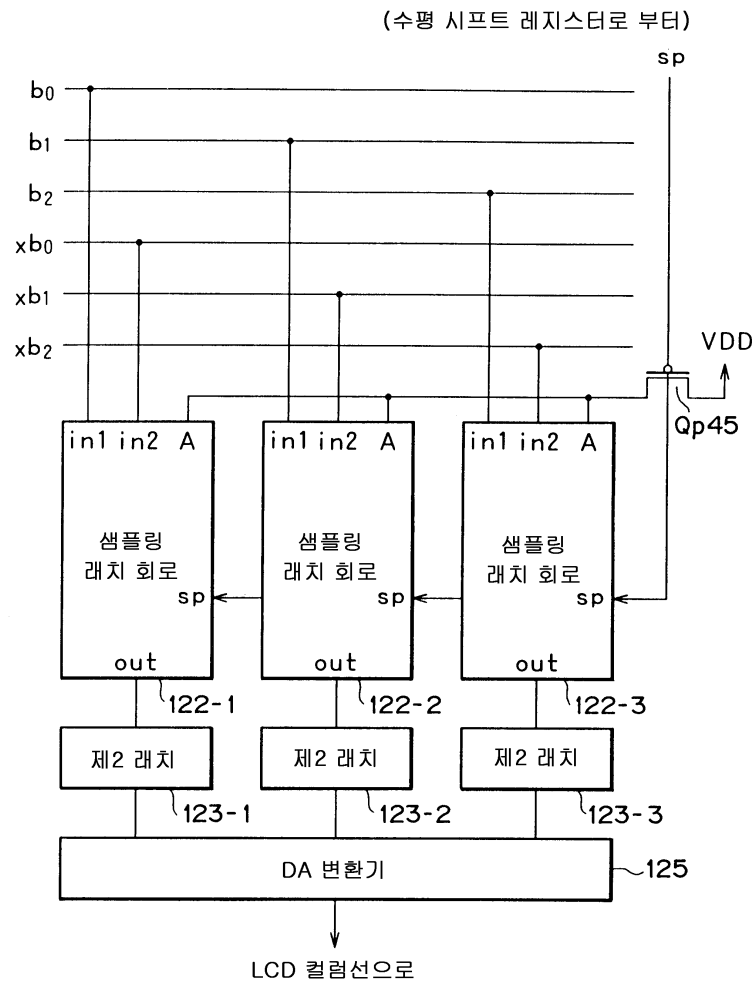
도면23



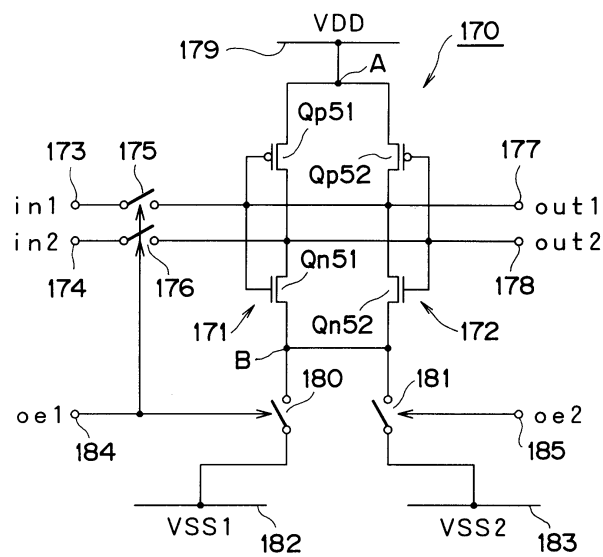
도면24



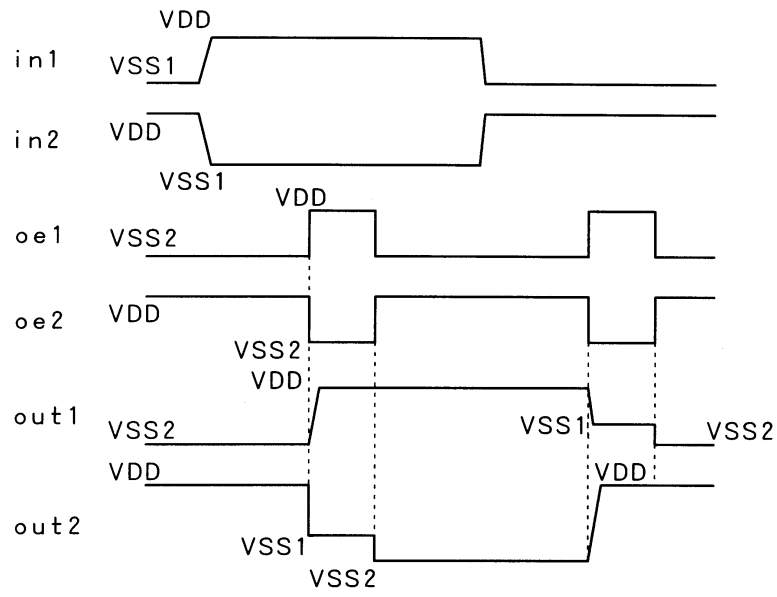
도면25



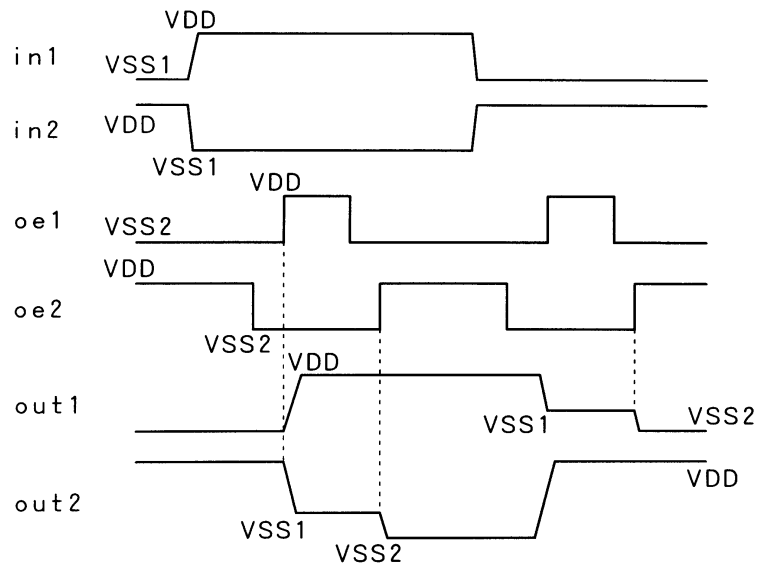
도면26



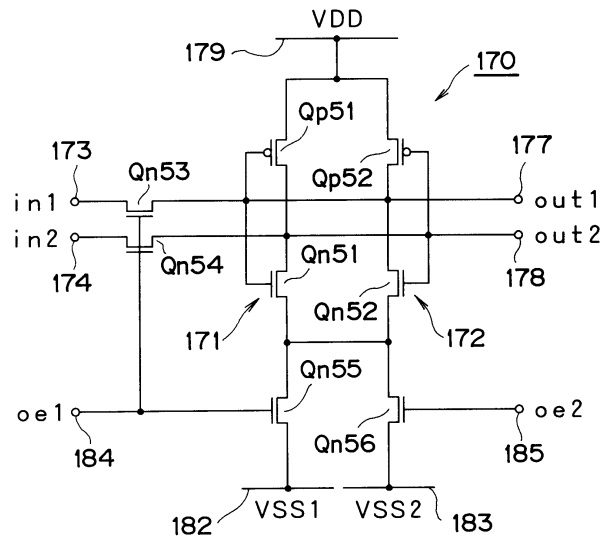
도면27



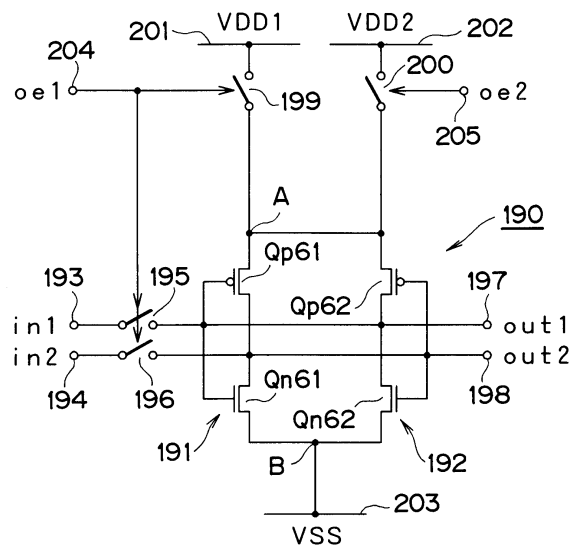
도면28



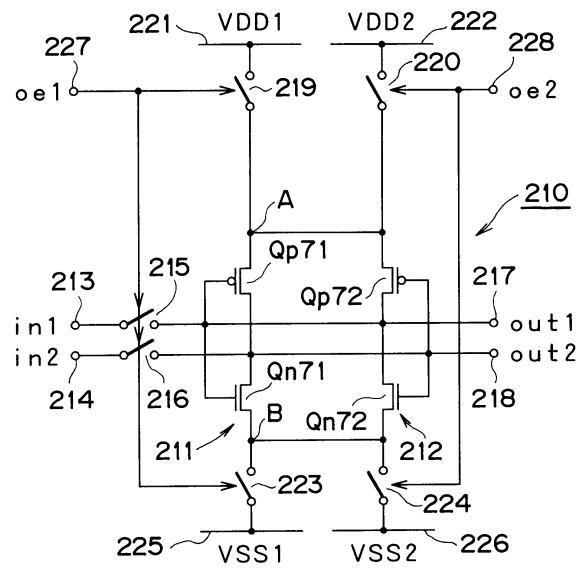
도면29



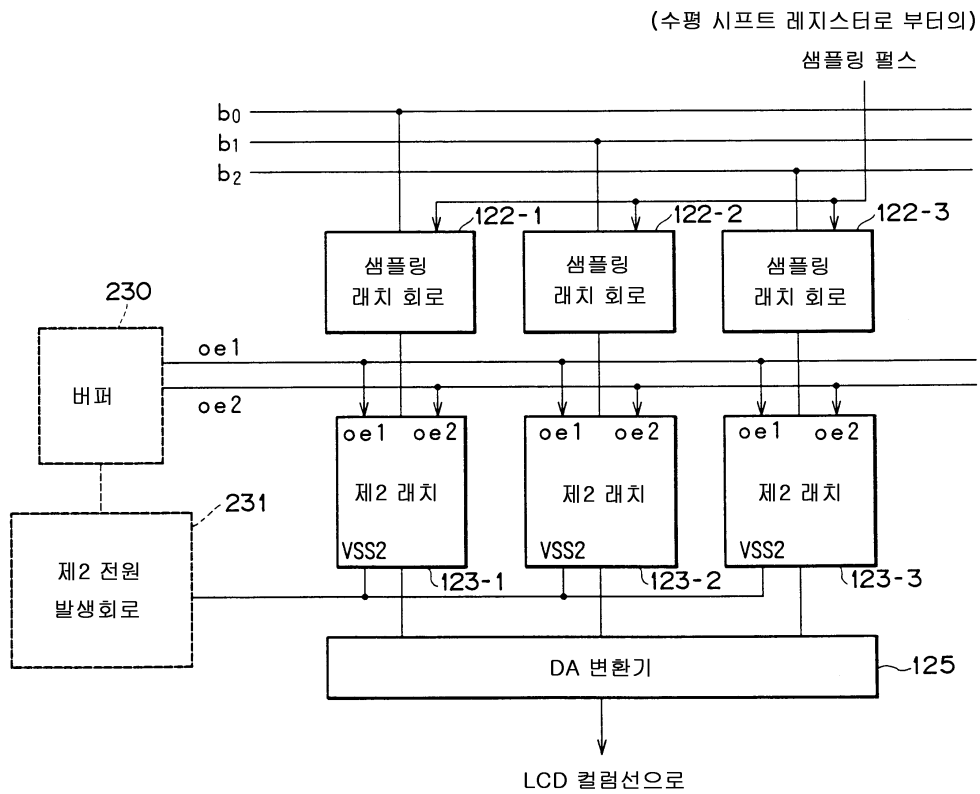
도면30



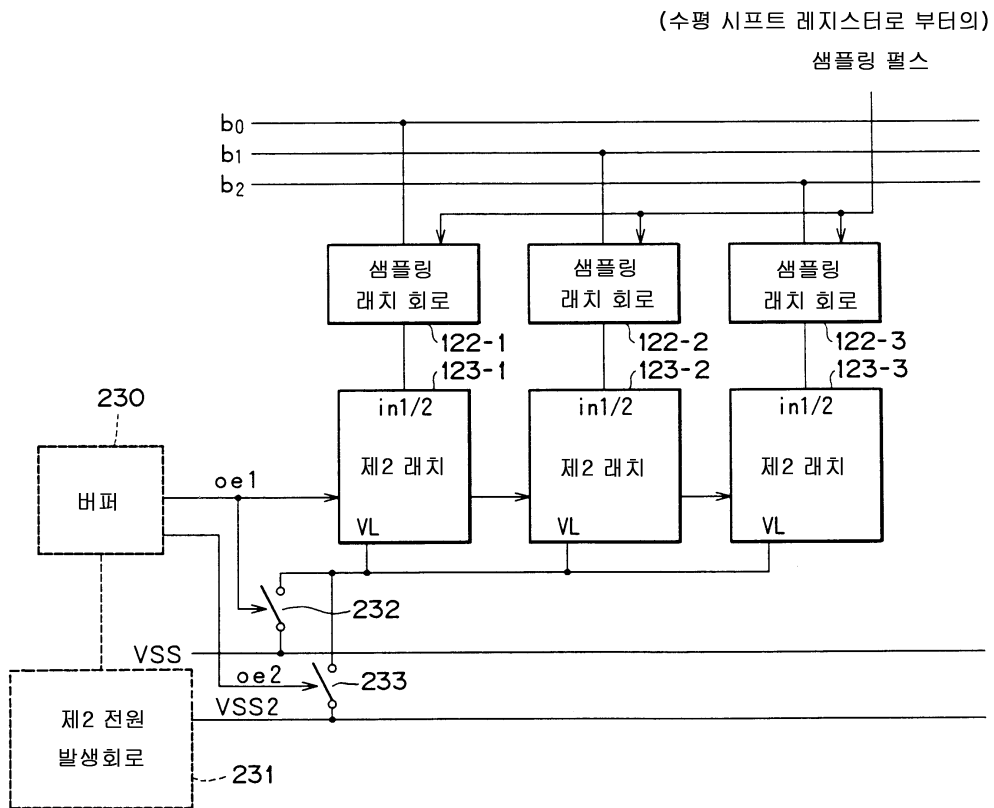
도면31



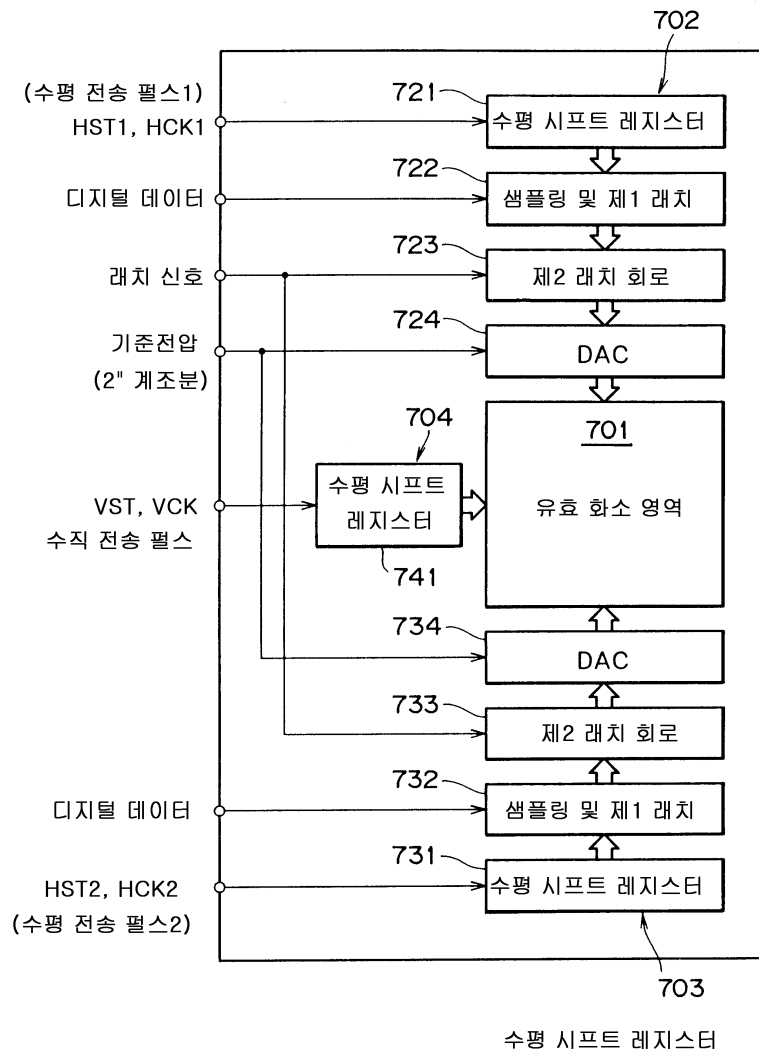
도면32



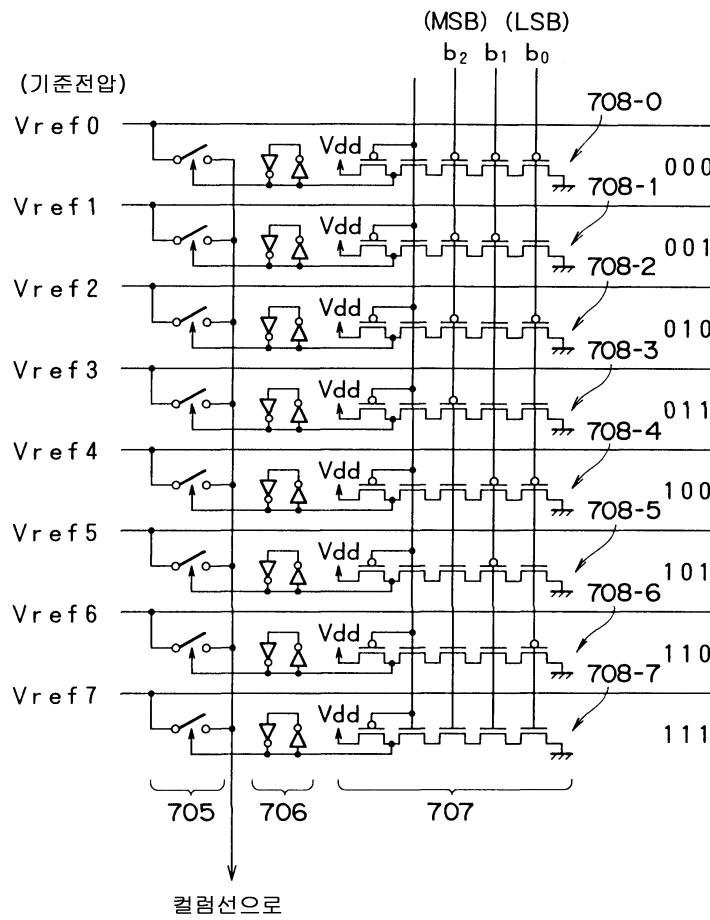
도면33



도면34



도면35



专利名称(译)	电平移位电路，使用电平移位电路的移位寄存器，采样锁存电路，锁存电路和		
公开(公告)号	KR1020060105701A	公开(公告)日	2006-10-11
申请号	KR1020060084225	申请日	2006-09-01
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	NAKAJIMA YOSHIHARU 나카지마요시하루 MAEKAWA TOSHIKAZU 마에카와도시카즈		
发明人	나카지마요시하루 마에카와도시카즈		
IPC分类号	G09G3/36 H03K19/0175 G11C19/00 H03K3/356 G02F1/133 G09G3/20 H03M1/76		
CPC分类号	H03K3/35613 G09G2310/0281 H03K19/018521 G09G3/3688 G09G2310/027 G09G2300/0408 G09G3/2011 G09G2330/021 G11C19/00 H03M1/76 G11C19/28 G09G2310/0286 G09G2310/0294 G09G2310/06 G09G2310/0289 G11C27/02		
代理人(译)	您是我的专利和法律公司		
优先权	1998362283 1998-12-21 JP 1999023382 1999-02-01 JP 1999023383 1999-02-01 JP 1999023384 1999-02-01 JP 1999299188 1999-10-21 JP		
其他公开文献	KR100726264B1		
外部链接	Espacenet		

摘要(译)

用途：提供电平转换电路，使用它的移位寄存器，采样锁存电路，锁存电路和配备有该电路的LDC（液晶显示器），以减少电路部件的数量，并限制功耗通过形成解码电路和用相同的晶体管选择参考电压的开关。

