

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2006-0087961
G09G 3/36 (2006.01) (43) 공개일자 2006년08월03일

(21) 출원번호 10-2005-0008858
(22) 출원일자 2005년01월31일

(71) 출원인 엘지전자 주식회사
서울특별시 영등포구 여의도동 20번지

(72) 발명자 나영선
경기도 안양시 동안구 부림동 1588-13 공작부영아파트 312-1701

(74) 대리인 정종욱
조현동
장재용
진천웅
박창남

심사청구 : 없음

(54) 박막 트랜지스터형 액정표시장치의 소스 구동을 위한 계조전압 생성회로

요약

본 발명은 박막 트랜지스터형 액정표시장치의 소스 구동을 위한 계조 전압 생성회로에 관한 것으로서, 복수개의 기준 전압을 각각의 버퍼 앰프부를 통해 저항 스트링에 공급하여 전압을 분배함으로써 계조 전압을 생성하는 계조 전압 생성부, 상기 버퍼 앰프부들 중 임의의 두 버퍼 앰프부(BA1,BA2) 사이에 위치하는 저항 스트링의 노드들 중 일정 노드(N1)에 출력단이 연결되는 별도의 버퍼 앰프부(BA3), 및 상기 버퍼 앰프부 BA1과 BA2의 사이에 걸리는 전압을 분배하여 상기 노드 N1에 인가되는 계조 전압과 동일한 전압이 상기 버퍼 앰프부 BA3의 입력단에 인가되도록 하는 입력전압분배부를 포함하여 이루어진다.

본 발명에 따르면, TFT LCD 패널의 소스 구동을 위해 계조 전압을 생성할 때 전력소비를 크게 증가시키지 않고도 계조 전압 출력단의 출력 임피던스를 효과적으로 낮출 수 있다. 또한, 각 계조 전압 출력단의 출력 임피던스가 높을 때 나타날 수 있는 크로스토크(Crosstalk) 현상에 효과적으로 대응할 수 있다.

대표도

도 5

색인어

TFT LCD, 소스 구동 회로, 계조, 버퍼 앰프, 저항 스트링

명세서

도면의 간단한 설명

- 도 1은 종래 Vcom 모듈레이션 방식에 따른 소스 출력에 관한 개요,
- 도 2는 소스 구동 회로의 구조에 관한 예,
- 도 3은 통상적인 Transmittance 곡선의 예,
- 도 4는 종래 소스 구동을 위한 계조 전압 생성회로의 예,
- 도 5는 본 발명에 따른 계조 전압 생성회로의 일 실시예,
- 도 6은 본 발명에 따른 계조 전압 생성회로의 다른 실시예,
- 도 7은 본 발명에 따른 계조 전압 생성회로의 또 다른 실시예이다.

* 도면의 주요부분에 대한 부호의 설명

10: 계조 전압 생성부 51,61,71: 입력전압분배부

R,RC,RA,RB: 저항 62,72: 저항 스트링

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터형 액정표시장치의 소스 구동을 위한 것으로서, 특히 전력소비(Power Consumption)를 최소화하고 소스 출력의 'settling time'을 개선할 수 있는 계조 전압 생성회로에 관한 것이다.

최근 각종 이동단말기의 급속한 보급에 따라 2.5인치 이하의 소형 박막 트랜지스터형 액정표시장치(Thin-Film-Transister Liquid Crystal Display, 이하 TFT LCD라 한다) 패널의 모듈 단가가 지속적으로 인하되고 있고, 이에 부응하여 구동 IC(Integrated Circuit)의 단가를 낮추려는 노력의 일환으로 소스(Source) 구동회로, 게이트(Gate) 구동회로, DC-DC 변환기, 메모리 등을 모두 포함한 원 칩(One Chip)화 경향이 두드러지고 있다.

2.5인치 이하의 TFT LCD 구동 회로를 원 칩화 하기 위해서는 가장 많은 출력 핀(Pin)을 갖는 소스 구동회로의 구조가 중요하다. 먼저 소스 구동회로의 구동전압을 낮추어야 하는데, 이를 위하여 공통전극 전압(Vcom)을 모듈레이션(Modulation)하는 방법이 고안되었다.

도 1a를 참조하자면, TFT LCD 패널은 소스 입력 전압(Vsource), 게이트 입력 전압(Vgate), 공통전극 전압(Vcom) 등의 신호를 이용하여 구동한다. 도 1c는 Vcom을 모듈레이션하여 얻을 수 있는 소스 구동회로의 저 전압 구동을 설명하고 있는데, 도 1b의 Dot/column inversion 방식과 비교하면 저 전압 구동이 이루어짐을 알 수 있다. 이러한 Vcom 모듈레이션 방식은 Vcom 단자의 캐패시턴스(Capacitance)가 매우 큰 대형 TFT LCD 패널의 구동에는 적용하기 어렵고, 패널 크기가 작고 해상도가 낮은 이동단말기용 TFT LCD 패널에 적용 가능한 방식이다.

도 2는 종래의 소스 구동회로에 관한 구조를 나타낸 것이다.

도 2a와 같은 방식은 모든 소스 채널(Source Channel)에 버퍼 앰프부(Buffer amplifier)를 구비하는 구조로서 원 칩화 하는 것이 쉽지 않다. 도 2b와 같은 방식은 모든 소스 채널에 버퍼 앰프부를 두는 구조를 단순화한 것이다. 예를 들자면, 소스 구동 IC가 64 계조 전압을 지원하는 경우에는 64 계조에 해당하는 수 만큼의 버퍼 앰프부가 존재하는 구조로서, 해상도가

176RGB x 240 이상이고 1.8인치~2.5인치 정도의 TFT LCD 패널을 구동하는 경우에 효과적으로 사용할 수 있다. 반면 도 2c에 도시한 방식은 해상도가 176RGB x 240 이하이고, 1.8인치급 이하의 패널에 효과적으로 사용할 수 있는 구조이다.

도 2c에 도시된 구조를 사용하는 경우에 대하여 보다 구체적으로 설명하기로 한다. 도 3에 도시한 통상적인 LCD의 트랜스미턴스 곡선(Transmittance Curve)과 전력소비라는 측면을 고려하여 도 4에 도시한 바와 같이 8개의 버퍼 앰프부를 사용하는 예를 가정한다. 도 3의 트랜스미턴스 곡선에서 보면 중간 근처의 계조 전압 부분에서는 각 계조간 계조 전압의 차이가 매우 적어서(예를 들어 0.5V 차이에서 20개의 계조를 표현하는 경우 1 계조 당 25mV 정도 이다), 도 4의 버퍼 앰프부 3과 4사이에 존재하는 저항 스트링의 저항 수가 많아지게 된다.

이 때, 각 계조를 표현하기 위한 개별 단위 저항값은 전체 전력소비에 직접적으로 영향을 미칠 뿐 아니라, R*C 시정수에 의한 소스 출력(Source Output)의 'settling time'에도 영향을 미치게 된다. 이 'settling time'은 TFT-LCD 패널의 디스플레이 이미지에 크로스토크(crosstalk) 현상을 야기할 수 있다.

발명이 이루고자 하는 기술적 과제

이에 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로서, 전력소비(Power Consumption)를 최소화 하고 소스 출력의 'settling time'을 개선할 수 있는 TFT LCD 장치의 소스 구동을 위한 계조 전압 생성회로를 제공하는데 그 목적이 있다.

상기와 같은 목적을 달성하기 위하여, 본 발명에 따른 TFT LCD 장치의 소스 구동을 위한 계조 전압 생성회로는, 복수개의 기준 전압을 각각의 버퍼 앰프부를 통해 저항 스트링에 공급하여 전압을 분배함으로써 계조 전압을 생성하는 계조 전압 생성부; 상기 버퍼 앰프부들 중 임의의 두 버퍼 앰프부(BA1,BA2) 사이에 위치하는 저항 스트링의 노드들 중 일정 노드(N1)에 출력단이 연결되는 별도의 버퍼 앰프부(BA3); 및 상기 버퍼 앰프부 BA1과 BA2의 사이에 걸리는 전압을 분배하여 상기 노드 N1에 인가되는 계조 전압과 동일한 전압이 상기 버퍼 앰프부 BA3의 입력단에 인가되도록 하는 입력전압분배부를 포함하여 이루어진다.

상기 입력전압분배부는 상기 버퍼 앰프부 BA1과 BA2의 출력전압을 양 종단에 인가받아 전압을 분배하는 별도의 저항 스트링을 포함하여 이루어질 수 있다.

상기 별도의 저항 스트링은 상기 계조 전압을 생성하는 저항 스트링과 동일한 구조의 저항 스트링으로 구성할 수 있다.

또한, 상기 별도의 저항 스트링을 구성하는 각각의 저항값은 상기 계조 전압을 생성하는 저항 스트링의 해당 저항값보다 매우 큰 값으로 구성하여 별도의 저항 스트링으로 인한 전력소비를 효과적으로 줄일 수 있다.

발명의 구성 및 작용

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.

먼저 도 4에 도시한 회로에 관하여 구체적으로 살펴보기로 한다.

계조 전압 생성부(10)는 복수개의 기준 전압 Ref0 내지 Ref7을 각각의 버퍼 앰프부 0 내지 7을 통해 저항 스트링에 공급하여 전압을 분배함으로써 계조 전압(VO₀~VO₆₃)을 생성한다. 도 4에는 버퍼 앰프부 3과 4사이의 구간을 확대 도시하였으며, 버퍼 앰프부 3과 4 사이의 구간은 계조 전압 VO₂₁ 내지 VO₄₁이 출력되는 구간이다.

각 저항 R의 저항값이 100 ohm이라고 가정할 때, 31번째 계조에 해당하는 전압인 VO₃₁ 출력단에서 바라 본 출력 임피던스(impedance)는 500 ohm이다. 이 때 기준 전압 Ref3과 Ref4의 전압 차이가 0.5V라고 가정하면, 버퍼 앰프부 3과 4의 사이에 흐르는 전류는 0.25mA가 된다. 그러므로, 버퍼 앰프부의 전원 전압이 5V 일 경우 1.25mW의 전력을 소비하게 된다.

한편, VO₃₁ 출력단에서 바라 본 출력 임피던스가 500 ohm일 때 VO₃₁ 계조 근처에서 크로스토크(crosstalk) 현상이 관찰되면, 이는 R*C 시정수에 의한 'settling time'의 부족 때문에 기인하는 현상으로 간주할 수 있다. 이를 해결하기 위하여 VO₃₁ 출력단에서의 출력 임피던스를 250 ohm 이하로 낮추어 설계하려고 하면, 저항 R의 저항값을 50 ohm으로 줄여

야 한다. 그러면, 버퍼 앰프부 3과 4의 사이에는 0.5mA의 전류가 흐르게 되고, 저항 R의 저항값이 100 ohm인 경우와 비교하면 2배의 전력을 소비하게 된다. 그러므로, 크로스토크(crosstalk) 현상을 방지하기 위한 방안으로 출력 임피던스를 낮출 때에는 전력소비가 크게 늘어나지 않도록 해야 할 필요가 있다.

도 5를 참조하여 본 발명에 따른 계조 전압 생성회로의 일 실시예를 설명하기로 한다. 도 5에는 설명의 편의를 위하여 도 4에 도시한 계조 전압 생성부(10)의 일부분만을 도시하였다.

계조 전압 생성부(10)를 구성하는 버퍼 앰프부 3과 4의 사이에는 별도의 버퍼 앰프부 34가 위치한다. 버퍼 앰프부 34의 출력단은 계조 전압 생성부(10)를 구성하는 저항 스트링의 노드들 중 노드 N1에 연결된다.

입력전압분배부(51)는 버퍼 앰프부 3과 4의 사이에 걸리는 전압을 분배하여 노드 N1에 인가되는 계조 전압과 동일한 전압이 버퍼 앰프부 34의 플러스 입력단에 인가되도록 한다. 즉, 버퍼 앰프부 34를 삽입하는 목적은 각 계조의 출력 임피던스를 낮추는 것이므로, 버퍼 앰프부 34의 입력 전압을 VO_31의 전압 레벨과 동일하도록 구성한다.

이러한 입력전압분배부(51)를 구성하는 일 실시예는 버퍼 앰프부 3과 4의 출력전압을 양 종단에 인가받아 분배하는 저항 스트링을 이용하는 것이다. 도 5에는 동일 크기의 저항값을 갖는 저항 RA와 RB가 버퍼 앰프부 3과 버퍼 앰프부 4의 출력단 사이에 직렬 연결되어 있고, 저항 RA와 RB의 공통 노드에 버퍼 앰프부 34의 플러스 입력단이 연결되어 있다. 이에 따라 저항 RA와 RB의 공통 노드에 인가되는 전압은 계조 전압 VO_31과 동일하게 된다.

이 때, 각 저항 R의 저항값을 100 ohm으로 유지한다고 가정하면, 이제 가장 큰 출력 임피던스를 갖는 VO_26 출력단에서의 출력 임피던스는 250 ohm이 된다. 버퍼 앰프부 34에서의 바이어스(Bias) 전류는 보통 10uA~20uA 사이에서 설계할 수 있으므로, 도 4에 도시한 예에 비하여 적은 전력을 소비한다.

한편, 반도체 제조 공정에서의 공정 변화에 둔감하게 하기 위해서는 도 5에 도시한 실시예의 저항 RA와 RB를 도 6에 도시한 실시예와 같이 여러개의 저항 RC로 이루어지는 저항 스트링(61)으로 구성할 수 있다. 이 때, 입력전압분배부를 구성하는 저항 스트링(61)은 계조 전압을 생성하는 저항 스트링(62)과 동일한 구조를 갖도록 구성할 수 있다.

또한, 계조 전압 생성회로를 구성할 때는 필요에 따라 도 7에 도시한 실시예와 같이 계조 전압을 생성하는 저항 스트링(72)의 각 저항값을 서로 다르게 구성하는 경우도 있다. 즉, 도 7에는 버퍼 앰프부 1과 버퍼 앰프부 2의 사이에서 계조 전압을 발생시키는 저항 스트링이 서로 다르도록 구성되어 있다. 이러한 실시예에서 입력전압분배부를 구성하는 저항 스트링(71)은 계조 전압을 발생시키는 저항 스트링(72)과 동일한 구조를 가지도록 구성할 수 있다.

도 7에는 별도로 삽입되는 버퍼 앰프부 12의 출력단이 계조 전압 생성을 위한 저항 스트링(72)의 노드 N3에 연결되어 있으며, 입력전압분배부를 구성하는 저항 스트링(71)은 계조 전압 생성을 위한 저항 스트링(72)과 동일한 배열과 크기의 저항들로서 이루어져 있다. 이에 따라 버퍼 앰프부 12의 플러스 입력단에는 계조 전압 VO_4와 동일한 레벨의 전압이 인가된다.

또한, 입력전압분배부를 구성하는 저항 스트링의 단위 저항값은 이에 대응하는 계조 출력단의 저항 스트링의 단위 저항값보다 현저하게 높게 설계할 수 있다. 이러한 실시예를 통하면 입력전압분배부를 구성하기 위하여 추가되는 저항 스트링으로 인해 발생하는 전력 소비 증가량을 최소화 할 수 있다.

본 발명은 상술한 실시예에 한정되지 않고 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 당업자에 의해 다양하게 변형하여 실시할 수 있는 것이다.

발명의 효과

본 발명에 따르면, TFT LCD 패널의 소스 구동을 위해 계조 전압을 생성할 때 전력 소비를 크게 증가시키지 않고도 계조 전압 출력단의 출력 임피던스를 효과적으로 낮출 수 있다. 또한, 각 계조 전압 출력단의 출력 임피던스가 높을 때 나타날 수 있는 크로스토크(Crosstalk) 현상에 효과적으로 대응할 수 있다.

(57) 청구의 범위

청구항 1.

복수개의 기준 전압을 각각의 버퍼 앰프부(Buffer Amplifier)를 통해 저항 스트링(String)에 공급하여 전압을 분배함으로써 계조 전압을 생성하는 계조 전압 생성부;

상기 버퍼 앰프부들 중 임의의 두 버퍼 앰프부(BA1,BA2) 사이에 위치하는 저항 스트링의 노드들 중 일정 노드(N1)에 출력단이 연결되는 별도의 버퍼 앰프부(BA3); 및

상기 버퍼 앰프부 BA1과 BA2의 사이에 걸리는 전압을 분배하여 상기 노드 N1에 인가되는 계조 전압과 동일한 전압이 상기 버퍼 앰프부 BA3의 입력단에 인가되도록 하는 입력전압분배부를 포함하여 이루어지는 박막 트랜지스터형 액정표시장치의 소스 구동을 위한 계조 전압 생성회로.

청구항 2.

제 1 항에 있어서,

상기 입력전압분배부는 상기 버퍼 앰프부 BA1과 BA2의 출력전압을 양 종단에 인가받아 전압을 분배하는 별도의 저항 스트링을 포함하여 이루어지는 것을 특징으로 하는 박막 트랜지스터형 액정표시장치의 소스 구동을 위한 계조 전압 생성회로.

청구항 3.

제 2 항에 있어서,

상기 별도의 저항 스트링은 상기 계조 전압을 생성하는 저항 스트림과 동일한 구조의 저항 스트링으로 구성되는 것을 특징으로 하는 박막 트랜지스터형 액정표시장치의 소스 구동을 위한 계조 전압 생성회로.

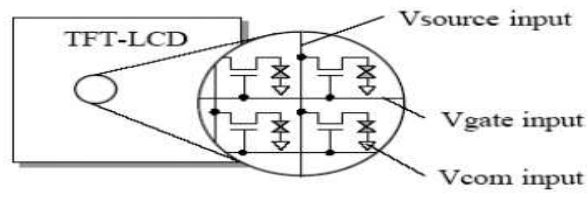
청구항 4.

제 2 항에 있어서,

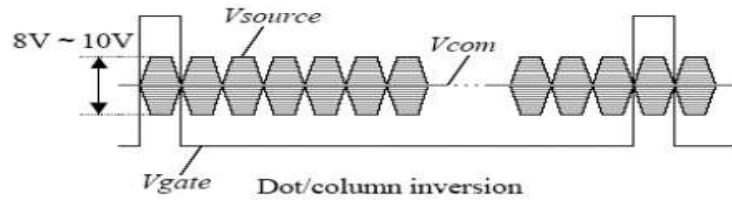
상기 별도의 저항 스트링을 구성하는 각각의 저항값은 상기 계조 전압을 생성하는 저항 스트링의 해당 저항값보다 큰 값으로 구성되는 것을 특징으로 하는 박막 트랜지스터형 액정표시장치의 소스 구동을 위한 계조 전압 생성회로.

도면

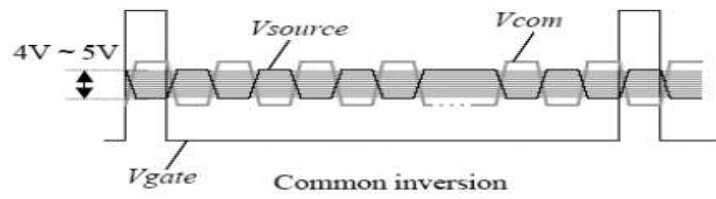
도면1



(1a)

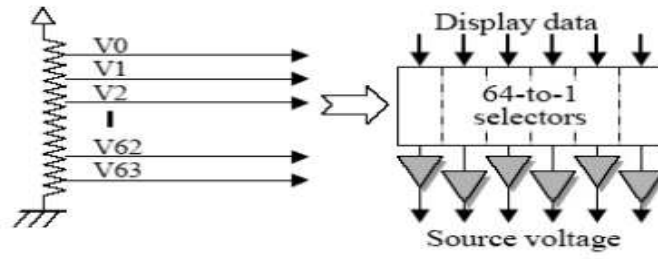


(1b)

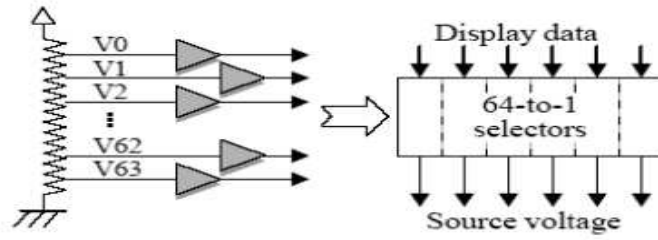


(1c)

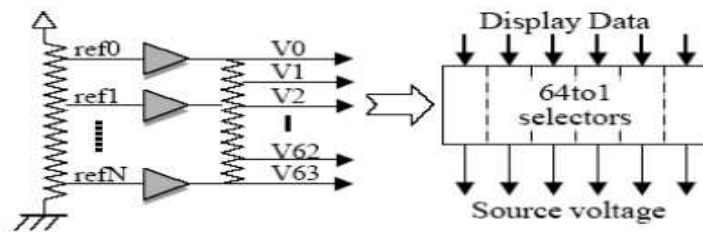
도면2



(2a)

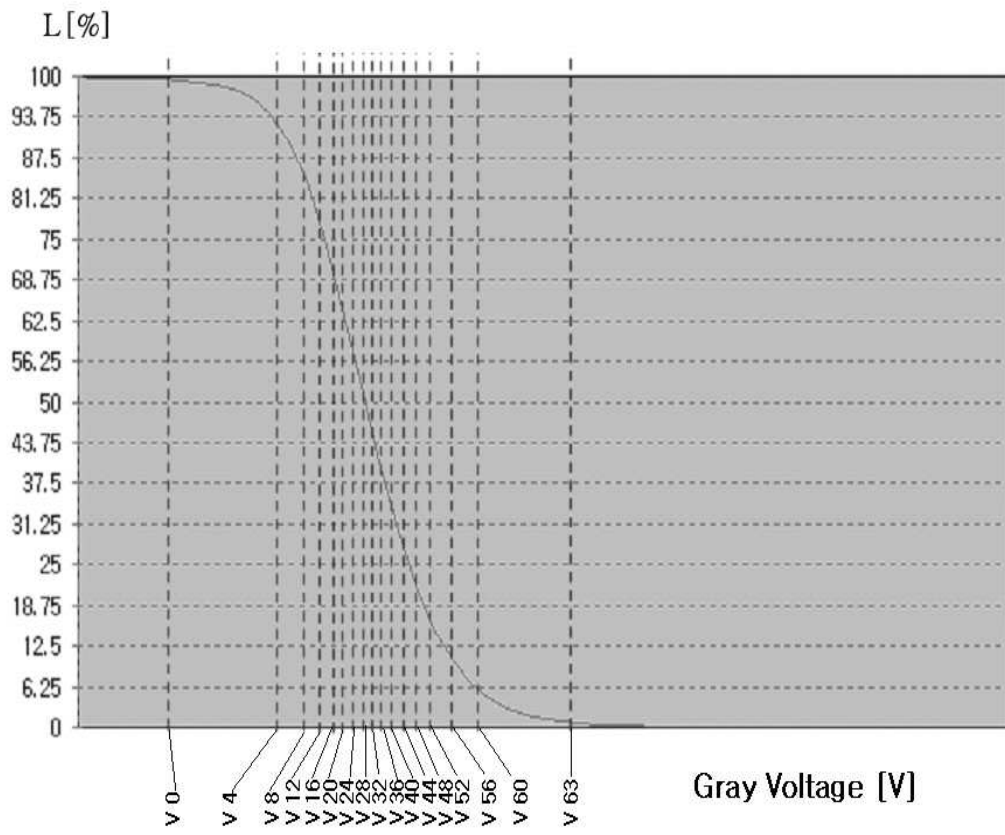


(2b)

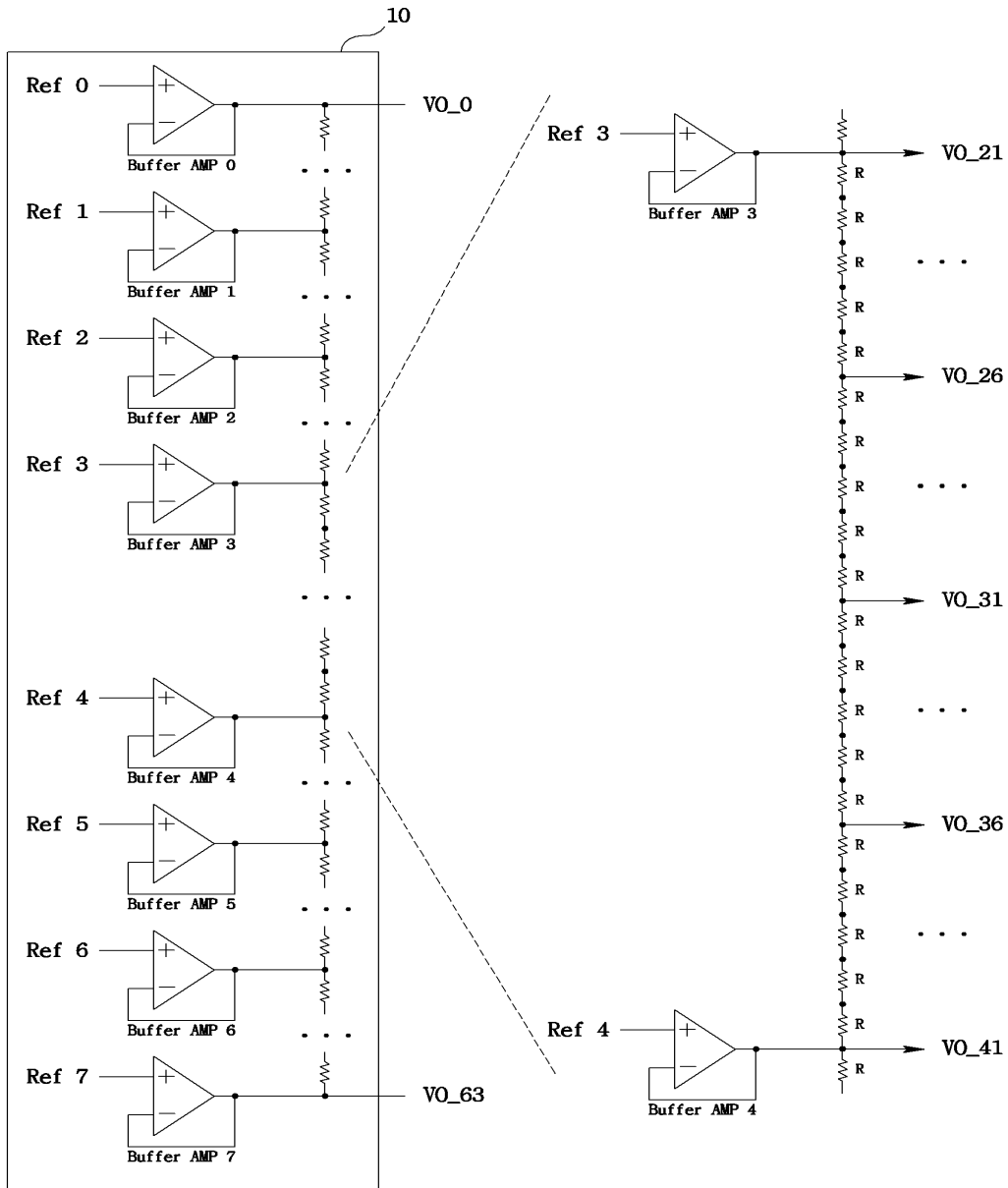


(2c)

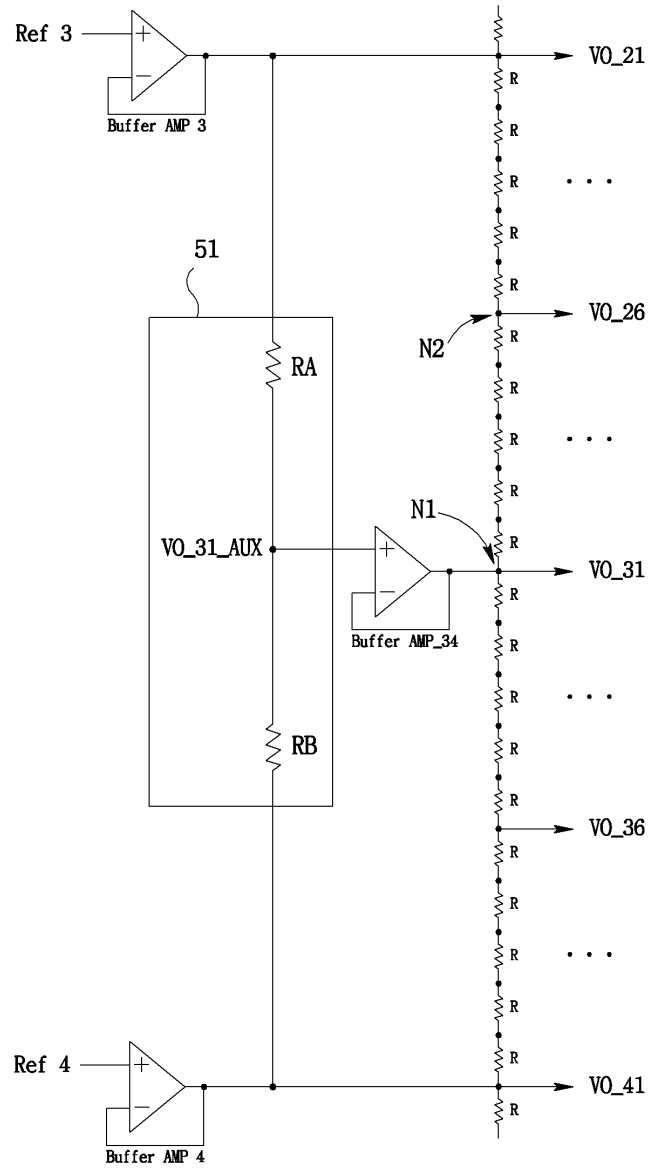
도면3



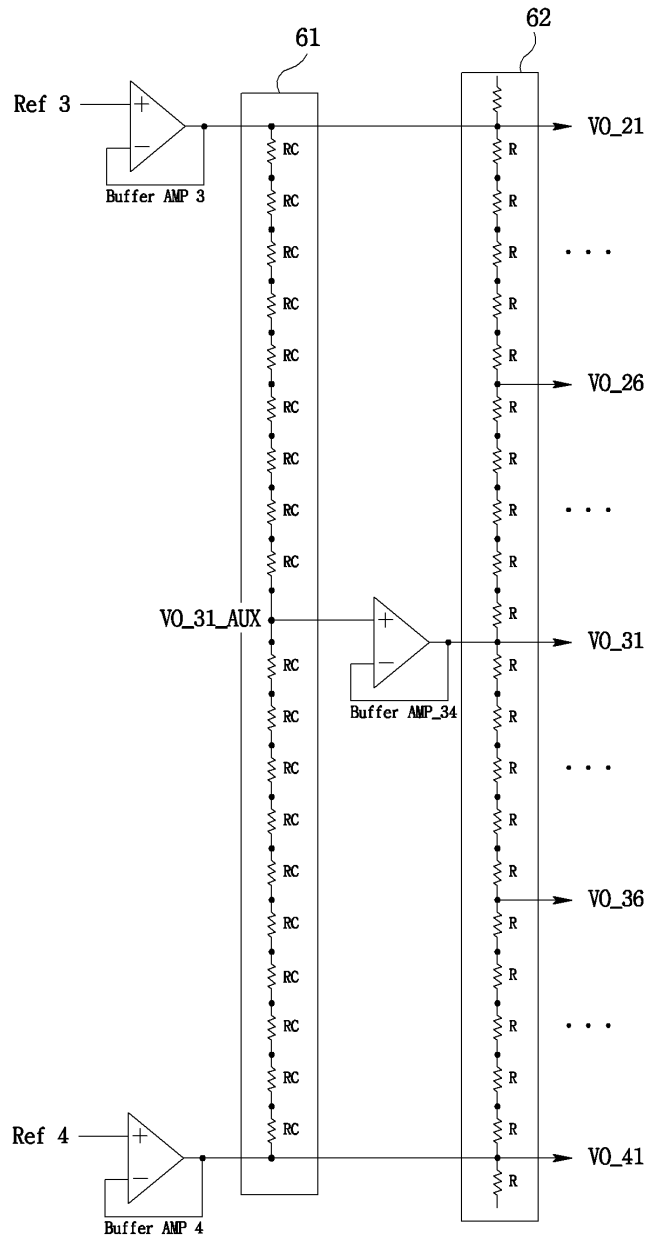
도면4



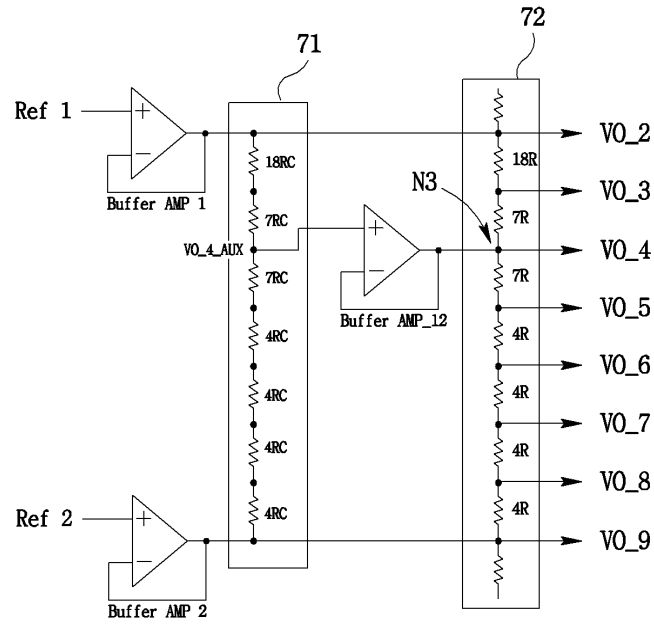
도면5



도면6



도면7



专利名称(译)	一种灰度电压产生电路，用于驱动薄膜晶体管型液晶显示装置的源极		
公开(公告)号	KR1020060087961A	公开(公告)日	2006-08-03
申请号	KR1020050008858	申请日	2005-01-31
申请(专利权)人(译)	LG 电子公司		
当前申请(专利权)人(译)	LG 电子公司		
[标]发明人	NA YOUNGSUN		
发明人	NA, YOUNGSUN		
IPC分类号	G09G3/36		
CPC分类号	G09G3/00 H04W84/12		
代理人(译)	CHO, 董HYUN 南长园		
外部链接	Espacenet		

摘要(译)

本发明产生的灰阶电压通过从多个基准电压除以提供给电阻串的电电压，以产生灰度电压，每一个缓冲放大器部分的涉及一种用于液晶显示器的薄膜晶体管型的源极驱动器的灰度电压生成电路单元，一个单独的缓冲放大器 (BA3)，以及连接到缓冲放大器某些节点 (N1) 上的输出端的缓冲器位于任何两个缓冲放大器之间的电阻器串的部分的节点 (BA1, BA2) 的分放大器部分BA1和BA2之间的电压包括相同的电压作为灰度电压至节点N1的部分，使得要施加到缓冲放大器BA3分布的输入处的输入电压。根据本发明，用于驱动TFT液晶显示面板的源可能会降低输出阻抗而不会显著增加了功率消耗，灰度电压输出有效，以产生灰度电压。另外，可以有效地应对当每个灰度电压输出端子的输出阻抗高时可能出现的串扰现象。五 指数方面 TFT LCD，源极驱动电路，灰度，缓冲放大器，电阻串

