

## (19) 대한민국특허청(KR)

### (12) 공개특허공보(A)

(51) Int. Cl.  
G02F 1/133 (2006.01)

(11) 공개번호 10-2006-0078504  
(43) 공개일자 2006년07월05일

(21) 출원번호 10-2004-0118470  
(22) 출원일자 2004년12월31일

(71) 출원인 엘지.필립스 엘시디 주식회사  
서울 영등포구 여의도동 20번지

(72) 발명자 조혁력  
인천 남동구 만수동 만수주공8단지 805동 1109호  
윤수영  
경기 군포시 오금동 율곡아파트 349동 1604호  
진민두  
서울 광진구 중곡3동 174-1

(74) 대리인 박장원

심사청구 : 없음

### (54) 액정표시장치의 구동부

#### 요약

본 발명은 액정표시장치의 구동부에 관한 것으로, 기판에 종횡으로 배열된 복수의 게이트라인 및 데이터라인과; 상기 게이트라인에 대응하여 기판에 배열된 복수의 화소와; 제 1스트트전압에 의해 초기 셋팅되며, 클럭신호에 동기되어 출력신호를 순차적으로 상기 게이트라인에 인가하는 제 1그룹의 스테이지(stage)와; 제 2스트트전압에 의해 초기 셋팅되며, 클럭신호에 동기되어 출력신호를 순차적으로 상기 게이트라인에 인가하는 제 2그룹의 스테이지로 구성되는 액정표시장치에 있어서, 상기 제 1그룹 및 제 2그룹의 제 N번째 스테이지는 각각의 제 N-1번째 스테이지의 출력신호에 의해 셋팅되고, 상기 제 1그룹 및 제 2그룹의 제 N번째 스테이지의 출력신호는 각각의 제 N-1번째 스테이지의 출력을 억제시키며, 상기 제 1그룹의 스테이지와 제 2그룹의 스테이지의 출력신호는 서로 교번하여 출력되는 것을 특징으로 한다.

#### 대표도

도 5

#### 색인어

클럭신호, 주사신호, 스타트전압, 상승시간, 하강시간, 액정

#### 명세서

#### 도면의 간단한 설명

도1은 일반적인 액정표시장치를 개략적으로 나타낸 도면.

도2a는 게이트구동부의 쉬프트레지스터부를 나타낸 도면.

도2b는 도2a의 구동파형들을 나타낸 타이밍도.

도3은 도2a의 쉬프트레지스터부의 회로구성의 일 예를 나타낸 도면.

도4a는 본 발명에 따른 액정표시장치의 구동부를 나타낸 도면.

도4b는 도4a의 구동 및 출력파형을 나타낸 타이밍도.

도5는 본 발명에 따른 액정표시장치의 구동부의 회로구성을 나타낸 도면.

\*\*\*도면의 주요 부분에 대한 부호의 설명\*\*\*

C11~C14: 클럭신호 Vdd: 고전위 구동전압

Vss: 저전위 구동전압 Vst11: 제 1스타트전압

Vst12: 제 2스타트전압 T1~T9: 트랜지스터

Vout11~Vout15: 출력신호 GL11~GL15: 게이트라인

FF11~FF15: 플립플롭(flip-flop)

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치(liquid crystal display device)의 구동부에 관한 것으로, 특히, 고해상도 적용이 용이하고, 화질을 개선시킬 수 있는 액정표시장치의 구동부에 관한 것이다.

최근, 다양한 정보의 시각적 표현을 통해 인간과 정보의 편리한 인터페이스 역할을 하는 디스플레이 장치들이 많이 사용되고 있다. 특히, 액정표시장치는 선명한 화질, 낮은 소비전력 및 가벼운 무게 등의 장점으로 인해 종래에 많이 사용되던 브라운관(Cathode Ray Tube: CRT)을 대체하는 차세대 디스플레이 장치로서 수요가 점점 증가하고 있다.

도1은 일반적인 액정표시장치를 개략적으로 나타낸 도면이다.

도1을 참조하면, 액정표시장치는 박막트랜지스터 어레이기판(thin film transistor array substrate, 2)과 컬러필터 기판(color filter substrate, 3)이 일정한 셀-갭(cell-gap)으로 합착된 액정패널(liquid crystal display panel, 1)과, 상기 박막트랜지스터 어레이기판(2) 상에 종횡으로 배열된 복수의 데이터라인(15) 및 게이트라인(16)과, 상기 데이터라인(15)과 게이트라인(16)이 교차하여 구획되는 영역들에 정의되는 복수의 화소(P)와, 상기 데이터라인(15)을 통해 상기 화소(P)에 화상정보를 공급하는 데이터구동부(20)와, 상기 게이트라인(16)을 통해 상기 화소(P)에 주사신호(scan signal)를 공급하는 게이트구동부(30)를 포함하여 구성된다.

상기 박막트랜지스터 어레이기판(2) 상에는 상기 화소(P)가 매트릭스(matrix) 형태로 배열되는데, 실제로 액정패널(1)에서 화상이 표시되는 일정 영역인 화상표시부(image display unit, 10)를 이루게 된다.

상기 데이터구동부(20)는 상기 데이터라인(15)을 통해 상기 화상표시부(10)와 전기적으로 접속되며, 상기 게이트구동부(30)는 상기 게이트라인(16)을 통해 상기 화상표시부(10)와 전기적으로 접속된다. 상기 게이트라인(16) 및 데이터라인(15)은 상기 화상표시부(10)에 배열된 화소(P)에 전기적으로 접속된다.

상기 게이트구동부(30)는 상기 화상표시부(10)에 횡방향으로 배열된 복수의 게이트라인(16)에 순차적으로 주사신호를 공급함으로써, 해당 게이트라인(16)에 접속된 복수의 화소(P)에 주사신호를 공급한다. 상기 화소(P)에는 스위치역할을 하는 박막트랜지스터(thin film transistor: TFT)가 개별적으로 구비되며, 상기 주사신호에 의해 턴-온(turn on)된다. 이때, 상기 데이터구동부(20)는 상기 턴-온된 박막트랜지스터를 통해 해당 화소(P)에 화상정보를 공급한다. 이와 같이, 화소(P)에 공급된 화상정보는 각 화소(P) 내에 구비된 화소전극에 인가된다.

한편, 상기 화소(P) 내에는 스토리지 커패시터(storage capacitor)가 구비된다. 상기 스토리지 커패시터는 상기 화소(P)의 박막트랜지스터가 주사신호에 의해 턴-온된 구간동안 상기 화소(P)에 인가되는 화상정보의 전압을 충전하여 상기 박막트랜지스터의 턴-오프(turn off) 상태에서 한 프레임(frame)동안 화소(P)의 구동을 유지시키게 된다.

상기 게이트구동부(30)는 복수의 구동전압과 제어신호에 의해 구동되어 화상표시부(10)에 순차적으로 주사신호를 인가한다. 상기 게이트구동부(30)에는 상기 화상표시부(10)의 게이트라인(16)에 순차적으로 주사신호를 인가하기 위해 매 수평주기마다 순차적으로 신호를 발생시키는 쉬프트레지스터부(shift register)가 구비된다.

도2a는 게이트구동부의 쉬프트레지스터부를 나타낸 도면이고, 도2b는 도2a의 구동파형들을 나타낸 타이밍도이다.

쉬프트레지스터부는 스타트전압(Vst)에 의해 프리셋팅(presetting)되며, 입력되는 복수의 클럭신호(C1~C4)에 동기된 출력신호(Vout1~Vout n)를 출력하는 복수의 스테이지(stage, ST1~STn)로 구성된다.

상기 쉬프트레지스터부에는 4개의 클럭라인(CL1~CL4)이 구비되는데, 일반적으로 쉬프트레지스터부에는 2개의 클럭라인이나 4개의 클럭라인이 많이 사용된다. 도면에는 4개의 클럭라인이 적용된 쉬프트레지스터부를 도시하였다.

각 스테이지(ST1~STn)는 4개의 클럭라인(CL1~CL4) 중 하나의 클럭라인(CL1~CL4)과 순차적으로 연결되며, 고전위 구동전압원과 저전위 구동전압원에 공통적으로 연결된다. 각 스테이지(ST1~STn)의 출력단(output port)은 다음 스테이지(ST1~STn)와 전기적으로 접속됨과 아울러, 이전 스테이지(ST1~STn)와도 전기적으로 접속된다. 그리고, 각 스테이지(ST1~STn)는 기판상에 배열되는 게이트라인에 일대일로 대응되어 연결된다.

상기 스테이지(ST1~STn)는 스타트전압(Vst)에 의해 미리 차징되어 클럭신호(C1~C4)에 의해 바로 출력신호(Vout1~Vout n)를 내보낼 수 있는 상태로 셋팅된다. 상기 스타트전압(Vst)은 첫번째 스테이지(ST1)는 액정표시장치 내에 구비된 타이밍제어부를 통해 전해지지만, 두번째 스테이지(ST2~STn)부터는 이전 스테이지(ST1~STn)의 출력을 스타트전압(Vst)으로 사용한다. 즉, 이전 스테이지(ST1~STn)의 출력신호(Vout1~Vout n)는 다음 스테이지(ST1~STn)의 스타트전압(Vst)으로 인가되어 다음 스테이지(ST1~STn)를 미리 셋팅시킨다. 이와 같이 스타트전압(Vst)에 의해 셋팅된 스테이지(ST1~STn)는 클럭신호(C1~C4)가 인가되는 경우 그 클럭신호(C1~C4)에 동기되어 출력신호(Vout1~Vout n)를 출력하며, 출력된 주사신호(ST1~STn)를 이전 스테이지(ST1~STn)에 인가하여, 이전 스테이지(ST1~STn)의 주사신호(ST1~STn) 출력을 중단시킨다. 또한, 다음 스테이지(ST1~STn)에 스타트전압(Vst)으로 인가하여, 다음 스테이지(ST1~STn)를 미리 셋팅상태로 만든다.

상기와 같은 방법으로 스테이지(ST1~STn)에서는 순차적으로 출력신호(Vout1~Vout n)를 주사신호로서 출력하게 된다. 도2b에 도시된 바와 같이, 상기 스테이지(ST1~STn)는 수평주기(H)마다 순차적으로 인가되는 클럭신호(C1~C4)에 동기되어 출력신호(Vout1~Vout n)를 내보내고 있다. 상기 클럭신호(C1~C4) 및 출력신호(Vout1~Vout n)의 폭은 모두 일 수평주기(1H)이다.

도3은 도2a의 쉬프트레지스터부의 회로구성의 일 예를 나타낸 도면이다.

도3을 참조하면, 쉬프트레지스터부는 클럭신호(C1~C4) 및 스타트전압(Vst)에 의해 출력신호(Vout1~Vout3)를 내보내는 복수의 플립플롭(flip-flop, FF1~FF3)으로 구성된다. 상기 플립플롭(FF1~FF3)의 출력측은 기판 상에 배열된 게이트라인(GL1~GL3)에 각각 전기적으로 접속된다.

상기 플립플롭(FF1~FF3)에는 복수의 트랜지스터(T1~T8)가 구비되는데, 고전위 구동전압(Vdd)에 의해 도통되어 제2노드(ND2)가 차징되도록 하는 제2트랜지스터(T2)와, 스타트전압(Vst)에 의해 도통되어 상기 제2노드(ND2)를 방전시키며, 제1노드(ND1)를 충전시키는 제1트랜지스터(T1)와, 상기 충전된 제1노드(ND1) 일측에 전기적으로 접속되며, 상기 제1노드(ND1)에 충전된 고전압에 의해 도통되어 클럭신호(C1~C4)를 통과시켜 출력신호(Vout1~Vout n)로 내보내는 제7트랜지스터(T7)와, 다음 단 플립플롭(FF1~FF3)의 출력에 의해 도통되어 상기 제1노드(ND1)를 방전시키고, 상

기 제 2노드(ND2)가 다시 충전되도록 하는 제 4트랜지스터(T4)와, 상기 충전된 제 2노드(ND2)에 의해 도통되어 상기 제 7트랜지스터(T7)를 통해 출력된 클럭신호(C1~C4)가 저전위로 떨어지도록 유도하는 제 8트랜지스터(T8)를 포함하여 구성된다. 상기 제 1 내지 8트랜지스터(T1~T8)는 엔-타입(N-type) 트랜지스터로 구성되었다.

상기 제 1노드(ND1)는 상기 제 1트랜지스터(T1)의 소스전극, 제 7트랜지스터(T7)의 게이트전극 및 제 4트랜지스터(T4)의 드레인전극을 연결하는 라인이며, 상기 제 2노드(ND2)는 상기 제 2트랜지스터(T2)의 소스전극, 제 8트랜지스터(T8) 및 제 3트랜지스터(T3)의 게이트전극을 연결하는 라인이다. 상기 제 1노드(ND1) 및 제 2노드(ND2)는 상기 플립플롭(FF1~FF3)의 출력신호(Vout1~Vout3)의 전위를 결정하는 역할을 수행한다. 즉, 상기 제 1노드(ND1)가 고전위일 경우 상기 제 7트랜지스터(T7)가 턴-온되어 고전위의 출력신호(Vout1~Vout3)가 출력되며, 상기 제 2노드(ND2)가 고전위일 경우 상기 제 8트랜지스터(T8)가 턴-온되어 플립플롭(FF1~FF3)의 출력측은 저전위로 떨어지게 되므로, 출력신호(Vout1~Vout3)가 저전위로 천이된다.

상기 플립플롭(FF1~FF3)에서 출력되는 출력신호(Vout1~Vout3)는 게이트라인(GL1~GL3)으로 출력됨과 동시에 다음 단 플립플롭(FF1~FF3)에 스타트전압(Vst)으로 인가되어 제 1노드(ND1)를 충전시키고, 또한 이전 단 플립플롭(FF1~FF3)에 인가되어 제 1노드(ND1)를 방전시킴으로써, 불완전 방전에 따라 출력신호(Vout1~Vout3)가 여전히 발생하는 이상출력 발생을 억제할 수 있다. 이와 같이 각 플립플롭(FF1~FF3)에서 출력되는 출력신호(Vout1~Vout3)는 이전 단 플립플롭(FF1~FF3)과 다음 단 플립플롭(FF1~FF3)에 동시에 인가되어 각각 구동시킨다.

최근, 액정표시장치는 대면적 및 고해상도를 갖는 제품으로 개발되고 있는 추세이며, 제품의 경량화를 위해 기존에 IC(integrated circuit)형태로 제작되어 액정패널에 실장되던 구동부를 액정패널 제작공정에 포함하여 패널에 일체화시키는 추세이다. 보통, 비정질 실리콘 트랜지스터(amorphous silicon transistor)를 액정패널 내에 형성하여 구동회로를 구성한다.

그런데, 액정표시장치의 해상도를 높일수록 액정패널 상에 많은 수의 게이트라인(GL1~GL3)을 형성하여야 하며, 그 게이트라인(GL1~GL3) 수에 대응하는 플립플롭(FF1~FF3)을 형성하여야 한다. 이러한 많은 수의 게이트라인에 각 프레임동안 순차적으로 주사신호를 공급하기 위해서는 각 수평주기를 짧게해야 한다. 즉, 플립플롭(FF1~FF3)의 제 1노드(ND1)의 충전시간을 줄여야 하는데, 제 1노드의 충전시간이 줄어들게 되면, 제 7트랜지스터(T7)에 인가되는 게이트전압이 낮아질 수 있으며, 이로 인해 통과하는 전류량이 줄어든다. 그리고, 상기 제 7트랜지스터(T7)를 통해 출력되는 출력신호(Vout1~Vout3)의 상승시간(rising time)이 늘어나게 된다. 마찬가지로, 제 2노드(ND2)의 충전시간도 충분하지 않으므로, 상기 출력신호(Vout1~Vout3)의 하강시간(falling time)도 늘어나게 된다. 또한, 증가된 게이트라인(GL1~GL3)의 저항 및 커패시턴스 성분에 의해 쉬프트레지스터부 내의 부하가 증가하게되어 출력신호(Vout1~Vout3)의 상승시간과 하강시간을 늦추게된다.

상기와 같이 출력신호(Vout1~Vout3)의 상승시간 및 하강시간이 증가하게 되면, 각 플립플롭에서 출력신호(Vout1~Vout3)가 원하는 전압레벨에 이르지 못한 상태에서 다음 플립플롭으로 출력 순위가 넘어가게되어 각 플립플롭에서는 낮은 출력전압을 게이트라인(GL1~GL3)에 인가함에 따라 화질 저하를 가져올 수 있다. 특히, 비정질 실리콘 트랜지스터를 적용한 액정패널 일체형 구동회로에서는 비정질 실리콘 트랜지스터의 낮은 전자이동도로 인해 출력신호(Vout1~Vout3)의 상승시간 및 하강시간이 더 늘어날 수 있다.

### 발명이 이루고자 하는 기술적 과제

상기와 같은 종래의 문제점을 해결하기 본 발명이 창안된 것으로서, 본 발명의 목적은 쉬프트레지스터부의 플립플롭들을 두 개의 그룹으로 분할하여 구동시킴으로써, 각 플립플롭에 충분한 충전시간을 확보하여 출력신호의 상승시간 및 하강시간을 줄여 원하는 레벨의 고전위 전압이 출력신호로 출력되도록 하는 액정표시장치의 구동부를 제공하는데 있다.

### 발명의 구성 및 작용

상기한 바와 같이 본 발명의 목적을 달성하기 위한 액정표시장치의 구동부는 기판에 종횡으로 배열된 복수의 게이트라인 및 데이터라인과; 상기 게이트라인에 대응하여 기판에 배열된 복수의 화소와; 제 1스타트전압에 의해 초기 셋팅되며, 클럭신호에 동기되어 출력신호를 순차적으로 상기 게이트라인에 인가하는 제 1그룹의 스테이지(stage)와; 제 2스타트전압에 의해 초기 셋팅되며, 클럭신호에 동기되어 출력신호를 순차적으로 상기 게이트라인에 인가하는 제 2그룹의 스테이지로 구성되는 액정표시장치에 있어서, 상기 제 1그룹 및 제 2그룹의 제 N번째 스테이지는 각각의 제 N-1번째 스테이지의 출력

신호에 의해 셋팅되고, 상기 제 1그룹 및 제 2그룹의 제 N번째 스테이지의 출력신호는 각각의 제 N-1번째 스테이지의 출력을 중단시키며, 상기 제 1그룹의 스테이지와 제 2그룹의 스테이지의 출력신호는 서로 교번하여 출력되는 것을 특징으로 한다.

도4a는 본 발명에 따른 액정표시장치의 구동부를 나타낸 도면이고, 도4b는 도4a의 구동 및 출력파형을 나타낸 타이밍도이다.

도면에 도시되진 않았지만, 기판 상에는 종방향으로 일정한 이격을 갖도록 복수의 데이터라인이 배열되고, 횡방향으로 일정한 이격을 갖도록 복수의 게이트라인이 배열되며, 상기 게이트라인과 데이터라인이 수직교차하여 구획되는 복수의 영역에는 화소가 정의된다. 상기 화소는 상기 게이트라인 및 데이터라인에 전기적으로 접속되어 상기 게이트라인 및 데이터라인을 통해 인가되는 주사신호 및 화상정보에 의해 구동되어 화상을 구현하게 된다.

도면에는 상기 게이트라인을 통해 화소들에 주사신호를 공급하는 쉬프트레지스터부가 도시되어 있다. 상기 쉬프트레지스터부는 기판에 게이트라인과 데이터라인을 형성하는 공정시 함께 형성함으로써, 액정패널을 구동회로 일체형으로 제작할 수 있다.

상기 쉬프트레지스터부는 순차적으로 출력신호(Vout11~Vout1n)를 출력하여 각각 게이트라인에 인가하는 복수의 스테이지(stage, ST11~ST1n)로 구성된다. 상기 스테이지(ST11~ST1n)는 쉬프트레지스터이다.

상기 쉬프트레지스터부는 매 수평주기마다 순차적으로 각 게이트라인에 출력신호(Vout11~Vout1n)를 인가한다. 그러나, 상기 쉬프트레지스터부 내부를 보면, 크게 두 그룹(group)으로 나뉘어 동작되는데, 상기 스테이지(ST11~ST1n)는 크게 제 1스타트전압(Vst11)에 의해 초기 셋팅(setting)되며, 클럭신호(C11,C13)에 동기되어 출력신호(Vout11,Vout13,Vout15,...,Vout1n)를 순차적으로 상기 게이트라인에 인가하는 제 1그룹의 스테이지(ST11,ST13,ST15,...,ST1n)와, 제 2스타트전압(Vst12)에 의해 초기 셋팅되며, 클럭신호(C12,C14)에 동기되어 출력신호(Vout12,Vout14,...,Vout1n-1)를 순차적으로 상기 게이트라인에 인가하는 제 2그룹의 스테이지(ST12,ST14,...,ST1n-1)로 구분된다.

상기 제 1그룹의 스테이지(ST11,ST13,ST15,...,ST1n)와 제 2그룹의 스테이지(ST12,ST14,...,ST1n-1)는 서로의 출력신호(Vout11~Vout1n)에 의해 영향받지 않고 별개로 구동된다. 단지, 상기 제 1그룹의 스테이지(ST11,ST13,ST15,...,ST1n)와 제 2그룹의 스테이지(ST12,ST14,...,ST1n-1)는 수평주기 단위로 교번하여 출력신호(Vout11~Vout1n)를 출력하기 때문에 쉬프트레지스터부 전체적으로는 순차적으로 출력이 나오게 되는 것이다.

상기 제 1그룹의 스테이지(ST11,ST13,ST15,...,ST1n)는 홀수번째 스테이지로 구성되며, 상기 제 2그룹의 스테이지(ST12,ST14,...,ST1n-1)는 짝수번째 스테이지로 구성되는데, 이와 반대로 구성할 수도 있을 것이다.

상기 각 그룹의 구성과 동작은 동일하기 때문에 중복 설명을 피하기 위하여 상기 제 1그룹만 설명하도록 하겠다.

먼저, 상기 제 1그룹의 첫번째 스테이지인 제 1스테이지(ST11)는 제 1스타트전압(Vst11)을 인가받아 출력이 가능한 상태로 셋팅된다. 그리고, 상기 제 1스테이지(ST11)는 제 1클럭신호(C11)를 입력받아 그 제 1클럭신호(C11)에 동기시켜 출력신호(Vout11)를 출력하게 된다. 상기 출력신호(Vout11)는 게이트라인에 인가됨과 아울러, 제 1그룹의 두번째 스테이지인 제 3스테이지(ST13)에 인가되어 스타트전압으로 이용된다. 즉, 상기 제 1스테이지(ST11)의 출력과 동시에 상기 제 3스테이지(ST13)는 클럭신호에 의해 바로 출력가능한 상태로 셋팅되는 것이다.

상기 제 3스테이지(ST13)에 제 3클럭신호(C13)가 인가되면, 상기 제 3스테이지(ST13)는 상기 제 3클럭신호(C13)에 동기되어 출력신호(Vout13)를 출력한다. 각 스테이지(ST13,ST15,...,ST1n)의 출력측은 이전 스테이지(ST11,ST13,ST15,...,ST1n)에 전기적으로 연결되기 때문에 상기 제 3스테이지(ST13)의 출력신호(Vout13)는 상기 제 1스테이지(ST11)에 인가되며, 상기 제 1스테이지(ST11)는 상기 제 3스테이지(ST13)의 출력신호(Vout13)에 의해 출력이 중단된다. 따라서, 상기 제 3스테이지(ST13)에서만 출력신호(Vout13)가 나오게 된다. 상기와 마찬가지로 상기 제 3스테이지(ST13)의 출력측은 제 1그룹의 세번째 스테이지인 제 5스테이지(ST15)에 전기적으로 연결되므로, 상기 제 3스테이지(ST13)의 출력신호(Vout13)는 상기 제 5스테이지(ST15)에 스타트전압으로 인가된다. 상기 제 5스테이지(ST15)도 상기 제 3스테이지(ST13)과 동일한 과정으로 구동된다.

상기한 바와 같이, 상기 제 1그룹의 스테이지(ST11,ST13,ST15,...,ST1n)나 제 2그룹의 스테이지(ST12,ST14,...,ST1n-1)에서 각각 제 K번째 스테이지의 출력측은 제 K+1번째 스테이지와 전기적으로 접속되고, 상기 제 K번째 스테이지는 제

K-1번째 스테이지의 출력측과 전기적으로 접속된다. 그리고, 상기 제 K번째 스테이지의 출력측은 상기 제 K+1번째 스테이지와 전기적으로 접속된다. 즉, 상기 제 K번째 스테이지는 상기 제 K-1번째 스테이지의 출력신호에 의해 셋팅되며, 상기 제 K번째 스테이지는 출력신호를 상기 제 K+1번째 스테이지에 스타트전압으로 인가하고, 상기 제 K+1번째 스테이지의 출력신호에 의해 제 1스테이지(ST11)의 제 1노드(ND1)를 완전히 방전시켜 불완전 방전에 따른 이상 출력을 방지한다.

그런데, 쉬프트레지스터부 전체적으로 볼 때, 상기 제 1그룹의 스테이지(ST11,ST13,ST15,...,ST1n)와 제 2그룹의 스테이지(ST12,ST14,...,ST1n-1)는 교변하여 구비되므로, 각 그룹의 제 K번째 스테이지는 제 K-2번째 스테이지의 출력신호에 의해 셋팅되며, 제 K+2번째 스테이지의 출력신호에 의해 이상 출력이 방지된다고 볼 수 있다.

한편, 상기 제 1클럭신호(C11) 및 제 3클럭신호(C13)는 제 1그룹의 스테이지(ST11,ST13,ST15,...,ST1n)에만 순차적으로 인가되고, 제 2클럭신호(C12) 및 제 4클럭신호(C14)는 제 2그룹의 스테이지(ST12,ST14,...,ST1n-1)에만 순차적으로 인가된다. 이와 같이, 상기 제 1그룹의 스테이지(ST11,ST13,ST15,...,ST1n)와 제 2그룹의 스테이지(ST12,ST14,...,ST1n-1)는 서로 다른 클럭신호에 의해 개별적으로 구동되게 된다.

도4b에 도시된 바와 같이 제 1스타트전압(Vst11)가 제 1그룹의 첫번째 스테이지인 제 1스테이지(ST11)에 두 수평주기(H)동안 인가되고, 일 수평주기(H)의 위상차로 제 2스타트전압(Vst12)가 제 2그룹의 첫번째 스테이지인 제 2스테이지(ST12)에 두 수평주기(H)동안 인가된다. 상기 제 2스테이지(ST12)에 인가된 제 2스타트전압(Vst12)과는 일 수평주기(H)의 위상차를 가지며, 상기 제 1스타트전압(Vst11)과는 두 수평주기(H)의 위상차를 갖도록 상기 제 1스테이지(ST11)에 제 1클럭신호(C11)가 인가되면, 상기 제 1스테이지(ST11)에서는 상기 제 1클럭신호(C11)가 인가되는 두 수평주기(H)동안 출력신호(Vout11)가 출력된다. 하나의 수평주기(H)가 경과한 후 제 2클럭신호(C12)가 제 2그룹의 첫번째 스테이지인 제 2스테이지(ST12)에 두 수평주기(H)동안 인가되면, 상기 제 2스테이지(ST12)에서는 두 수평주기동안 출력신호(Vout12)를 출력한다.

상기와 같이 출력되는 각 클럭신호(C11~C14) 및 출력신호(Vout11~Vout14)의 폭은 모두 두 수평주기(2H)이다. 상기 제 1그룹의 스테이지(ST11,ST13,ST15,...,ST1n)와 제 2그룹의 스테이지(ST12,ST14,...,ST1n-1)에서 순차적으로 출력되는 출력신호(Vout11~Vout14)는 한 수평주기씩 중첩된다. 즉, 한 수평주기동안 두 개의 게이트라인에 출력신호(Vout11~Vout14)가 인가되는 것으로, 해당 게이트라인에 대응하는 화소들에만 인가될 화상정보가 인접한 게이트라인에 대응하는 화소들에 인가되어 화질 불량을 일으킬 수 있다. 그러나, 이러한 현상을 방지하기 위해 두 수평주기동안 출력되는 출력신호(Vout11~Vout14)에서 후반 일 수평주기동안에만 해당 게이트라인에 대응하는 화소들에 화상정보를 인가한다. 도면 상에 밑줄로 표시된 영역인 1 내지 4 구간에서 화상정보가 인가된다. 따라서, 각 게이트라인에 대응하는 화소들은 정확하게 화상정보가 인가되어 화질 저하가 발생되지 않는다.

상기 쉬프트레지스터부의 내부 구성 및 동작을 자세히 알아보기 위해 첨부된 도면을 참조하여 설명하면 다음과 같다.

도5는 본 발명에 따른 액정표시장치의 구동부의 회로구성을 나타낸 도면이다.

шу프트레지스터부의 각 스테이지는 보통, 플립플롭(FF11~FF14)으로 구성되는데, RS플립플롭이 많이 적용된다. 상기 플립플롭(FF11~FF14)은 복수의 트랜지스터(T11~T19)로 구성된다.

도면을 참조하면, 각 플립플롭(FF11~FF14)에는 고전위 구동전압 및 저전위 구동전압이 공통적으로 인가되고, 복수의 클럭신호(C11~C14) 중 어느 하나 클럭신호(C11~C14)가 인가된다.

인접한 플립플롭(FF11~FF14) 간의 구성에 대한 설명의 편의를 위해서 임의로 제 N번째 플립플롭을 기준으로 설명하도록 하겠다.

상기 제 N번째 플립플롭은 스타트전압으로 인가되는 제 N-2번째 플립플롭의 출력신호에 의해 도통되어 고전위 구동전압에 의해 제 1노드(node)를 충전시키는 제 1트랜지스터(T11)와; 도통 상태가 지속적으로 유지되어 고전위 구동전압에 의해 제 2노드를 충전시키는 제 2트랜지스터(T12)와; 상기 충전된 제 2노드에 의해 도통되어 상기 제 1노드를 방전시키는 제 3트랜지스터(T13)와; 제 N+2번째 스테이지의 출력신호에 의해 도통되어 상기 제 1노드를 방전시키는 제 4트랜지스터(T14)와; 상기 제 1트랜지스터를 통해 인가되는 전압에 의해 도통되어 상기 제 2노드를 방전시키는 제 5트랜지스터(T15)와; 상기 제 1트랜지스터를 통해 인가된 전압에 의해 도통되어 상기 제 2노드를 방전시키는 제 6트랜지스터(T16)와; 상기 충전된 제 1노드에 의해 도통되어 출력신호를 출력하며, 상기 제 4트랜지스터에 의한 제 1노드 방전시 출력이 차단되는 제

8트랜지스터(T18)와; 상기 제 N+ 2번째 스테이지의 출력신호에 의한 제 1노드의 방전시 다시 충전되는 제 2노드에 의해 도통되어 상기 제 8트랜지스터(T18)를 통해 출력된 출력신호를 저전위로 천이시키는 제 9트랜지스터(T19)를 포함하여 구성된다.

상기 제 1 내지 9트랜지스터(T11~T19)는 모두 동일 타입으로, 엔-타입 트랜지스터로 구성되었다.

상기 제 1노드는 상기 제 1트랜지스터(T11)의 소스전극, 제 4트랜지스터(T14)의 드레인전극 및 제 8트랜지스터(T18)의 게이트전극을 전기적으로 접속시키며, 등전위를 갖는 라인이다. 그리고, 상기 제 2노드는 상기 2트랜지스터(T12)의 소스전극, 제 3트랜지스터(T13)의 게이트전극 및 제 9트랜지스터(T19)의 게이트전극을 전기적으로 접속시키며, 등전위를 갖는 라인이다. 상기 제 1노드 및 제 2노드는 상기 제 1 내지 7트랜지스터(T11~T17)의 구동에 의해 충전되거나 방전되어 플립플롭(FF11~FF14)의 구동을 제어한다.

제 1플립플롭(FF11)을 보면, 상기 제 1플립플롭(FF11)의 제 2트랜지스터(T12)는 게이트전극과 드레인전극이 공통적으로 고전위 구동전압(Vdd)에 연결되어 다이오드(diode)와 같이 작동된다. 즉, 상기 제 2트랜지스터(T12)는 고전위 구동전압(Vdd)에 의해 지속적으로 턠-온상태를 유지하여 그 제 2트랜지스터(T12)를 통해 인가되는 고전위 구동전압(Vdd)에 의해 제 2노드가 충전된다. 그런데, 제 1스타트전압(Vst11)에 의해 제 1트랜지스터(T11)가 턠-온되면, 상기 제 1트랜지스터(T11)를 통해 인가되는 고전위 구동전압(Vdd)에 의해 제 1노드가 충전됨과 아울러, 제 5트랜지스터(T15)와 제 6트랜지스터(T16)가 턠-온되면서 상기 제 5,6트랜지스터(T15,T16)를 통해 상기 제 2노드가 방전되어 저전위로 떨어지게 된다.

상기 제 1스타트전압(Vst11)은 두 수평주기동안 상기 제 1트랜지스터(T11)에 인가되므로, 상기 제 1노드도 두 수평주기동안 고전위 상태를 유지하게 된다. 상기 제 1노드가 충전되어 고전위 상태를 유지하면, 제 8트랜지스터(T18)도 턠-온상태를 유지하게 된다.

제 2플립플롭(FF12)은 상기 제 1플립플롭(FF11)에 제 1스타트전압(Vst11)이 인가되고 일 수평주기(H) 후 제 2스타트전압(Vst12)을 인가받는다. 상기 제 2플립플롭(FF12)은 상기 제 2스타트전압(Vst12)에 의해 제 1트랜지스터(T11)가 턠-온되어 제 1노드가 충전되며, 제 2노드가 방전된다. 이때에도 상기 제 3플립플롭(FF13)의 제 1노드는 계속적으로 충전되고 있다. 보통, 노드가 충전되는 경우 한순간에 인가된 전압의 레벨까지 충전되는 것이 아니라 일정한 상승시간을 갖는다.

상기 제 2플립플롭(FF12)에 상기 제 2스타트전압(Vst12)이 인가되고 일 수평주기가 경과한 후 상기 제 1플립플롭(FF11)의 제 8트랜지스터(T18)에 제 1클럭신호(C11)가 인가된다. 상기 제 8트랜지스터(T18)는 두 수평주기 이전에 미리 충전된 제 1노드에 의해 턠-온되어 있는 상태이므로, 상기 제 1플립플롭(FF11)은 상기 제 1클럭신호(C11)에 동기시켜 상기 제 8트랜지스터(T18)를 통해 바로 출력신호(Vout11)를 내보낸다. 상기 제 1노드는 두 수평주기동안 충분히 인가된 스타트전압(Vst11)의 레벨까지 상승한 상태이므로, 상기 제 8트랜지스터(T18)에 인가되는 게이트전압이 높아지게 되어 통과하는 전류량도 많아진다. 따라서, 상기 제 8트랜지스터(T18)를 통해 출력되는 출력신호(Vout11)는 빠르게 원하는 고전압레벨까지 상승한다. 즉, 신호의 상승시간이 단축된다.

이와 같이, 상기 제 1플립플롭(FF11)에서 출력된 출력신호(Vout11)는 게이트라인(GL11)에 인가됨과 아울러, 제 3플립플롭(FF13)의 제 1트랜지스터(T11)에 인가되어 상기 제 1트랜지스터(T11)를 턠-온시킨다. 상기 제 3플립플롭(FF13)에서도 상기 제 1플립플롭(FF11)에서와 마찬가지로 상기 턠-온된 제 1트랜지스터(T11)를 통해 인가되는 전압에 의해 제 1노드가 충전되고, 제 2노드가 방전된다.

상기 제 1플립플롭(FF11)에 제 1클럭신호(C11)가 인가되고 일 수평주기 경과 후 상기 제 2플립플롭(FF12)의 제 8트랜지스터(T18)에 제 2클럭신호(C12)가 인가되면, 상기 제 8트랜지스터(T18)는 이미 턠-온된 상태이므로, 상기 제 2클럭신호(C12)에 동기되어 출력신호(Vout12)를 내보낸다. 이와 같이, 출력된 출력신호(Vout12)는 해당 게이트라인(GL12)에 인가됨과 동시에 제 4플립플롭(FF14)의 제 1트랜지스터(T11)에 인가되어 상기 제 4플립플롭(FF14)의 제 1노드를 충전시키고, 제 2노드를 방전시키게 된다.

상기 제 1플립플롭(FF11)과 제 2플립플롭(FF12)이 일 수평주기 차이로 순차적으로 출력신호(Vout11,Vout12)를 출력한 후 일 수평주기가 지나면, 상기 제 3플립플롭(FF13)에서 출력신호(Vout13)가 출력되는데, 상기 제 2클럭신호(C12)과 일 수평주기의 위상차를 갖도록 제 3클럭신호(C13)가 발생되어 상기 제 3플립플롭(FF13)의 제 8트랜지스터(T18)에 인가되면, 상기 제 8트랜지스터(T18)를 통해 출력신호(Vout13)가 출력된다. 이때에도 제 1노드가 두 수평주기동안 충분히 충전된 상태이므로, 상기 제 8트랜지스터(T18)는 충분히 턠-온되어 출력신호(Vout13)가 빠르게 원하는 레벨로 상승된다.

상기 제 3플립플롭(FF13)의 제 8트랜지스터(T18)의 소스전극은 두 단 전 플립플롭인 제 1플립플롭(FF11)의 제 4트랜지스터(T14)와 전기적으로 연결된다. 따라서, 상기 제 3플립플롭(FF13)의 출력신호(Vout13)는 출력됨과 아울러, 상기 제 1플립플롭(FF11)의 제 4트랜지스터(T14)의 게이트전극에 인가된다. 상기 제 1플립플롭(FF11)의 제 4트랜지스터(T14)는 턴-온되고, 그 제 4트랜지스터(T14)를 통해 제 1플립플롭(FF11)의 제 1노드는 방전된다. 또한, 상기 제 5트랜지스터(T15)의 게이트전극에는 저전위 전압이 인가되어 상기 제 5트랜지스터(T15)는 턴-오프상태로 변하고, 상기 제 2노드는 다시 고전위 전압으로 충전된다. 이때, 상기 제 1노드는 방전되기 때문에 상기 제 8트랜지스터(T18)는 턴-오프상태가 되고, 상기 제 8트랜지스터(T18)를 통해 출력되어 출력단에 남아 있는 출력신호(Vout11)는 상기 충전된 제 2노드에 의해 턴-온된 제 9트랜지스터(T19)를 통해 빠져나가기 때문에 상기 게이트라인(GL11)에 인가된 출력신호(Vout11)는 저전위로 천이된다. 전술한 바를 보면, 상기 제 1노드와 제 2노드는 서로 반대상태로 구동됨으로써, 플립플롭의 출력을 제어하게 된다.

한편, 상기 제 2노드의 충전속도를 가속하고, 상기 제 2트랜지스터(T12)의 부하를 줄이기 위한 제 7트랜지스터(T17)를 추가로 접속시킬 수 있다. 상기 제 7트랜지스터(T17)의 소스전극은 상기 제 2트랜지스터(T12)의 소스전극에 접속되고, 게이트전극은 상기 제 4트랜지스터(T14)의 게이트전극과 접속되며, 드레인전극은 고전위 구동전압(Vdd)과 연결된다. 따라서, 상기 제 2트랜지스터(T12)로만 유입되던 전류가 상기 제 7트랜지스터(T17)로 분산시켜 유입시킬 수 있게되어 상기 제 2노드를 충전속도를 증가시키고, 상기 제 9트랜지스터(T19)를 충분히 턴-온시켜 출력신호(Vout11)를 빠르게 저전위로 천이시킬 수 있다. 또한, 크기를 작게 형성하여 상기 제 2트랜지스터(T12)의 열화를 방지할 수 있다.

도면에 도시된 제 4플립플롭(FF14)은 상기 제 1 내지 3플립플롭(FF11~FF13)의 구동이 반복 적용되므로, 설명을 생략하도록 하겠다.

한편, 상기 제 1플립플롭(FF11)에 초기에 인가되는 제 1스타트전압(Vst11)과 제 2플립플롭(FF12)에 초기에 인가되는 제 2스타트전압(Vst12)은 하나의 스타트전압으로 통합할 수도 있다. 단, 이때에는 상기 제 1트랜지스터(T1)의 형태가 드레인전극과 게이트전극에 고전위 구동전압(Vdd)에 공통 연결되는 다이오드(diode) 형태로 변경되어야 한다. 만일, 통합된 스타트전압을 이용할 경우 상기 제 1트랜지스터(T1)를 원래 구성대로 사용하면, 클럭신호(C1~C4)에 의한 부트 스트래핑(bootstrapping) 시에 고전위 구동전압(Vdd) 측으로 전류가 흐르게 되어 부트 스트래핑의 효과를 얻을 수 없게 된다.

상기 제 1플립플롭(FF11) 및 제 2플립플롭(FF12)에 하나의 스타트전압을 동시에 인가해 줄 수 있다. 상기 제 2플립플롭(FF12)은 단일의 스타트전압에 의해 상기 제 1플립플롭(FF11)과 동일한 시점에서 제 1노드가 충전되지만, 제 2클럭신호(C12)는 상기 제 1클럭신호(C11)보다 일 수평주기 늦게 인가되므로, 일 수평주기동안 홀딩상태를 유지하게 되며, 제 1,2 스타트전압(Vst11,Vst12)에 의한 구동과 동일하게 구동된다.

상기한 바와 같은 구성에 의해 제 1노드의 충전시간을 늘려 제 1노드가 충분히 충전되도록 함으로써, 제 8트랜지스터(T18)를 통해 출력되는 출력신호(Vout11~Vout14)가 원하는 전압레벨로 빠르게 상승하도록 하고, 제 2노드의 방전시간을 줄여 게이트라인에 인가된 출력신호(Vout11~Vout14)의 전압레벨을 빠르게 하강시킬 수 있다.

### 발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시장치의 구동부는 쉬프트레지스터부의 각 플립플롭에 충분한 충전시간을 확보하여 출력신호의 고전위로의 상승시간을 줄이고, 저전위로의 하강시간을 줄여 높은 해상도에도 적용이 용이할 것이다.

또한, 출력신호를 원하는 전압레벨로 빠르게 상승시켜 출력하게되므로, 게이트라인에 높은 출력의 전압을 인가하게되어 화질 향상을 가져올 수 있다.

### (57) 청구의 범위

#### 청구항 1.

기판에 종횡으로 배열된 복수의 게이트라인 및 데이터라인과; 상기 게이트라인에 대응하여 기판에 배열된 복수의 화소와; 제 1스타트전압에 의해 초기 셋팅되며, 클럭신호에 동기되어 출력신호를 순차적으로 상기 게이트라인에 인가하는 제 1그룹의 스테이지(stage)와; 제 2스타트전압에 의해 초기 셋팅되며, 클럭신호에 동기되어 출력신호를 순차적으로 상기 게이

트라인에 인가하는 제 2그룹의 스테이지로 구성되는 액정표시장치에 있어서, 상기 제 1그룹 및 제 2그룹의 제 N번째 스텝이지는 각각의 제 N-1번째 스텝이지의 출력신호에 의해 셋팅되고, 상기 제 1그룹 및 제 2그룹의 제 N번째 스텝이지의 출력신호는 각각의 제 N-1번째 스텝이지의 출력을 억제시키며, 상기 제 1그룹의 스텝이지와 제 2그룹의 스텝이지의 출력신호는 서로 교번하여 출력되는 것을 특징으로 하는 액정표시장치의 구동부.

## 청구항 2.

제 1 항에 있어서, 상기 스텝이지는 쉬프트레지스터인 것을 특징으로 하는 액정표시장치의 구동부.

## 청구항 3.

제 1 항에 있어서, 상기 제 1그룹의 스텝이지는 홀수번째 스텝이지이며, 제 2그룹의 스텝이지는 짹수번째 스텝이지인 것을 특징으로 하는 액정표시장치의 구동부.

## 청구항 4.

제 1 항에 있어서, 상기 인접한 제 1그룹의 스텝이지 및 제 2그룹의 스텝이지의 출력신호는 일(one) 수평주기의 위상차를 갖는 것을 특징으로 하는 액정표시장치의 구동부.

## 청구항 5.

제 1 항에 있어서, 상기 인접한 제 1그룹의 스텝이지의 출력신호들은 두 수평주기의 위상차를 갖는 것을 특징으로 하는 액정표시장치의 구동부.

## 청구항 6.

제 1 항에 있어서, 상기 제 1스타트전압과 제 2스타트전압은 일 수평주기의 위상차로 인가되는 것을 특징으로 하는 액정표시장치의 구동부.

## 청구항 7.

제 1 항에 있어서, 상기 제 1스타트전압과 제 2스타트전압은 동시에 인가되는 것을 특징으로 하는 액정표시장치의 구동부.

## 청구항 8.

제 1 항에 있어서, 상기 제 1스타트전압, 제 2스타트전압, 클럭신호 및 출력신호의 폭은 두 수평주기인 것을 특징으로 하는 액정표시장치의 구동부.

## 청구항 9.

제 1 항에 있어서, 각 스텝이지에서 출력되는 출력신호의 후반 일 수평주기동안 해당 게이트라인에 대응하는 화소들에 화상정보가 인가되는 것을 특징으로 하는 액정표시장치의 구동부.

**청구항 10.**

제 1 항에 있어서, 상기 제 1그룹의 스테이지 및 제 2그룹의 스테이지는 상기 기판에 일체화된 것을 특징으로 하는 액정표시장치의 구동부.

**청구항 11.**

고전위 구동전압 및 저전위 구동전압을 인가받으며, 스타트전압에 의해 셋팅되고, 클럭신호에 동기되어 순차적으로 출력신호를 내보내는 복수의 스테이지를 포함하는 소프트웨어스터부에 있어서,

제 N번째 스테이지는 스타트전압으로 인가되는 제 N-2번째 스테이지의 출력신호에 의해 도통되어 고전위 구동전압에 의해 제 1노드(node)를 충전시키는 제 1트랜지스터와; 도통 상태가 지속적으로 유지되어 고전위 구동전압에 의해 제 2노드를 충전시키는 제 2트랜지스터와; 상기 충전된 제 2노드에 의해 도통되어 상기 제 1노드를 방전시키는 제 3트랜지스터와; 제 N+2번째 스테이지의 출력신호에 의해 도통되어 상기 제 1노드를 방전시키는 제 4트랜지스터와; 상기 제 1트랜지스터를 통해 인가된 전압에 의해 도통되어 상기 제 2노드를 방전시키는 제 5트랜지스터와; 상기 제 1트랜지스터를 통해 인가된 전압에 의해 도통되어 상기 제 2노드를 방전시키는 제 6트랜지스터와; 상기 충전된 제 1노드에 의해 도통되어 출력신호를 출력하며, 상기 제 4트랜지스터에 의한 제 1노드 방전시 출력이 차단되는 제 7트랜지스터와; 상기 제 N+2번째 스테이지의 출력신호에 의한 제 1노드의 방전시 다시 충전되는 제 2노드에 의해 도통되어 상기 제 7트랜지스터를 통해 출력된 출력신호를 저전위로 천이시키는 제 8트랜지스터를 포함하여 구성되는 것을 특징으로 하는 액정표시장치의 구동부.

**청구항 12.**

제 11 항에 있어서, 상기 제 1노드는 상기 제 1,4 및 7트랜지스터를 전기적으로 접속시키는 것을 특징으로 하는 액정표시장치의 구동부.

**청구항 13.**

제 11 항에 있어서, 상기 제 2노드는 상기 2,3 및 8트랜지스터를 전기적으로 접속시키는 것을 특징으로 하는 액정표시장치의 구동부.

**청구항 14.**

제 11 항에 있어서, 상기 제 N번째 스테이지에는 상기 제 N+2번째 스테이지로부터 인가되는 출력신호에 의해 도통되어 고전위 구동전압에 의해 상기 제 2노드를 충전시키는 트랜지스터가 추가로 구비되어 상기 제 2트랜지스터를 통해 상기 제 2노드에 유입되는 전류를 분산시키는 것을 특징으로 하는 액정표시장치의 구동부.

**청구항 15.**

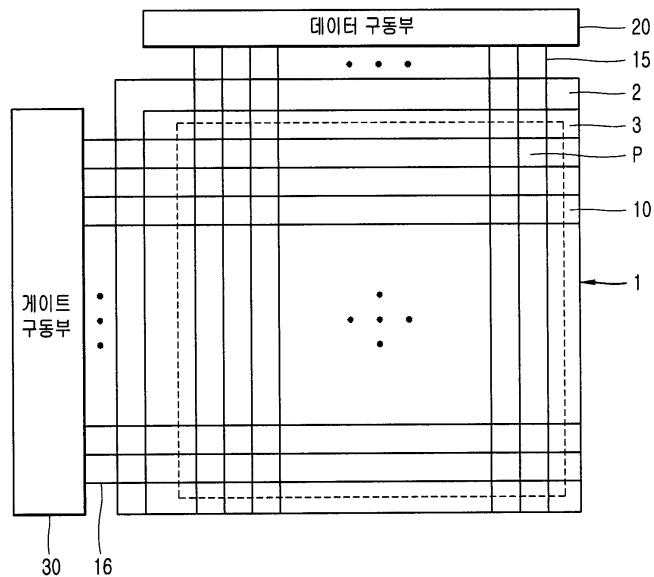
제 11 항에 있어서, 상기 제 1노드와 제 2노드는 서로 상반된 전위로 구동되는 것을 특징으로 하는 액정표시장치의 구동부.

**청구항 16.**

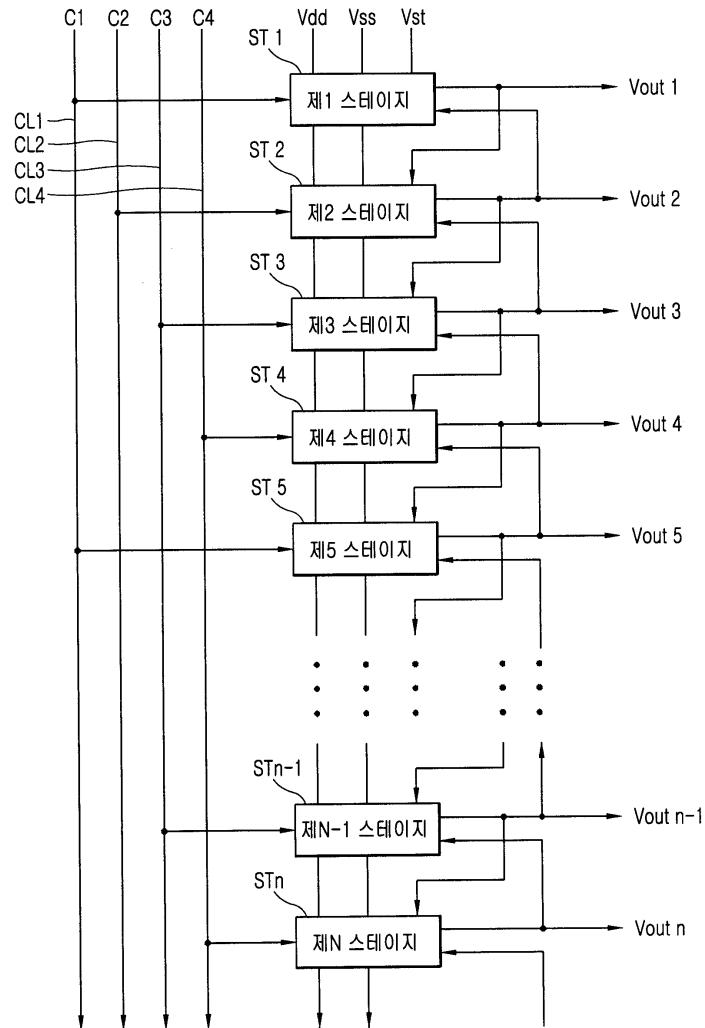
제 11 항에 있어서, 상기 제 1트랜지스터는 게이트전극과 드레인전극이 공통 접속되는 것을 특징으로 하는 액정표시장치의 구동부.

도면

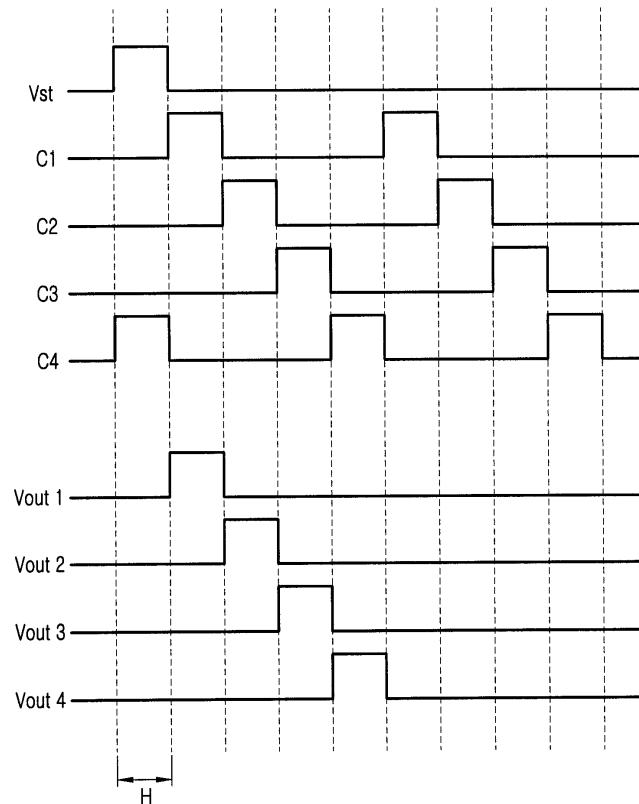
도면1



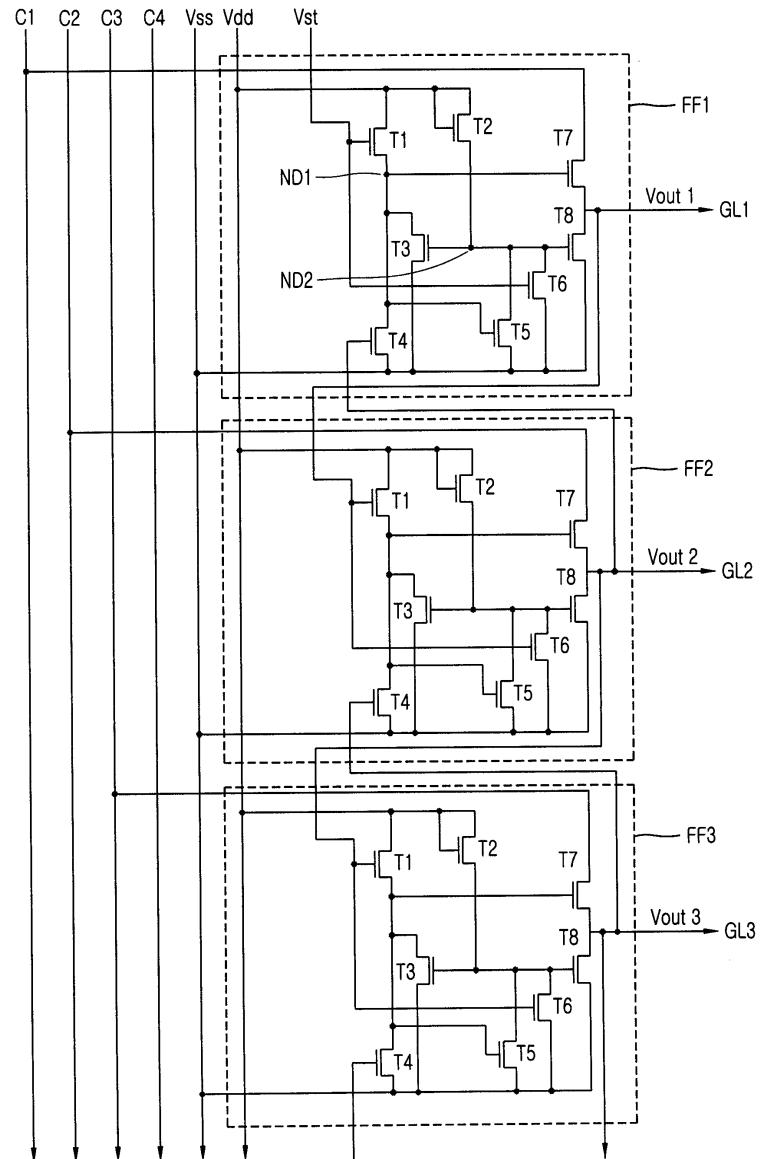
도면2a



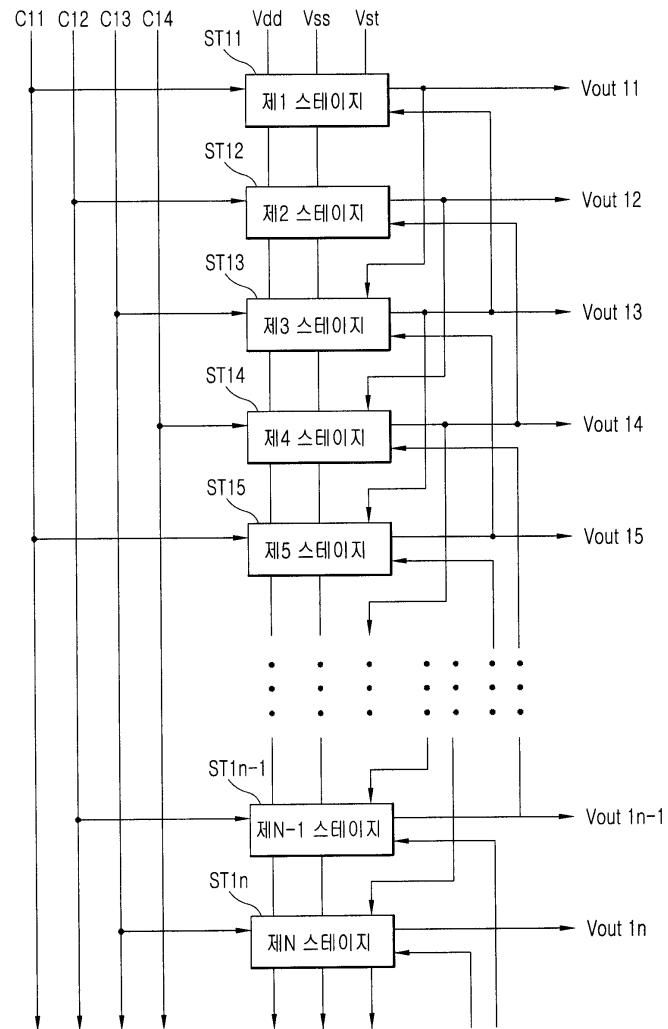
도면2b



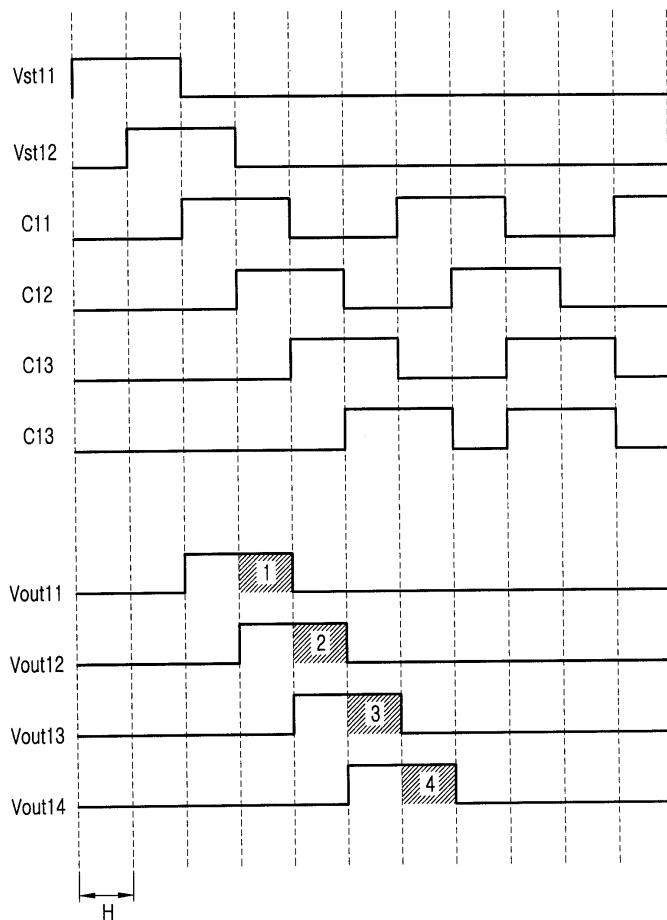
## 도면3



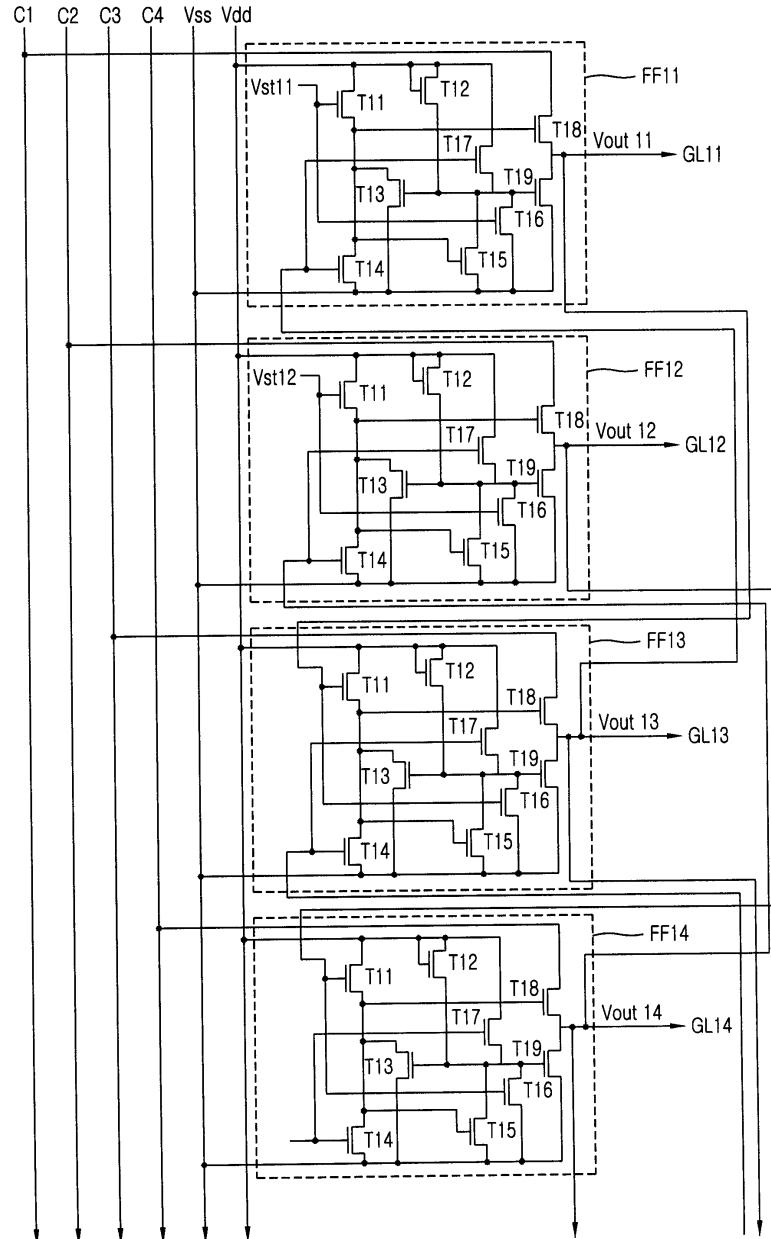
도면4a



도면4b



## 도면5



专利名称(译)	液晶显示装置的驱动单元		
公开(公告)号	<a href="#">KR1020060078504A</a>	公开(公告)日	2006-07-05
申请号	KR1020040118470	申请日	2004-12-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHO HYUNGNYUCK 조현력 YOON SOOYOUNG 윤수영 CHUN MINDOO 전민두		
发明人	조현력 윤수영 전민두		
IPC分类号	G02F1/133		
CPC分类号	G11C19/28 G09G3/3677		
代理人(译)	PARK , JANG WON		
其他公开文献	KR101191157B1		
外部链接	<a href="#">Espacenet</a>		

### 摘要(译)

本发明涉及液晶驱动单元。并且，移位晶体管将多个栅极线和数据线分成基板中的长度和宽度，以及多个像素和移位晶体管部分，用于通过对应于栅极线的栅极线向像素提供扫描信号。在基板中布置有多个级，它包括多级，它接收第一和第二开始信号以及第一到第四时钟信号，并且它连续输出输出信号并在相应的栅极线中授权。并且第一至第四时钟信号和输出信号的宽度具有两个水平周期。在多级中连续输出的一个水平周期输出信号重叠。并且应用第一和第二启动信号。利用(K-2)数级的输出信号在多级之间设置K数级。并且利用(K+2)数级的输出信号防止或更多输出。时钟信号，扫描信号，启动电压，上升时间，下降时间，液晶。

