

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.

G09G 3/36 (2006.01)

G02F 1/133 (2006.01)

(11) 공개번호

10-2006-0076147

(43) 공개일자

2006년07월04일

(21) 출원번호 10-2005-0033145

(22) 출원일자 2005년04월21일

(30) 우선권주장 1020040113684 2004년12월28일 대한민국(KR)

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자
 장용호
 경기 성남시 분당구 분당동 샛별마을삼부아파트 414-806
 김빈
 서울 양천구 목5동 목동4단지아파트 408동 2003호
 문수환
 경북 구미시 상모동 우방신세계타운 105동 901호
 윤수영
 경기 고양시 덕양구 행신2동 무원마을 10단지 서광아파트 1010동802호
 전민두
 서울 광진구 중곡3동 174-1번지

(74) 대리인 특허법인네이트

심사청구 : 없음

(54) 액정표시장치 게이트 구동용 쉬프트레지스터

요약

본 발명은 비정질 박막트랜지스터의 하이 바이어스 인가 구동으로 발생되는 열화 현상을 제거하여 안정된 출력을 제공하는 게이트구동용 쉬프트레지스터에 관한 것이며, 보다 상세하게는 복수개의 구동전원을 각각 입력받아 교차 구동되는 액정표시장치 게이트 구동용 쉬프트레지스터에 관한 것이다.

이는 지속적인 하이 바이어스 스트레스 인가로 인해 특성변화가 유발되지 않도록 패널 프레임 주기별로 구동과 비구동 휴지 구간이 반복되도록 함과 동시에, 비구동 휴지 기간에는 역 바이어스 또는 기저전원에 해당하는 바이어스를 인가하여 줌으로써 구동 구간동안 비정질 박막트랜지스터에 인가된 바이어스 스트레스를 상쇄시켜 주어 소자의 안정화에 의한 회로의 정상구동 및 수명 연장 효과를 도출하는 장점이 있다.

대표도

도 8

명세서

도면의 간단한 설명

도 1은 통상의 능동 매트릭스 액정표시장치의 구성을 도시한 도면

도 2는 도 1에 따른 액정표시장치의 구동을 위해 인가되는 게이트구동신호를 도시한 도면

도 3은 종래의 게이트구동IC에서 사용하고 있는 쉬프트레지스터의 N번째 스테이지 회로를 예시한 제1종래기술 회로도

도 4는 도 3의 회로도 구동을 설명하기 위한 신호타이밍도

도 5는 또다른 종래의 게이트구동 IC에서 사용하고 있는 쉬프트레지스터의 N번째 스테이지 회로를 예시한 제2종래기술 회로도

도 6은 도 5의 회로도 구동을 설명하기 위한 일부 신호의 타이밍도

도 7a 및 7b는 각각 도 3의 단일구동에 따른 제4트랜지스터(T4)와 도 5의 교차구동에 따른 제4트랜지스터군(T4-o, T4-e)에 각각 인가되는 바이어스 스트레스 상태를 그래프로 도시한 도면

도 8은 본 발명에 따른 액정표시장치 게이트 구동용 쉬프트레지스터 스테이지 회로의 제1실시예 도면

도 9는 본 발명에 따른 액정표시장치 게이트 구동용 쉬프트레지스터 스테이지 회로의 제2실시예 도면

도 10은 본 발명에 따른 액정표시장치 게이트 구동용 쉬프트레지스터 스테이지 회로의 제3실시예 도면

도 11은 본 발명에 따른 액정표시장치 게이트 구동용 쉬프트레지스터 스테이지 회로의 제4실시예 도면

도 12은 본 발명에 따른 액정표시장치 게이트 구동용 쉬프트레지스터 스테이지 회로의 제5실시예 도면

<도면의 주요부분에 대한 간단한 설명>

VDD-o, VDD-e :홀수 번째, 짝수 번째 프레임별 인가 구동전원

CLK1~CLK4 : 제1~제4클럭신호 Vst : 개시신호

Vout : 게이트 구동신호

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로서, 보다 상세하게는 비정질 박막트랜지스터 구동에 따른 열화 현상을 제거하여 안정된 출력을 제공하는 게이트구동용 쉬프트레지스터에 관한 것이다.

액정 표시 장치는 액정의 특정한 문자배열에 전압을 인가하여 다른 문자배열로 변환시키고, 이러한 문자 배열에 의해 발광하는 액정 셀의 복굴절성, 선광성, 2색성 및 광 산란 특성 등의 광학적 성질의 변화를 시각 변화로 변환하는 것으로, 액정 셀에 의한 빛의 변조를 이용한 디스플레이 장치로서, 통상의 액정표시장치는 액정 패널 상의 액정 셀들을 광 투과율을 조절함으로써 비디오신호에 해당하는 화상을 표시하게 된다. 액정 패널 상의 액정 셀들을 구동하기 위하여 액정표시장치는 액정 패널 구동장치를 구비한다.

도 1을 참조하면, 통상의 능동 매트릭스(Active matrix) 액정표시장치는 액정 셀들이 두장의 투명기판을 사이에 매트릭스 형태로 배열되어진 액정패널(3)과, 액정 패널(3)상의 데이터라인들(DL1 내지 DLn)에 데이터를 공급하기 위한 데이터 구동 IC(1)(Data Driving Integrated Circuit)와, 게이트라인들(GL1 내지 GLm)을 순차적으로 구동하기 위한 게이트 구동 IC(2)(Gate Driving Integrated Circuit)를 구비한다. 액정 패널(3)에는 다수의 액정 셀들과 이들 액정 셀들 각각에 공급될 데이터신호를 스위칭하는 박막트랜지스터들(Thin Film Transistor, 이하 "TFT"라 함)이 설치되게 된다.

다수의 액정 셀들은 데이터라인들과 게이트라인들이 교차하는 교차점에 각각 설치되고 이와 더불어 박막 트랜지스터들도 상기한 교차점들에 각각 위치하게 된다.

데이터 구동 IC(1)는 쉬프트레지스터와 래치를 포함하며, 데이터 쉬프트 클럭에 응답하여 데이터 비트를 쉬프트 시키며 데이터 출력 인에이블 신호에 응답하여 1라인분의 데이터를 데이터라인들에 동시에 공급한다.

게이트 구동 IC(2)는 각 게이트라인들을 구동하기 위해 쉬프트레지스터를 포함한 다수의 스테이지(Stage)로 구성되어 게이트 스타트 펄스에 응답하여 게이트라인들을 순차 구동한다.

게이트 스타트 펄스가 게이트 구동 IC들에 공급되면 게이트 구동IC들은 도 2와 같이, 액정패널 상의 m개의 게이트 라인들에 순차적으로 게이트 구동 펄스를 공급함으로써 m개의 게이트라인들이 순차적으로 구동되게 한다. 그러면 액정 패널 상의 TFT들은 1 게이트라인 분씩 순차적으로 구동되어 1 게이트라인 분씩의 액정 셀들에 데이터신호들이 순차적으로 공급되게 한다.

상기한 구성에서 게이트구동IC는 다수의 쉬프트레지스터에 의해 게이트구동신호가 순차적으로 출력되는데, 비정질 실리콘(a-Si) 트랜지스터를 이용하는 쉬프트레지스터의 경우 각각의 트랜지스터에 장시간 높은 전압이 인가될 때 열화로 인한 특성변화가 발생하는 문제점이 발생하는바 이하 종래의 쉬프트레지스터를 예시하여 그 문제점을 설명한다.

도 3은 종래의 게이트구동IC에서 사용하고 있는 쉬프트레지스터의 N번째 스테이지 회로를 예시한 제1종래기술 회로도이고, 도 4는 그 회로의 구동을 위해 인가되고 출력되는 각 신호의 신호타이밍도이다. 여기서 예시된 회로 구성의 트랜지스터 소자는 N-타입의 비정질 실리콘(a-Si)박막 트랜지스터를 이용하여 구성되었다.

구동을 살펴보면, 이전단 스테이지 회로(N-1번째 스테이지)의 게이트신호 출력인 개시신호(V_{st_N})와 제4클럭(CLK4)의 하이 레벨 입력에 의해 제1 및 제2트랜지스터(T1, T2)가 온(on) 상태로 전환되어 Q-노드(Q)가 충전 상태가 된다.

여기서 상기 개시신호(V_{st_N})와 제4클럭(CLK4)은 서로 동기된 신호이다.

이때, 상기 Q-노드(Q)는 부트스트랩(bootstrap)되어 전압이 상승하게 되고, 이후, 제1클럭(CLK1)이 입력되면 제6트랜지스터(T6)가 온(on)되어 출력(V_{out_N})이 발생하게 된다. 이때의 출력은 다음단 스테이지 회로(N+1번째 스테이지)의 개시신호{ $V_{st-(N+1)}$ }로 입력된다.

다음으로 제2클럭(CLK2)의 하이레벨신호가 입력될 때 제3트랜지스터(T3)가 온(on)되어 상기 Q-노드(Q)에 충전되어 있던 전하가 방전된다.

상기와 같은 방식으로 동작되는 쉬프트레지스터 회로는 박막 트랜지스터 각각각의 역할에 따라 서로 다른 바이어스 스트레스(Bias stress)를 받는데, 이처럼 박막 트랜지스터에 인가되는 바이어스 스트레스는 문턱전압 특성 변화(Threshold voltage shift)를 일으키게 되어 회로 동작의 신뢰성을 저하시키게 된다.

특히, 도 3에 도시된 회로의 구성에서는 QB-노드(QB)에 의해 풀-다운(pull-down) 기능으로 구동되는 제3 및 제7트랜지스터(T3, T7)는 일 프레임 동작주기에서 출력이 발생되는 동작 구간을 제외한 시간동안 지속적으로 바이어스 스트레스를 받는 상태이므로 가장 심한 특성 변화를 일으킨다. 따라서, 쉬프트레지스터 회로 동작의 신뢰성 향상을 위해서는 QB-노드(QB)의 충전/방전에 의한 온/오프 상태에 따라서 동작되는 상기 제3 및 제7트랜지스터(T3, T7)의 특성 변화를 최소화 시켜야 한다.

도 5는 또 다른 종래의 게이트구동IC에서 사용하고 있는 쉬프트레지스터의 N번째 스테이지 회로를 예시한 제2종래기술 회로도이고, 도 6은 그 구동에서 출력되는 일부 신호의 타이밍도이다. 물론, 쉬프트레지스터의 구동을 위한 개시신호와 클럭신호는 제1종래기술에 도시된 도 4의 타이밍도와 같다.

도 5에 도시된 쉬프트레지스터 스테이지 회로는 두개의 풀-다운 구동부(T3o, T7o)(T3e, T7e)를 적용하여 입력 전원을 프레임별로 교차시켜 구동하는 방식이며, 이러한 스테이지 회로가 다수 구성된 쉬프트레지스터는 4개의 클럭신호(CLK1~CLK4)와 3개의 직류전원(VDD-o, VDD-e, VSS) 및 개시신호(Vst)를 이용하여 구동된다.

여기서, 패널의 홀수 번째 프레임 동작 시에 인가되는 제1구동전원(VDD-o)과 패널의 짝수 번째 프레임 동작 시에 인가되는 제2구동전원(VDD-e)은 서로 위상이 반대인 직류전원이며 각 전원의 펄스지속시간(Pulse duration time)은 1 프레임 시간 이상이다.

동작을 살펴보면, 도 6의 타이밍도에 도시된 바와 같이 연속되어 동작되는 액정표시패널의 홀수 번째 프레임 구동의 경우, 상기 제1구동전원(VDD-o)에서 하이(high)레벨 전압이 입력되고 상기 제2구동전원(VDD-e)으로는 로우(low)레벨 전압이 입력된다. 이에 따라 홀수 번째 프레임 구동에서 상기 (QB-o)노드에는 하이레벨 전원이 인가되고, 상기 (QB-e)노드에는 로우 레벨 전원이 인가된다.

이후 액정표시패널의 짝수 번째 프레임 구동에서는, 출력(Vout) 발생이후에는 상기 제2구동전원(VDD-e)에 하이 레벨 전원이 인가되고 상기 제1구동전원(VDD-o)에 로우 레벨 전원이 인가되어 상기 (QB-e)노드에 하이레벨이 전원이 인가되고 상기 (QB-o) 노드에 로우 레벨 전원이 인가된다.

이후 동작은 전술한 제1종래기술과 동일한 방법으로 프레임별 반복되어 진행되기 때문에, 도시된 쉬프트레지스터 스테이지 회로의 풀-다운 구동부를 구성하는 각 트랜지스터(T3o, T3e, T7o, T7e)에 인가되는 바이어스 스트레스는 홀수 번째와 짝수 번째 프레임의 반복에 따라 전원레벨이 반전되어 입력되는 제1구동전원(VDD-o) 및 제2구동전원(VDD-e)에 의해 상쇄되는 효과를 가지게 된다.

그런데, 도 5에 도시하여 그 구동을 설명한 바와 같은 쉬프트레지스터 스테이지 회로는 장시간 연속구동을 수행할 경우, 제4트랜지스터(T4o, T4e)들의 열화에 의한 회로의 오동작이 발생할 수 있으며, 상기한 제4트랜지스터(T4o, T4e)들의 열화에 의한 문턱 전압 특성 변화는 상기 전원 교차구동에 의한 풀-다운 트랜지스터의 특성변화 억제에도 불구하고 상기 각 QB-노드(QB-o, QB-e)에 전달되는 유효 전압(Effective voltage)을 감소시키는 문제점을 발생시킨다.

도 7a 및 7b는 각각 전술한 도 3의 제1종래기술에 따른 단일구동의 제4트랜지스터(T4)와 도 5의 제2종래기술에 따른 교차구동의 제4트랜지스터(T4o, T4e)에 인가되는 바이어스 스트레스 상태를 그래프로 도시한 도면이다.

도 7a의 단일 구동에 따른 제4트랜지스터(T4)의 게이트단자(G)에 하이레벨 전원이 인가될 때, 드레인(D) 및 소스(S)단자에도 각각 하이레벨이 인가된다. 따라서, 게이트단자(G)와 소스(S)/드레인(D) 단자 사이에 전압차이는 거의 없으며 이에 로우 바이어스 스트레스(Low bias stress) 조건을 가진다.

그러나, 도 7b와 같이 교차 구동에 있어서는, 제1구동전원(VDD-o)과 제2구동전원(VDD-e)이 각각 로우 케벨일 경우 이에 해당하는 각 제4트랜지스터(T4o, T4e)의 드레인(D)단자와 소스(S)단자에 각각 로우 레벨 전원이 인가된 상태가 된다.

이후 상기 각 제4트랜지스터(T4o, T4e)의 게이트(G)단자로 하이레벨 전원이 인가될 경우 상기 각 제4트랜지스터(T4o, T4e)는 하이 바이어스 스트레스(High bias stress) 조건이 되어 특성 변화, 즉 문턱전압(Vth)의 이동 현상을 나타내는 문제점이 발생한다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위해 안출된 것으로서, 교차구동을 위한 듀얼 풀-다운 구동부 구성의 쉬프트레지스터 스테이지 회로의 트랜지스터의 열화에 의한 특성 변화를 개선하는데 목적이 있으며, 이를 위해 새로이 제안된 비정질 실리콘(a-Si) 트랜지스터를 이용한 게이트구동회로용 쉬프트레지스터 스테이지 회로를 제공하여 구동 신뢰성을 더욱 향상시키는데 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위해 본 발명은, 제1실시예로서,

이전단 스테이지의 게이트 출력신호가 입력되는 개시신호단과 Q 노드 사이에 다이오드 커넥팅된 제1트랜지스터와; 상기 Q 노드와 접지전원단 사이에 연결되고, 다음단 스테이지의 게이트 출력신호에 턴온 여부가 결정되는 제2트랜지스터와; 제1구동전원단과 제1QB 노드 사이에 다이오드 커넥팅된 제3-1트랜지스터와; 제2구동전원단과 제2QB 노드 사이에 다이오드 커넥팅된 제3-2트랜지스터와; 제1클러입력단과 본단 스테이지의 게이트신호출력단 사이에 연결되고 상기 Q 노드의 출력에 턴온 여부가 결정되는 제4트랜지스터와; 상기 제1QB 노드와 접지전원단 사이에 연결되고 상기 제2구동전원단의 출력에 턴온 여부가 결정되는 제5-11트랜지스터와; 상기 제1QB 노드와 접지전원단 사이에 연결되고 상기 Q 노드의 출력에 턴온 여부가 결정되는 제5-12트랜지스터와; 상기 제2QB 노드와 접지전원단 사이에 연결되고 상기 제1구동전원단의 출력에 턴온 여부가 결정되는 제5-21트랜지스터와; 상기 제2QB 노드와 접지전원단 사이에 연결되고 상기 Q 노드의 출력에 턴온 여부가 결정되는 제5-22트랜지스터와; 상기 Q 노드와 접지전원단 사이에 연결되고 상기 제1QB 노드의 출력에 턴온 여부가 결정되는 제6-1트랜지스터와; 상기 Q 노드와 접지전원단 사이에 연결되고 상기 제2QB 노드의 출력에 턴온 여부가 결정되는 제6-2트랜지스터와; 상기 본단 스테이지의 게이트신호출력단과 접지전원단 사이에 연결되고 상기 제1QB노드의 출력에 턴온 여부가 결정되는 제7-1트랜지스터와; 상기 본단 스테이지의 게이트신호출력단과 접지전원단 사이에 연결되고 상기 제2QB 노드의 출력에 턴온 여부가 결정되는 제7-2트랜지스터를 포함하여 일 스테이지를 구성하는 액정표시장치 게이트 구동용 쉬프트레지스터를 제시한다.

또한 제2실시예로서,

이전단 스테이지의 게이트 출력신호가 입력되는 개시신호단과 Q 노드 사이에 다이오드 커넥팅된 제1트랜지스터와; 상기 Q 노드와 접지전원단 사이에 연결되고, 다음단 스테이지의 게이트 출력신호에 터온 여부가 결정되는 제2트랜지스터와; 제1구동전원단과 제1노드 사이에 다이오드 커넥팅된 제3-11트랜지스터와; 상기 제1구동전원단과 제1QB 노드 사이에 연결되고 상기 제1노드의 출력에 터온 여부가 결정되는 제3-12트랜지스터와; 상기 제1노드와 접지전원단 사이에 연결되고 상기 Q 노드의 출력에 터온 여부가 결정되는 제3-13트랜지스터와; 상기 제1노드와 접지전원단 사이에 연결되고 상기 개시신호단의 출력에 터온 여부가 결정되는 제3-14트랜지스터와; 제2구동전원단과 제2노드 사이에 다이오드 커넥팅된 제3-21트랜지스터와; 상기 제2구동전원단과 제2QB 노드 사이에 연결되고 상기 제2노드의 출력에 터온 여부가 결정되는 제3-22트랜지스터와; 상기 제2노드와 접지전원단 사이에 연결되고 상기 개시신호단의 출력에 터온 여부가 결정되는 제3-23트랜지스터와; 상기 제2노드와 접지전원단 사이에 연결되고 상기 Q 노드의 출력에 터온 여부가 결정되는 제3-24트랜지스터와; 제1클럭입력단과 본단 스테이지의 게이트신호출력단 사이에 연결되고 상기 Q 노드의 출력에 터온 여부가 결정되는 제4트랜지스터와; 상기 제1QB 노드와 접지전원단 사이에 연결되고 상기 Q 노드의 출력에 터온 여부가 결정되는 제5-11트랜지스터와; 상기 제1QB 노드와 접지전원단 사이에 연결되고 상기 개시신호단의 출력에 터온 여부가 결정되는 제5-12트랜지스터와; 상기 제2QB 노드와 접지전원단 사이에 연결되고 상기 Q 노드의 출력에 터온 여부가 결정되는 제5-21트랜지스터와; 상기 제2QB 노드와 접지전원단 사이에 연결되고 상기 개시신호단의 출력에 터온 여부가 결정되는 제5-22트랜지스터와; 상기 Q 노드와 접지전원단 사이에 연결되고 상기 제1QB 노드의 출력에 터온 여부가 결정되는 제6-1트랜지스터와; 상기 Q 노드와 접지전원단 사이에 연결되고 상기 제2QB 노드의 출력에 터온 여부가 결정되는 제6-2트랜지스터와; 상기 본단 스테이지의 게이트신호출력단과 접지전원단 사이에 연결되고 상기 제1QB노드의 출력에 터온 여부가 결정되는 제7-1트랜지스터와; 상기 본단 스테이지의 게이트신호출력단과 접지전원단 사이에 연결되고 상기 제2QB 노드의 출력에 터온 여부가 결정되는 제7-2트랜지스터를 포함하여 일 스테이지를 구성하는 액정표시장치 게이트 구동용 쉬프트레지스터를 제시한다.

제3실시예로서,

되는 제5-11트랜지스터와; 상기 제1QB 노드와 접지전원단 사이에 연결되고 상기 개시신호단의 출력에 턴온 여부가 결정되는 제5-12트랜지스터와; 상기 제2QB 노드와 접지전원단 사이에 연결되고 상기 Q 노드의 출력에 턴온 여부가 결정되는 제5-21트랜지스터와; 상기 제2QB 노드와 접지전원단 사이에 연결되고 상기 개시신호단의 출력에 턴온 여부가 결정되는 제5-22트랜지스터와; 상기 Q 노드와 접지전원단 사이에 연결되고 상기 제1QB 노드의 출력에 턴온 여부가 결정되는 제6-1트랜지스터와; 상기 Q 노드와 접지전원단 사이에 연결되고 상기 제2QB 노드의 출력에 턴온 여부가 결정되는 제6-2트랜지스터와; 상기 본단 스테이지의 게이트신호출력단과 접지전원단 사이에 연결되고 상기 제1QB노드의 출력에 턴온 여부가 결정되는 제7-1트랜지스터와; 상기 본단 스테이지의 게이트신호출력단과 접지전원단 사이에 연결되고 상기 제2QB 노드의 출력에 턴온 여부가 결정되는 제7-2트랜지스터를 포함하여 일 스테이지를 구성하는 액정표시장치 게이트 구동용 쇠프트레지스터를 제시한다.

여기서 상기 제1 내지 제3실시예의 공통되는 특징으로,

상기 제1 및 제2구동전원은, 동일한 주기를 가지며 위상이 서로 반대인 펄스인 것을 특징으로 한다.

상기 제1 및 제2구동전원은, 각 전원이 인가되는 시간이 액정표시장치 패널의 1 프레임 구동 주기 이상인 것을 특징으로 한다.

상기 각 트랜지스터는 비정질 실리콘 박막 트랜지스터인 것을 특징으로 한다.

상기 각 트랜지스터는 N 타입인 것을 특징으로 한다.

상기 클럭은 최소 액정표시장치 패널의 일 게이트라인의 턴온 시간 동안 하이 레벨을 유지하는 전압신호인 것을 특징으로 한다.

본 발명의 제4실시예로서,

제1구동전원단과 Q 노드 사이에 연결되고, 이전단 스테이지의 게이트 출력신호가 입력되는 개시신호단 출력에 턴온 여부가 결정되는 제1트랜지스터와; 상기 Q 노드와 접지전원단 사이에 연결되고, 다음단 스테이지의 게이트 출력신호에 턴온 여부가 결정되는 제2트랜지스터와; 제2구동전원단과 제1노드 사이에 다이오드 커넥팅된 제3-11트랜지스터와; 상기 제2구동전원단과 제1QB 노드 사이에 연결되고 상기 제1노드의 출력에 턴온 여부가 결정되는 제3-12트랜지스터와; 상기 제1노드와 접지전원단 사이에 연결되고 상기 개시신호단의 출력에 턴온 여부가 결정되는 제3-13트랜지스터와; 상기 제1노드와 접지전원단 사이에 연결되고 상기 Q 노드의 출력에 턴온 여부가 결정되는 제3-14트랜지스터와; 상기 제1노드와 접지전원단 사이에 연결되고 상기 개시신호단의 출력에 턴온 여부가 결정되는 제3-15트랜지스터와; 제2구동전원단과 제2노드 사이에 다이오드 커넥팅된 제3-21트랜지스터와; 상기 제2구동전원단과 제2QB노드 사이에 연결되고 상기 제2노드의 출력에 턴온 여부가 결정되는 제3-22트랜지스터와; 상기 제2노드와 접지전원단 사이에 연결되고 상기 개시신호단의 출력에 턴온 여부가 결정되는 제3-23트랜지스터와; 상기 제2노드와 접지전원단 사이에 연결되고 상기 Q 노드의 출력에 턴온 여부가 결정되는 제3-24트랜지스터와; 상기 제2노드와 접지전원단 사이에 연결되고 상기 개시신호단의 출력에 턴온 여부가 결정되는 제3-25트랜지스터와; 제1클럭입력단과 본단 스테이지의 게이트신호출력단 사이에 연결되고 상기 Q 노드의 출력에 턴온 여부가 결정되는 제4트랜지스터와; 상기 제1QB 노드와 접지전원단 사이에 연결되고 상기 제2구동전원단 출력에 턴온 여부가 결정되는 제5-11트랜지스터와; 상기 제1QB 노드와 접지전원단 사이에 연결되고 상기 Q 노드의 출력에 턴온 여부가 결정되는 제5-12트랜지스터와; 상기 제2QB 노드와 접지전원단 사이에 연결되고 상기 개시신호에 턴온 여부가 결정되는 제5-13트랜지스터와; 상기 제2QB 노드와 접지전원단 사이에 연결되고 상기 제1구동전원단 출력에 턴온 여부가 결정되는 제5-21트랜지스터와; 상기 제2QB 노드와 접지전원단 사이에 연결되고 상기 Q 노드의 출력에 턴온 여부가 결정되는 제5-22트랜지스터와; 상기 제2QB 노드와 접지전원단 사이에 연결되고 상기 개시신호단의 출력에 턴온 여부가 결정되는 제5-23트랜지스터와; 상기 Q 노드와 접지전원단 사이에 연결되고 상기 제1QB 노드의 출력에 턴온 여부가 결정되는 제6-1트랜지스터와; 상기 Q 노드와 접지전원단 사이에 연결되고 상기 제2QB 노드의 출력에 턴온 여부가 결정되는 제6-2트랜지스터와; 상기 본단 스테이지의 게이트신호출력단과 접지전원단 사이에 연결되고 상기 제1QB노드의 출력에 턴온 여부가 결정되는 제7-1트랜지스터와; 상기 본단 스테이지의 게이트신호출력단과 접지전원단 사이에 연결되고 상기 제2QB 노드의 출력에 턴온 여부가 결정되는 제7-2트랜지스터를 포함하여 일 스테이지를 구성하는 액정표시장치 게이트 구동용 쇠프트레지스터를 제안한다.

아울러, 본 발명의 제5실시예로서,

제1구동전원단과 Q 노드 사이에 연결되고, 이전단 스테이지의 게이트 출력신호가입력되는 개시신호단의 출력에 턴온 여부가 결정되는 제1트랜지스터와; 상기 Q 노드와 접지전원단 사이에 연결되고, 다음단 스테이지의 게이트 출력신호에 턴온 여부가 결정되는 제2트랜지스터와; 제2구동전원단과 제1노드 사이에 다이오드 커넥팅된 제3-11트랜지스터와; 상기 제2구동전원단과 제1QB 노드 사이에 연결되고 상기 제1노드의 출력에 턴온 여부가 결정되는 제3-12트랜지스터와; 상기 제1노드와 접지전원단 사이에 연결되고 상기 개시신호단의 출력에 턴온 여부가 결정되는 제3-13트랜지스터와; 상기 제1노드와 접지전원단 사이에 연결되고 상기 Q 노드의 출력에 턴온 여부가 결정되는 제3-14트랜지스터와; 상기 제1노드와 접지전원단 사이에 연결되고 상기 개시신호단의 출력에 턴온 여부가 결정되는 제3-15트랜지스터와; 제3동전원단과 제2노드 사이에 다이오드 커넥팅된 제3-21트랜지스터와; 상기 제3구동전원단과 제2QB노드 사이에 연결되고 상기 제2노드의 출력에 턴온 여부가 결정되는 제3-22트랜지스터와; 상기 제2노드와 접지전원단 사이에 연결되고 상기 개시신호단의 출력에 턴온 여부가 결정되는 제3-23트랜지스터와; 상기 제2노드와 접지전원단 사이에 연결되고 상기 Q 노드의 출력에 턴온 여부가 결정되는 제3-24트랜지스터와; 상기 제2노드와 접지전원단 사이에 연결되고 상기 개시신호단의 출력에 턴온 여부가 결정되는 제3-25트랜지스터와; 제1클럭입력단과 본단 스테이지의 게이트신호출력단 사이에 연결되고 상기 Q 노드의 출력에 턴온 여부가 결정되는 제4트랜지스터와; 상기 제1QB 노드와 접지전원단 사이에 연결되고 상기 제2QB 노드의 출력에 턴온 여부가 결정되는 제5-11트랜지스터와; 상기 제1QB 노드와 접지전원단 사이에 연결되고 상기 Q 노드의 출력에 턴온 여부가 결정되는 제5-12트랜지스터와; 상기 제1QB 노드와 접지전원단 사이에 연결되고 상기 개시신호단의 출력에 턴온 여부가 결정되는 제5-13트랜지스터와; 상기 제2QB 노드와 접지전원단 사이에 연결되고 상기 제1QB 노드의 출력에 턴온 여부가 결정되는 제5-21트랜지스터와; 상기 제2QB 노드와 접지전원단 사이에 연결되고 상기 Q 노드의 출력에 턴온 여부가 결정되는 제5-22트랜지스터와; 상기 제2QB 노드와 접지전원단 사이에 연결되고 상기 개시신호단의 출력에 턴온 여부가 결정되는 제5-23트랜지스터와; 상기 Q 노드와 접지전원단 사이에 연결되고 상기 제1QB 노드의 출력에 턴온 여부가 결정되는 제6-1트랜지스터와; 상기 Q 노드와 접지전원단 사이에 연결되고 상기 제2QB 노드의 출력에 턴온 여부가 결정되는 제6-2트랜지스터와; 상기 본단 스테이지의 게이트신호출력단과 접지전원단 사이에 연결되고 상기 제1QB 노드의 출력에 턴온 여부가 결정되는 제7-1트랜지스터와; 상기 본단 스테이지의 게이트신호출력단과 접지전원단 사이에 연결되고 상기 제2QB 노드의 출력에 턴온 여부가 결정되는 제7-2트랜지스터를 포함하여 일 스테이지를 구성하는 액정표시장치 게이트 구동용 쉬프트레지스터를 제안한다.

여기서, 상기 제4 내지 제5실시예에 공통되는 특징으로,

상기 제2 및 제3구동전원은, 동일한 주기를 가지며 위상이 서로 반대인 펄스인 것을 특징으로 한다.

상기 제2 및 제3구동전원은, 각 전원이 인가되는 시간이 액정표시장치 패널의 1 프레임 구동 주기 이상인 것을 특징으로 한다.

상기 제2 및 제3구동전원은 상기 제1구동전원과 같거나 더욱 큰 전압레벨을 가지는 것을 특징으로 한다.

상기 각 트랜지스터는 비정질 실리콘 박막 트랜지스터인 것을 특징으로 한다.

상기 각 트랜지스터는 N 타입인 것을 특징으로 한다.

상기 클럭은 최소 액정표시장치 패널의 일 게이트라인의 턴온 시간 동안 하이 레벨을 유지하는 전압신호인 것을 특징으로 한다.

이하 첨부된 도면을 참조하여 본 발명에 따른 액정표시장치용 쉬프트레지스터 각각의 실시예에 대해 설명한다.

제1실시예

도 8은 본 발명에 따른 액정표시장치 게이트 구동용 쉬프트레지스터의 M 번째 스테이지 회로의 제1실시예 도면이다.

구조의 특징을 보면, 회로를 액정표시패널의 프레임별로 교차 구동하기 위한 제1구동전원(VDD-o)과 제2구동전원(VDD-e)이 입력되며, 게이트신호출력단(Nout)으로 게이트구동신호(V_{out_M})를 출력하기 위한 임의의 제1클럭(CLK1)이 입력된

다. 회로의 최초 구동을 위한 개시신호(V_{st})는 이전단 스테이지 회로($M-1$ 번째 스테이지 회로)의 게이트출력신호($V_{out_{(M-1)}}$)가 입력되며, 게이트구동신호(V_{out_N})의 출력 후 Q 노드(Q)의 방전을 위한 신호로서 다음단 스테이지 회로($M+1$ 번째 스테이지 회로)의 게이트구동신호($V_{out_{(M+1)}}$)가 입력되는 구조이다.

상기 제1 및 제2구동전원($VDD-o$, $VDD-e$)은 각각 하이 레벨 인가시간이 패널의 1프레임 구동 시간 이상이며 동일한 주기를 가지는 서로 반대 위상의 전압펄스이고, 상기 제1클럭(CLK1)은 최소 일 게이트라인의 턴온 시간동안 하이 레벨을 유지하는 전압신호이다.

또한 각각 다이오드 커넥팅된 제3트랜지스터군($T3-o$, $T3-e$)과 제5트랜지스터군($T5-o1$, $T5-o2$, $T5-e1$, $T5-e2$)은 각각 홀수 번째 및 짝수 번째 구동 프레임 순으로 교차 입력되는 제1구동전원($VDD-o$)과 제2구동전원($VDD-e$)을 입력받아 동작을 수행하면서 제1QB노드 및 제2QB노드($QB-o$, $QB-e$)를 교차 충/방전시킴으로서 풀-다운 트랜지스터($T6-o$, $T6-e$, $T7-o$, $T7-e$)에 지속적인 하이 바이어스 스트레스가 인가되는 것을 방지하기 위한 구조이며, 입력되는 상기 제1 및 제2구동전원($VDD-o$, $VDD-e$)은 하이 레벨 및 로우 레벨의 신호가 프레임 구동 주기 시간마다 반복되어 입력된다. 여기서, 상기 각 구동전원($VDD-o$, $VDD-e$)의 로우 레벨은 하이레벨 신호의 반대극성 또는 접지전원(VSS) 레벨이다.

아울러, 상기 제3트랜지스터군($T3-o$, $T3-e$)의 동작에 따라 제1QB노드 및 제2QB노드($QB-o$, $QB-e$)에 인가되는 하이 레벨 바이어스(즉, 하이 레벨 전압)를 로우 상태로 전환시키기 위해 제5트랜지스터군($T5-o1$, $T5-o2$, $T5-e1$, $T5-e2$)이 각각 구성된다. 여기서 각 트랜지스터는 비정질 실리콘 박막 트랜지스터(a-Si TFT)이며, 모두 N 타입이다.

이러한 구조의 특징을 가지는 본 발명 제1실시예에 따른 스테이지 회로의 동작을 살펴보면 다음과 같다. 여기서, 회로의 동작을 위한 개시신호 및 클럭신호는 도 4에 도시된 타이밍도와 동일하게 입력된다.

먼저, 액정표시패널의 홀수 번째 프레임 구동의 경우 제1구동전원($VDD-o$)은 하이 레벨이며 제2구동전원($VDD-e$)은 로우 레벨로 입력되며, 이전단 스테이지 회로($M-1$ 번째)의 게이트구동신호를 개시신호로 입력받은 제1트랜지스터($T1$)는 온(on) 상태가 되어 Q 노드(Q)를 충전한다. 이때, 제3-1트랜지스터($T3-o$)의 다이오드 커넥팅에 의해 제1QB노드($QB-o$)는 제1구동전원($VDD-o$)의 입력으로 하이 레벨로 충전된다.

이후 상기 제1클럭(CLK1)이 제4트랜지스터($T4$)에 인가되면 Q 노드(Q)는 부트스트랩에 의해 전압이 더욱 상승하게 되고, 이에 상기 제4트랜지스터($T4$)의 게이트 단자를 온(on)시켜 M 번째 게이트구동신호(V_{out_M})를 출력하게 된다. 이때의 게이트구동신호 출력은 다음단 스테이지 회로($M+1$ 번째 스테이지 회로)의 개시신호로 입력되며, 다음단 스테이지 회로($M+1$ 번째)의 게이트구동신호 출력($V_{out_{(M+1)}}$)이 제2트랜지스터($T2$)로 입력되면 Q 노드(Q)는 방전되어 게이트구동신호 출력은 중지된다.

다음으로 패널의 짝수 번째 프레임 구동의 경우, 제1구동전원($VDD-o$)은 로우 레벨로 제2구동전원($VDD-e$)은 하이 레벨로 전환되며, 이전 프레임 구동에서 상기 제3-1트랜지스터($T3-o$)에 의해 충전되어 하이 레벨이던 제1QB노드($QB-o$)는 제5-11트랜지스터($T5-o1$)에 의해 방전되어 로우 레벨로 전환되기 때문에 제6-1 및 제7-1트랜지스터($T6-o$, $T7-o$)는 방전을 통한 역 레벨 바이어스 인가에 의해 지속적 하이 바이어스 스트레스 조건을 회피하게 된다.

또한 상기 제3-1트랜지스터($T3-o$) 역시 제1구동전원($VDD-o$)의 전압 레벨 전환에 따른 역 바이어스인가로 특성 변화가 억제되어 소자 안정화 및 수명 향상의 효과가 발생한다.

동작을 계속 살펴보면, 이전단 스테이지 회로($M-1$ 번째)의 게이트구동신호를 개시신호로 입력받은 제1트랜지스터($T1$)는 온(on) 상태가 되어 Q 노드(Q)를 충전한다.

이후 상기 제1클럭(CLK1)이 제4트랜지스터($T4$)에 인가되면 Q 노드는 부트스트랩에 의해 전압이 더욱 상승하게 되고 이에 상기 제4트랜지스터($T4$)를 온(on)시켜 게이트구동신호(V_{out_M})를 출력하게 된다.

이때의 게이트구동신호 출력은 다음단 스테이지 회로($M+1$ 번째)의 개시신호로 입력되며 다음단 스테이지 회로의 게이트구동신호 출력($V_{out_{(M+1)}}$)이 제2트랜지스터($T2$)로 입력되면 Q 노드는 방전된다.

이후 패널의 홀수 번째 프레임 구동이 다시 시작되면 제1구동전원(VDD-o)은 하이 레벨로 제2구동전원(VDD-e)은 로우 레벨로 전환되며, 이전 프레임 구동에서 상기 제3-2트랜지스터(T3-e)에 의해 하이 레벨이던 제2QB노드(QB-e)는 제5-21트랜지스터(T5-e1)에 의해 방전되어 로우 레벨로 전환되어 제6-2 및 제7-2트랜지스터(T6-e, T7-e)는 역 레벨 바이어스에 의해 지속적인 하이 바이어스 스트레스 조건을 회피하게 된다.

또한 상기 제3-2트랜지스터(T3-e) 역시 전압 레벨 전환에 따른 역 바이어스인가로 특성 변화가 억제되어 소자 안정화 및 수명 향상의 효과가 발생한다.

제2실시예

도 9는 본 발명에 따른 액정표시장치 게이트 구동용 쉬프트레지스터 스테이지 회로의 제2실시예 도면이다.

구조의 특징을 보면, 회로를 액정표시패널의 프레임 순으로 교차 구동하기 위한 제1구동전원(VDD-o)과 제2구동전원(VDD-e)이 입력되며, 게이트신호출력단(Nout)으로 게이트구동신호(V_{out_M})를 출력하기 위한 임의의 제1클럭(CLK1)이 입력된다.

회로의 최초 구동을 위한 개시신호(V_{st})는 이전단 스테이지 회로(M-1번째 스테이지 회로)의 게이트출력신호($V_{out_{(M-1)}}$)가 입력되며, 게이트구동신호(V_{out_N})의 출력 후 Q 노드(Q)의 방전을 위한 신호로서 다음단 스테이지 회로(M+1번째 스테이지 회로)의 게이트구동신호($V_{out_{(M+1)}}$)가 입력되는 구조이다.

상기 제1 및 제2구동전원(VDD-o, VDD-e)은 각각 하이 레벨 인가시간이 패널의 1프레임 구동 시간 이상이며 동일한 주기를 가지는 반대 위상의 전압펄스이고, 상기 제1클럭(CLK1)은 최소 일 게이트라인의 턴온 시간동안 하이 레벨을 유지하는 전압신호이다. 또한, 상기 각 구동전원(VDD-o, VDD-e)의 로우 레벨은 하이레벨 신호의 반대극성 또는 접지전원(VSS) 레벨이다.

또한, 액정표시패널의 홀수 번째 및 짝수 번째 구동 프레임 별로 교차 입력되는 제1구동전원(VDD-o)과 제2구동전원(VDD-e)을 입력받으며, 이전단 스테이지 회로(M-1번째 스테이지 회로)의 게이트구동신호를 개시신호(V_{st})로 입력받아 동작되는 인버터(Inverter) 구조의 제3트랜지스터군(T3: T3-o1~T3-o4, T3-e1~T3-e4)의 구동에 의해 제1QB노드 및 제2QB노드(QB-o, QB-e)에 연결된 풀-다운 트랜지스터(T6-o, T6-e 및 T7-o, T7-e)의 하이 바이어스 스트레스를 저감시키는 구조이다. 역시, 상기 각 구동전원(VDD-o, VDD-e)은 하이 레벨 및 로우 레벨의 신호가 패널의 프레임 구동 주기를 가지고 교차되어 입력된다.

이하 액정표시패널의 홀수 번째 프레임 구동에서의 회로 동작을 설명하는데, 회로의 동작을 위한 개시신호(V_{st}) 및 클럭신호(CLK1)는 도 4에 도시된 바와 같이 입력된다.

제1구동전원(VDD-o)은 하이 레벨로 제2구동전원(VDD-e)은 로우 레벨로 입력되며, 이전단 스테이지 회로의 게이트구동신호를 개시신호(V_{st})로 입력받은 제1트랜지스터(T1)는 온(on) 상태가 되어 Q 노드(Q)를 충전한다.

이때 제5-11트랜지스터(T5-o1)와 제5-12트랜지스터(T5-o2)에 의해 제1QB노드(QB-o)는 방전되어 로우 레벨 상태가 된다.

동시에, 제3트랜지스터군(T3)의 제3-13트랜지스터(T3-o3)가 온(on)되어 제3-12트랜지스터(T3-o2)의 게이트 단자에 인가되는 전압을 로우 레벨상태로 전환시켜 제3-12트랜지스터(T3-o2)를 오프(off)시킨다. 따라서, 제1QB노드(QB-o)는 여전히 충전되지 않는 상태이다.

이후 상기 제1클럭(CLK1)이 제4트랜지스터(T4)에 인가되면 Q 노드(Q)는 부트스트랩에 의해 전압이 더욱 상승하게 되고, 이에 상기 제4트랜지스터(T4)의 게이트를 온(on)시켜 게이트구동신호(V_{out_M})를 출력하게 된다. 이때의 게이트구동신호 출력은 다음단 스테이지 회로(M+1번째 스테이지 회로)의 개시신호로 입력되며 다음단 스테이지 회로의 게이트구동신호($V_{out_{(M+1)}}$) 출력이 제2트랜지스터(T2)로 입력되면 Q 노드(Q)는 방전되어 게이트구동신호의 출력은 중지된다.

상기 Q노드(Q)의 방전에 의해 상기 제3-13트랜지스터(T3-o3)가 오프(off)되며, 이에 다이오드 커넥팅된 제3-11트랜지스터(T3-o1)에 의해 상기 제3-12트랜지스터(T3-o2)가 온(on) 상태로 전환되어 제1QB노드(QB-o)를 제1구동전원(VDD-o) 레벨로 다시 충전시킨다.

다음으로 액정표시패널의 짹수 번째 프레임 구동에서의 회로 동작을 설명한다.

제1구동전원(VDD-o)은 로우 레벨이며 제2구동전원(VDD-e)은 하이 레벨로 입력되며, 이전단 스테이지 회로의 게이트구동신호를 개시신호(Vst)로 입력받은 제1트랜지스터(T1)는 온(on) 상태가 되어 Q 노드(Q)를 충전한다.

이때 제5-21트랜지스터(T5-e1)와 제5-22트랜지스터(T5-e2)에 의해 제2QB노드(QB-e)는 방전되어 로우 레벨 상태가 된다.

동시에, 제3트랜지스터군(T3)의 제3-23트랜지스터(T3-e3)가 온(on)되어 제3-22트랜지스터(T3-e2)의 게이트 단자에 인가되는 전압을 로우 레벨상태로 전환시켜 제3-22트랜지스터(T3-e2)를 오프(off)시킨다. 따라서, 제2QB노드(QB-e)는 여전히 충전되지 않는 상태이다.

이후 상기 제1클럭(CLK1)이 제4트랜지스터(T4)에 인가되면 Q노드(Q)는 부트스트랩에 의해 전압이 더욱 상승하게 되고, 이에 상기 제4트랜지스터(T4)의 게이트를 온(on)시켜 게이트구동신호(V_{out_M})를 출력하게 된다. 이때의 게이트구동신호 출력은 다음단 스테이지 회로의 개시신호로 입력되며 다음단 스테이지 회로의 게이트구동신호 출력이 제2트랜지스터(T2)로 입력되면 Q노드(Q)는 방전되어 게이트구동신호의 출력은 중지된다.

상기 Q노드(Q)의 방전에 의해 상기 제3-24트랜지스터(T3-e4)가 오프(off)되며, 이에 다이오드 커넥팅된 제3-21트랜지스터(T3-e1)에 의해 상기 제3-22트랜지스터(T3-e2)가 온(on) 상태로 전환되어 제2QB노드(QB-e)를 다시 충전시킨다. 이후 다시 상기 설명한 훌, 짹수번 프레임별 구동이 반복된다.

상기와 같이 설명한 도 9의 제2실시예 회로는, 액정표시장치 구동에 따른 훌수 번째 및 짹수 번째 프레임별로 인가되는 제1 및 제2구동전원(VDD-o, VDD-e)에 의해 제1 및 제2QB노드(QB-o, QB-e)에 각각 역 바이어스가 인가되어 풀-다운 트랜지스터(T7-o, T7-e, T8-o, T8-e)의 지속적인 하이 바이어스 인가를 방지하며, 제3트랜지스터군(T3) 소자 역시 전압 레벨 전환에 따른 역 바이어스인가로 특성 변화가 억제되어 트랜지스터 소자의 안정화 및 수명 향상 효과가 발생한다.

제3실시예

도 10은 본 발명에 따른 액정표시장치 게이트 구동용 쉬프트레지스터 스테이지 회로의 제3실시예 도면이다.

도시된 제3실시예의 회로는 전술한 도 9의 제2실시예의 회로와 그 구동원리는 동일하며, 그 차이점은 본 제3실시예의 쉬프트레지스터 스테이지 회로에서는 구동전원의 전압이 변화될 때 제3-14 및 제3-24트랜지스터(T3-o4)(T3-e4)에 의한 제1QB노드 및 제2QB노드(QB-o, QB-e)의 리셋(reset)을 위한 신호로 제3-14트랜지스터(T3-o4)에는 제2구동전원(VDD-e)을, 제3-24트랜지스터(T3-e4)에는 제1구동전원(VDD-o)을 인가하는데 있다.

또한 본 실시예에서 구성된 각 트랜지스터는 비정질 실리콘 박막 트랜지스터이며, 아울러 상기 각 트랜지스터는 N 타입인 것이 특징이다.

아울러, 액정표시장치의 훌수 번째 및 짹수 번째 구동 프레임 별로 교차 입력되는 제1구동전원(VDD-o)과 제2구동전원(VDD-e)을 입력받아 구동되는 인버터 구조의 제3트랜지스터군(T3)의 구동에 의해 제1 및 제2QB노드(QB-o, QB-e)에 연결된 풀-다운 트랜지스터(T6-o, T6-e, T7-o, T7-e)의 하이 바이어스 스트레스를 저감시키고, 아울러 제3트랜지스터군(T3) 역시 전압 레벨 전환에 따른 역 바이어스인가로 특성 변화가 억제되어 트랜지스터 소자 안정화 및 수명 향상의 효과를 도출할 수 있는 구조이다.

제4실시예

도 11은 본 발명에 따른 액정표시장치 게이트 구동용 쉬프트레지스터 M번째 스테이지 회로의 제4실시예 도면이다.

구조의 특징을 보면, 회로를 액정표시패널의 프레임별로 교차 구동하기 위한 제1구동전원(VDD-o)과 제2구동전원(VDD-e)이 입력되며, 게이트신호출력단(Nout)으로 게이트구동신호(V_{out_M})를 출력하기 위한 임의의 제1클럭(CLK1)이 입력된다. 회로의 최초 구동을 위한 개시신호(Vst)는 이전단 스테이지 회로(M-1번째 스테이지 회로)의 게이트출력신호{ $V_{out_{(M-1)}}$ }가 입력되며, 게이트구동신호(V_{out_M})의 출력 후 Q 노드(Q)의 방전을 위한 신호로서 다음단 스테이지 회로(M+1번째 스테이지 회로)의 게이트구동신호{ $V_{out_{(M+1)}}$ }가 입력되는 구조이다.

또한, 프레임별로 교차 구동되는 제1구동전원(VDD-o)과 제2구동전원(VDD-e)에 의해 제1QB노드 및 제2QB노드(QB-o, QB-e)에 연결된 풀-다운 트랜지스터(T6-o, T7-o 및 T6-e, T7-e)의 바이어스 스트레스 저감과 리셋을 위한 방전이 제1QB노드 및 제2QB노드(QB-o, QB-e)에서 수행되도록 하여 전술한 제1~제3실시예에 비해 보다 빠른 방전 특성을 가지고도록 하는 특징이 있다.

상기 제1 및 제2구동전원(VDD-o, VDD-e)은 하이 레벨 인가시간이 패널의 1프레임 구동 시간 이상이며 동일한 주기를 가지는 서로 반대 위상의 전압펄스이고, 상기 제1클럭(CLK1)은 최소 일 게이트라인의 턴온 시간동안 하이 레벨을 유지하는 전압신호이다. 또한, 상기 각 구동전원(VDD-o, VDD-e)의 로우 레벨은 하이레벨 신호의 반대극성 또는 접지전원(VSS) 레벨이다.

액정표시패널의 홀수 번째 및 짹수 번째 구동 프레임 별로 교차 입력되는 제1구동전원(VDD-o)과 제2구동전원(VDD-e)을 입력받으며, 이전단 스테이지 회로의 게이트구동신호를 개시신호(Vst)로 입력받아 동작되는 인버터(Inverter) 구조의 제3트랜지스터군(T3: T3-o1~T3-o5, T3-e1~T3-e5)의 구동에 의해 제1QB노드 및 제2QB노드(QB-o, QB-e)에 연결된 풀-다운 트랜지스터(T6-o, T7-o 및 T6-e, T7-e)의 하이 바이어스 스트레스를 저감시키는 구조이다. 역시, 상기 각 구동전원(VDD-o, VDD-e)은 하이 레벨 및 로우 레벨의 신호가 프레임 구동 주기를 가지고 교차되어 입력된다.

또한 제1트랜지스터(T1)는 지속적으로 하이 레벨을 가지는 구동전원(VDD)을 입력받으며, 이때 상기 제1구동전원(VDD-o)과 제2구동전원(VDD-e)의 하이 레벨 전압은 상기 구동전원(VDD)의 하이 레벨 전압과 같거나 높은 것이 특징이다.

이하 액정표시패널의 홀수 번째 프레임 구동에서의 회로 동작을 설명하며, 회로의 동작을 위한 개시신호 및 클럭신호는 도 4에 도시된 바와 같이 입력된다. 제1구동전원(VDD-o)은 하이 레벨이며 제2구동전원(VDD-e)은 로우 레벨로 입력되며, 이전단 스테이지 회로(M-1번째 회로)의 게이트구동신호{ $V_{out_{(M-1)}}$ }를 개시신호(Vst)로 입력받은 제1트랜지스터(T1)는 온(on) 상태가 되어 Q 노드(Q)를 충전한다.

이때 제5-12트랜지스터(T5-o2)와 제5-13트랜지스터(T5-o3)에 의해 제1QB노드(QB-o)는 방전되어 로우 레벨 상태가 된다. 제5-11(T5-o1)트랜지스터는 제2구동전원(VDD-e) 인가에 의해 로우 레벨이므로 오프(off) 상태이다.

동시에, 제3트랜지스터군(T3)의 제3-13트랜지스터(T3-o3)와 제3-15트랜지스터(T3-o5)가 온(on)되어 제3-12트랜지스터(T3-o2)의 게이트 단자에 인가되는 전압을 로우 레벨상태로 전환시켜 제3-12트랜지스터(T3-o2)를 오프(off)상태로 유지시킨다. 따라서, 제1QB노드(QB-o)는 충전되지 않는 상태이다.

이후 상기 제1클럭(CLK1)이 제4트랜지스터(T4)에 인가되면 Q 노드(Q)는 부트스트랩에 의해 전압이 더욱 상승하게 되고, 이에 상기 제4트랜지스터(T4)의 게이트를 온(on)시켜 게이트구동신호(V_{out_M})를 출력하게 된다. 이때의 게이트구동신호 출력은 다음단 스테이지 회로의 개시신호로 입력되며, 다음단 스테이지 회로의 게이트구동신호 출력{ $V_{out_{(M+1)}}$ }이 제2트랜지스터(T2)로 입력되면 Q 노드(Q)는 방전되어 게이트구동신호의 출력은 중지된다.

상기 Q노드(Q)의 방전과 상기 개시신호(Vst)의 로우 레벨 전환으로 상기 제3-13트랜지스터(T3-o3)와 제3-14트랜지스터(T3-o4)가 오프(off) 상태로 전환되며, 이에 다이오드 커넥팅된 제3-11트랜지스터(T3-o1)에 의해 상기 제3-12트랜지스터(T3-o2)가 온(on) 상태로 전환되어 제1구동전원(VDD-o)이 제1QB노드(QB-o)에 인가되어 다시 충전시킨다.

다음으로 액정표시패널의 짹수 번째 프레임 구동에서의 회로 동작을 설명한다.

제1구동전원(VDD-o)은 로우 레벨이며 제2구동전원(VDD-e)은 하이 레벨로 입력되며, 이전단 스테이지 회로의 게이트구동신호{ $V_{out_{(M-1)}}$ }를 개시신호(Vst)로 입력받은 제1트랜지스터(T1)는 온(on) 상태가 되어 Q 노드(Q)를 충전한다.

이 때 제5-22트랜지스터(T5-e2)와 제5-23트랜지스터(T5-e3)에 의해 제2QB노드(QB-e)는 방전되어 로우 레벨 상태가 된다. 제5-21트랜지스터(T5-e1)는 로우 레벨의 제1구동전원(VDD-o)의 인가로 오프(off) 상태이다.

동시에, 제3트랜지스터군(T3)의 제3-23트랜지스터(T3-e3)와 제3-25트랜지스터(T3-e5)트랜지스터가 온(on)되어 제3-22트랜지스터(T3-e2)의 게이트 단자에 인가되는 전압을 로우 레벨상태로 전환시켜 제3-22트랜지스터(T3-e2)를 오프(off)상태로 유지시킨다. 따라서, 제2QB노드(QB-e)는 충전되지 않는 상태이다.

이후 상기 제1클럭(CLK1)이 제4트랜지스터(T4)에 인가되면 Q노드(Q)는 부트스트랩에 의해 전압이 더욱 상승하게 되고, 이에 상기 제4트랜지스터(T4)의 게이트를 온(on)시켜 게이트구동신호(V_{out_M})를 출력하게 된다. 이 때의 게이트구동신호 출력은 다음단 스테이지 회로(M+1번째 스테이지 회로)의 개시신호로 입력되며, 다음단 스테이지 회로의 게이트구동신호 출력($V_{out_{(M+1)}}$)이 제2트랜지스터(T2)로 입력되면 Q노드(Q)는 방전되어 게이트구동신호의 출력은 중지된다.

상기 Q노드(Q)의 방전과 개시신호(V_{st})의 로우 레벨 전환에 의해 상기 제3-23트랜지스터(T3-e3)와 제3-24트랜지스터(T3-e4)가 오프(off)되며, 이에 다이오드 커넥팅된 제3-21트랜지스터(T3-e1)에 의해 상기 제3-22트랜지스터(T3-e2)가 온(on) 상태로 전환되어 제2구동전원(VDD-e)을 제2QB노드(QB-e)에 인가하여 다시 충전시킨다.

상기와 같이 설명한 도 11의 제4실시예 회로는, 액정표시장치 구동에 따른 홀수 번째 및 짝수 번째 프레임별로 인가되는 제1 및 제2구동전원(VDD-o, VDD-e)에 의해 제1 및 제2QB노드(QB-o, QB-e)에 빠르게 각각 역 바이어스가 인가되는 구동을 수행하며, 제3트랜지스터군(T3) 역시 인가 전압의 레벨 전환에 따른 역 바이어스인가로 특성 변화가 억제되어 트랜지스터 소자 안정화 및 수명 향상의 효과가 발생한다.

제5실시예

도 12는 본 발명에 따른 액정표시장치 게이트 구동용 쉬프트레지스터 M번째 스테이지 회로의 제5실시예 도면이다.

도시된 제5실시예의 회로는 전술한 도 11의 제4실시예의 회로와 그 구동원리는 동일하며, 특히 본 제5실시예의 쉬프트레지스터 스테이지 회로에서는, 제1QB노드 및 제2QB노드(QB-o, QB-e)의 충전에 따라 풀-다운 트랜지스터(T6-o, T7-o 및 T6-e, T7-e)의 바이어스 스트레스 저감과 리셋을 위한 방전이 제1QB노드 및 제2QB노드(QB-o, QB-e)에서 빠르게 수행되도록 하는데, 전술한 제4실시예의 쉬프트레지스터 스테이지 회로에서 제5-11트랜지스터 및 제5-21트랜지스터(T5-o1, T5-e1)가 각각 제2QB노드(QB-e)와 제1QB노드(QB-o)의 출력에 의해 턴온여부가 결정되도록 하여 제1QB노드(QB-o)와 제2QB노드(QB-e)의 방전을 수행하도록 하는데, 그 동작 결과 프레임별로 구동되는 동작특성(즉, 드레인단자에 연결된 각 QB노드의 방전)이 보다 정확하게 수행되는 특징이 있다.

아울러, 액정표시장치의 홀수 번째 및 짝수 번째 구동 프레임 별로 교차 입력되는 제1구동전원(VDD-o)과 제2구동전원(VDD-e)을 입력받아 구동되는 인버터 구조의 제3트랜지스터군(T3)의 구동에 의해 제1 및 제2QB노드(QB-o, QB-e)에 연결된 풀-다운 트랜지스터(T6-o, T6-e, T7-o, T7-e)의 하이 바이어스 스트레스를 저감시키고, 아울러 제3트랜지스터군(T3) 역시 전압 레벨 전환에 따른 역 바이어스인가로 특성 변화가 억제되어 트랜지스터 소자 안정화 및 수명 향상의 효과를 도출할 수 있는 구조이다.

발명의 효과

상기와 같이 설명한 본 발명에 따른 액정표시장치 게이트 구동용 쉬프트레지스터는, 스테이지 회로의 비정질 실리콘 박막 트랜지스터, 특히 풀-다운 구동부 트랜지스터뿐만 아니라 풀-다운 구동부 트랜지스터의 구동을 제어하는 트랜지스터에서 발생되는 바이어스에 의한 소자 특성 변화를 최소화 시켜주는 이점이 있다.

즉, 지속되는 바이어스인가로 인해 특성변화가 유발되지 않도록 페어(pair)로 트랜지스터를 구성하여 구동과 비구동 휴지 구간이 반복되도록 함과 동시에, 비구동 휴지 기간에는 역 바이어스 또는 기저전원에 해당하는 바이어스를 인가하여 줌으로써 구동에서 인가된 바이어스 스트레스를 상쇄시켜 주어 회로 구동을 수행하는 각 비정질 실리콘 박막트랜지스터의 소자안정화를 통한 회로의 정상구동 및 수명 연장 효과가 있다.

(57) 청구의 범위

청구항 1.

이 전단 스테이지의 게이트 출력신호가 입력되는 개시신호단과 Q 노드 사이에 다이오드 커넥팅된 제1트랜지스터와;
 상기 Q 노드와 접지전원단 사이에 연결되고, 다음단 스테이지의 게이트 출력신호에 턴온 여부가 결정되는 제2트랜지스터와;
 제1구동전원단과 제1QB 노드 사이에 다이오드 커넥팅된 제3-1트랜지스터와;
 제2구동전원단과 제2QB 노드 사이에 다이오드 커넥팅된 제3-2트랜지스터와;
 제1클럭입력단과 본단 스테이지의 게이트신호출력단 사이에 연결되고 상기 Q 노드의 출력에 턴온 여부가 결정되는 제4트랜지스터와;
 상기 제1QB 노드와 접지전원단 사이에 연결되고 상기 제2구동전원단의 출력에 턴온 여부가 결정되는 제5-11트랜지스터와;
 상기 제1QB 노드와 접지전원단 사이에 연결되고 상기 Q 노드의 출력에 턴온 여부가 결정되는 제5-12트랜지스터와;
 상기 제2QB 노드와 접지전원단 사이에 연결되고 상기 Q 노드의 출력에 턴온 여부가 결정되는 제5-22트랜지스터와;
 상기 Q 노드와 접지전원단 사이에 연결되고 상기 제1QB 노드의 출력에 턴온 여부가 결정되는 제6-1트랜지스터와;
 상기 Q 노드와 접지전원단 사이에 연결되고 상기 제2QB 노드의 출력에 턴온 여부가 결정되는 제6-2트랜지스터와;
 상기 본단 스테이지의 게이트신호출력단과 접지전원단 사이에 연결되고 상기 제1QB노드의 출력에 턴온 여부가 결정되는 제7-1트랜지스터와;
 상기 본단 스테이지의 게이트신호출력단과 접지전원단 사이에 연결되고 상기 제2QB 노드의 출력에 턴온 여부가 결정되는 제7-2트랜지스터

를 포함하여 일 스테이지를 구성하는 액정표시장치 게이트 구동용 쉬프트레지스터

청구항 2.

청구항 제 1 항에 있어서,

상기 제1 및 제2구동전원은, 동일한 주기를 가지며 위상이 서로 반대인 펄스인 것을 특징으로 하는 액정표시장치 게이트 구동용 쉬프트레지스터

청구항 3.

청구항 제 1 항에 있어서,

상기 제1 및 제2 구동전원은, 각 전원이 인가되는 시간이 액정표시장치 패널의 1 프레임 구동 주기 이상인 것을 특징으로 하는 액정표시장치 게이트 구동용 쉬프트레지스터

청구항 4.

청구항 제 1 항에 있어서,

상기 각 트랜지스터는 비정질 실리콘 박막 트랜지스터인 것을 특징으로 하는 액정표시장치 게이트 구동용 쉬프트레지스터

청구항 5.

청구항 제 1 항에 있어서,

상기 각 트랜지스터는 N 타입인 것을 특징으로 하는 액정표시장치 게이트 구동용 쉬프트레지스터

청구항 6.

청구항 제 1 항에 있어서,

상기 클럭은 최소 액정표시장치 패널의 일 게이트라인의 턴온 시간 동안 하이 레벨을 유지하는 전압신호인 것을 특징으로 하는 액정표시장치 게이트 구동용 쉬프트레지스터

청구항 7.

이전단 스테이지의 게이트 출력신호가 입력되는 개시신호단과 Q 노드 사이에 다이오드 커넥팅된 제1트랜지스터와;

상기 Q 노드와 접지전원단 사이에 연결되고, 다음단 스테이지의 게이트 출력신호에 턴온 여부가 결정되는 제2트랜지스터와;

제1구동전원단과 제1노드 사이에 다이오드 커넥팅된 제3-11트랜지스터와;

상기 제1구동전원단과 제1QB 노드 사이에 연결되고 상기 제1노드의 출력에 턴온 여부가 결정되는 제3-12트랜지스터와;

상기 제1노드와 접지전원단 사이에 연결되고 상기 Q 노드의 출력에 턴온 여부가 결정되는 제3-13트랜지스터와;

상기 제1노드와 접지전원단 사이에 연결되고 상기 개시신호단의 출력에 턴온 여부가 결정되는 제3-14트랜지스터와;

제2구동전원단과 제2노드 사이에 다이오드 커넥팅된 제3-21트랜지스터와;

상기 제2구동전원단과 제2QB 노드 사이에 연결되고 상기 제2노드의 출력에 턴온 여부가 결정되는 제3-22트랜지스터와;

상기 제2노드와 접지전원단 사이에 연결되고 상기 개시신호단의 출력에 턴온 여부가 결정되는 제3-23트랜지스터와;

상기 제2노드와 접지전원단 사이에 연결되고 상기 Q 노드의 출력에 턴온 여부가 결정되는 제3-24트랜지스터와;

제1클럭입력단과 본단 스테이지의 게이트신호출력단 사이에 연결되고 상기 Q 노드의 출력에 턴온 여부가 결정되는 제4트랜지스터와;

상기 제1QB 노드와 접지전원단 사이에 연결되고 상기 Q 노드의 출력에 턴온 여부가 결정되는 제5-11트랜지스터와;

상기 제1QB 노드와 접지전원단 사이에 연결되고 상기 개시신호단의 출력에 턴온 여부가 결정되는 제5-12트랜지스터와;

상기 제2QB 노드와 접지전원단 사이에 연결되고 상기 Q 노드의 출력에 턴온 여부가 결정되는 제5-21트랜지스터와;
 상기 제2QB 노드와 접지전원단 사이에 연결되고 상기 개시신호단의 출력에 턴온 여부가 결정되는 제5-22트랜지스터와;
 상기 Q 노드와 접지전원단 사이에 연결되고 상기 제1QB 노드의 출력에 턴온 여부가 결정되는 제6-1트랜지스터와;
 상기 Q 노드와 접지전원단 사이에 연결되고 상기 제2QB 노드의 출력에 턴온 여부가 결정되는 제6-2트랜지스터와;
 상기 본단 스테이지의 게이트신호출력단과 접지전원단 사이에 연결되고 상기 제1QB노드의 출력에 턴온 여부가 결정되는 제7-1트랜지스터와;
 상기 본단 스테이지의 게이트신호출력단과 접지전원단 사이에 연결되고 상기 제2QB 노드의 출력에 턴온 여부가 결정되는 제7-2트랜지스터
 를 포함하여 일 스테이지를 구성하는 액정표시장치 게이트 구동용 쉬프트레지스터

청구항 8.

청구항 제 7 항에 있어서,

상기 제1 및 제2구동전원은, 동일한 주기를 가지며 위상이 서로 반대인 펄스인 것을 특징으로 하는 액정표시장치 게이트 구동용 쉬프트레지스터

청구항 9.

청구항 제 7 에 있어서,

상기 제1 및 제2 구동전원은, 각 전원이 인가되는 시간이 액정표시장치 패널의 1 프레임 구동 주기 이상인 것을 특징으로 하는 액정표시장치 게이트 구동용 쉬프트레지스터

청구항 10.

청구항 제 7 항에 있어서,

상기 각 트랜지스터는 비정질 실리콘 박막 트랜지스터인 것을 특징으로 하는 액정표시장치 게이트 구동용 쉬프트레지스터

청구항 11.

청구항 제 7 항에 있어서,

상기 각 트랜지스터는 N 타입인 것을 특징으로 하는 액정표시장치 게이트 구동용 쉬프트레지스터

청구항 12.

청구항 제 7 항에 있어서,

상기 클럭은 최소 액정표시장치 패널의 일 게이트라인의 턴온 시간 동안 하이 레벨을 유지하는 전압신호인 것을 특징으로 하는 액정표시장치 게이트 구동용 쉬프트레지스터

청구항 13.

이 전단 스테이지의 게이트 출력신호가 입력되는 개시신호단과 Q 노드 사이에 다이오드 커넥팅된 제1트랜지스터와;
 상기 Q 노드와 접지전원단 사이에 연결되고, 다음단 스테이지의 게이트 출력신호에 턴온 여부가 결정되는 제2트랜지스터와;
 제1구동전원단과 제1노드 사이에 다이오드 커넥팅된 제3-11트랜지스터와;
 상기 제1구동전원단과 제1QB 노드 사이에 연결되고 상기 제1노드의 출력에 턴온 여부가 결정되는 제3-12트랜지스터와;
 상기 제1노드와 접지전원단 사이에 연결되고 상기 Q 노드의 출력에 턴온 여부가 결정되는 제3-13트랜지스터와;
 상기 제1노드와 접지전원단 사이에 연결되고 상기 제2구동전원단의 출력에 턴온 여부가 결정되는 제3-14트랜지스터와;
 상기 제2구동전원단과 제2노드 사이에 다이오드 커넥팅된 제3-21트랜지스터와;
 상기 제2구동전원단과 제2QB 노드 사이에 연결되고 상기 제2노드의 출력에 턴온 여부가 결정되는 제3-22트랜지스터와;
 상기 제2노드와 접지전원단 사이에 연결되고 상기 제1구동전원단의 출력에 턴온 여부가 결정되는 제3-23트랜지스터와;
 상기 제2노드와 접지전원단 사이에 연결되고 상기 Q 노드의 출력에 턴온 여부가 결정되는 제3-24트랜지스터와;
 제1클럭입력단과 본단 스테이지의 게이트신호출력단 사이에 연결되고 상기 Q 노드의 출력에 턴온 여부가 결정되는 제4트랜지스터와;
 상기 제1QB 노드와 접지전원단 사이에 연결되고 상기 Q 노드의 출력에 턴온 여부가 결정되는 제5-11트랜지스터와;
 상기 제1QB 노드와 접지전원단 사이에 연결되고 상기 개시신호단의 출력에 턴온 여부가 결정되는 제5-12트랜지스터와;
 상기 제2QB 노드와 접지전원단 사이에 연결되고 상기 Q 노드의 출력에 턴온 여부가 결정되는 제5-21트랜지스터와;
 상기 제2QB 노드와 접지전원단 사이에 연결되고 상기 개시신호단의 출력에 턴온 여부가 결정되는 제5-22트랜지스터와;
 상기 Q 노드와 접지전원단 사이에 연결되고 상기 제1QB 노드의 출력에 턴온 여부가 결정되는 제6-1트랜지스터와;
 상기 Q 노드와 접지전원단 사이에 연결되고 상기 제2QB 노드의 출력에 턴온 여부가 결정되는 제6-2트랜지스터와;
 상기 본단 스테이지의 게이트신호출력단과 접지전원단 사이에 연결되고 상기 제1QB노드의 출력에 턴온 여부가 결정되는 제7-1트랜지스터와;
 상기 본단 스테이지의 게이트신호출력단과 접지전원단 사이에 연결되고 상기 제2QB 노드의 출력에 턴온 여부가 결정되는 제7-2트랜지스터
 를 포함하여 일 스테이지를 구성하는 액정표시장치 게이트 구동용 쉬프트레지스터

청구항 14.

청구항 제 13 항에 있어서,

상기 제1 및 제2구동전원은, 동일한 주기를 가지며 위상이 서로 반대인 펄스인 것을 특징으로 하는 액정표시장치 게이트 구동용 쉬프트레지스터

청구항 15.

청구항 제 13 항에 있어서,

상기 제1 및 제2 구동전원은, 각 전원이 인가되는 시간이 액정표시장치 패널의 1 프레임 구동 주기 이상인 것을 특징으로 하는 액정표시장치 게이트 구동용 쉬프트레지스터

청구항 16.

청구항 제 13 항에 있어서,

상기 각 트랜지스터는 비정질 실리콘 박막 트랜지스터인 것을 특징으로 하는 액정표시장치 게이트 구동용 쉬프트레지스터

청구항 17.

청구항 제 13 항에 있어서,

상기 각 트랜지스터는 N 타입인 것을 특징으로 하는 액정표시장치 게이트 구동용 쉬프트레지스터

청구항 18.

청구항 제 13 항에 있어서,

상기 클럭은 최소 액정표시장치 패널의 일 게이트라인의 턴온 시간 동안 하이 레벨을 유지하는 전압신호인 것을 특징으로 하는 액정표시장치 게이트 구동용 쉬프트레지스터

청구항 19.

제1구동전원단과 Q 노드 사이에 연결되고, 이전단 스테이지의 게이트 출력신호가 입력되는 개시신호단 출력에 턴온 여부가 결정되는 제1트랜지스터와;

상기 Q 노드와 접지전원단 사이에 연결되고, 다음단 스테이지의 게이트 출력신호에 턴온 여부가 결정되는 제2트랜지스터와;

제2구동전원단과 제1노드 사이에 다이오드 커넥팅된 제3-11트랜지스터와;

상기 제2구동전원단과 제1QB 노드 사이에 연결되고 상기 제1노드의 출력에 턴온 여부가 결정되는 제3-12트랜지스터와;

상기 제1노드와 접지전원단 사이에 연결되고 상기 개시신호단의 출력에 턴온 여부가 결정되는 제3-13트랜지스터와;

상기 제1노드와 접지전원단 사이에 연결되고 상기 Q 노드의 출력에 턴온 여부가 결정되는 제3-14트랜지스터와;

상기 제1노드와 접지전원단 사이에 연결되고 상기 개시신호단의 출력에 턴온 여부가 결정되는 제3-15트랜지스터와;
 제2구동전원단과 제2노드 사이에 다이오드 커넥팅된 제3-21트랜지스터와;
 상기 제2구동전원단과 제2QB노드 사이에 연결되고 상기 제2노드의 출력에 턴온 여부가 결정되는 제3-22트랜지스터와;
 상기 제2노드와 접지전원단 사이에 연결되고 상기 개시신호단의 출력에 턴온 여부가 결정되는 제3-23트랜지스터와;
 상기 제2노드와 접지전원단 사이에 연결되고 상기 Q 노드의 출력에 턴온 여부가 결정되는 제3-24트랜지스터와;
 상기 제2노드와 접지전원단 사이에 연결되고 상기 개시신호단의 출력에 턴온 여부가 결정되는 제3-25트랜지스터와;
 제1클럭입력단과 본단 스테이지의 게이트신호출력단 사이에 연결되고 상기 Q 노드의 출력에 턴온 여부가 결정되는 제4트랜지스터와;
 상기 제1QB 노드와 접지전원단 사이에 연결되고 상기 제2구동전원단 출력에 턴온 여부가 결정되는 제5-11트랜지스터와;
 상기 제1QB 노드와 접지전원단 사이에 연결되고 상기 Q 노드의 출력에 턴온 여부가 결정되는 제5-12트랜지스터와;
 상기 제1QB 노드와 접지전원단 사이에 연결되고 상기 개시신호에 턴온 여부가 결정되는 제5-13트랜지스터와;
 상기 제2QB 노드와 접지전원단 사이에 연결되고 상기 제1구동전원단 출력에 턴온 여부가 결정되는 제5-21트랜지스터와;
 상기 제2QB 노드와 접지전원단 사이에 연결되고 상기 Q 노드의 출력에 턴온 여부가 결정되는 제5-22트랜지스터와;
 상기 제2QB 노드와 접지전원단 사이에 연결되고 상기 개시신호단의 출력에 턴온 여부가 결정되는 제5-23트랜지스터와;
 상기 Q 노드와 접지전원단 사이에 연결되고 상기 제1QB 노드의 출력에 턴온 여부가 결정되는 제6-1트랜지스터와;
 상기 Q 노드와 접지전원단 사이에 연결되고 상기 제2QB 노드의 출력에 턴온 여부가 결정되는 제6-2트랜지스터와;
 상기 본단 스테이지의 게이트신호출력단과 접지전원단 사이에 연결되고 상기 제1QB노드의 출력에 턴온 여부가 결정되는 제7-1트랜지스터와;

상기 본단 스테이지의 게이트신호출력단과 접지전원단 사이에 연결되고 상기 제2QB 노드의 출력에 턴온 여부가 결정되는 제7-2트랜지스터

를 포함하여 일 스테이지를 구성하는 액정표시장치 게이트 구동용 쉬프트레지스터

청구항 20.

청구항 제 19 항에 있어서,

상기 제2 및 제3구동전원은, 동일한 주기를 가지며 위상이 서로 반대인 펄스인 것을 특징으로 하는 액정표시장치 게이트 구동용 쉬프트레지스터

청구항 21.

청구항 제 19 항에 있어서,

상기 제2 및 제3구동전원은, 각 전원이 인가되는 시간이 액정표시장치 패널의 1 프레임 구동 주기 이상인 것을 특징으로 하는 액정표시장치 게이트 구동용 쉬프트레지스터

청구항 22.

청구항 제 19 항에 있어서,

상기 제2 및 제3구동전원은 상기 제1구동전원과 같거나 더욱 큰 전압레벨을 가지는 것을 특징으로 하는 액정표시장치 게이트 구동용 쉬프트레지스터

청구항 23.

청구항 제 19 항에 있어서,

상기 각 트랜지스터는 비정질 실리콘 박막 트랜지스터인 것을 특징으로 하는 액정표시장치 게이트 구동용 쉬프트레지스터

청구항 24.

청구항 제 19 항에 있어서,

상기 각 트랜지스터는 N 타입인 것을 특징으로 하는 액정표시장치 게이트 구동용 쉬프트레지스터

청구항 25.

청구항 제 19 항에 있어서,

상기 클럭은 최소 액정표시장치 패널의 일 게이트라인의 턴온 시간 동안 하이 레벨을 유지하는 전압신호인 것을 특징으로 하는 액정표시장치 게이트 구동용 쉬프트레지스터

청구항 26.

제1구동전원단과 Q 노드 사이에 연결되고, 이전단 스테이지의 게이트 출력신호가 입력되는 개시신호단의 출력에 턴온 여부가 결정되는 제1트랜지스터와;

상기 Q 노드와 접지전원단 사이에 연결되고, 다음단 스테이지의 게이트 출력신호에 턴온 여부가 결정되는 제2트랜지스터와;

제2구동전원단과 제1노드 사이에 다이오드 커넥팅된 제3-11트랜지스터와;

상기 제2구동전원단과 제1QB 노드 사이에 연결되고 상기 제1노드의 출력에 턴온 여부가 결정되는 제3-12트랜지스터와;

상기 제1노드와 접지전원단 사이에 연결되고 상기 개시신호단의 출력에 턴온 여부가 결정되는 제3-13트랜지스터와;

상기 제1노드와 접지전원단 사이에 연결되고 상기 Q 노드의 출력에 턴온 여부가 결정되는 제3-14트랜지스터와;

상기 제1노드와 접지전원단 사이에 연결되고 상기 개시신호단의 출력에 턴온 여부가 결정되는 제3-15트랜지스터와;

제3동전원단과 제2노드 사이에 다이오드 커넥팅된 제3-21트랜지스터와;

상기 제3구동전원단과 제2QB노드 사이에 연결되고 상기 제2노드의 출력에 턴온 여부가 결정되는 제3-22트랜지스터와;

상기 제2노드와 접지전원단 사이에 연결되고 상기 개시신호단의 출력에 턴온 여부가 결정되는 제3-23트랜지스터와;

상기 제2노드와 접지전원단 사이에 연결되고 상기 Q 노드의 출력에 턴온 여부가 결정되는 제3-24트랜지스터와;

상기 제2노드와 접지전원단 사이에 연결되고 상기 개시신호단의 출력에 턴온 여부가 결정되는 제3-25트랜지스터와;

제1클럭입력단과 본단 스테이지의 게이트신호출력단 사이에 연결되고 상기 Q 노드의 출력에 턴온 여부가 결정되는 제4트랜지스터와;

상기 제1QB 노드와 접지전원단 사이에 연결되고 상기 제2QB 노드의 출력에 턴온 여부가 결정되는 제5-11트랜지스터와;

상기 제1QB 노드와 접지전원단 사이에 연결되고 상기 Q 노드의 출력에 턴온 여부가 결정되는 제5-12트랜지스터와;

상기 제1QB 노드와 접지전원단 사이에 연결되고 상기 개시신호단의 출력에 턴온 여부가 결정되는 제5-13트랜지스터와;

상기 제2QB 노드와 접지전원단 사이에 연결되고 상기 제1QB 노드의 출력에 턴온 여부가 결정되는 제5-21트랜지스터와;

상기 제2QB 노드와 접지전원단 사이에 연결되고 상기 Q 노드의 출력에 턴온 여부가 결정되는 제5-22트랜지스터와;

상기 제2QB 노드와 접지전원단 사이에 연결되고 상기 개시신호단의 출력에 턴온 여부가 결정되는 제5-23트랜지스터와;

상기 Q 노드와 접지전원단 사이에 연결되고 상기 제1QB 노드의 출력에 턴온 여부가 결정되는 제6-1트랜지스터와;

상기 Q 노드와 접지전원단 사이에 연결되고 상기 제2QB 노드의 출력에 턴온 여부가 결정되는 제6-2트랜지스터와;

상기 본단 스테이지의 게이트신호출력단과 접지전원단 사이에 연결되고 상기 제1QB 노드의 출력에 턴온 여부가 결정되는 제7-1트랜지스터와;

상기 본단 스테이지의 게이트신호출력단과 접지전원단 사이에 연결되고 상기 제2QB 노드의 출력에 턴온 여부가 결정되는 제7-2트랜지스터

를 포함하여 일 스테이지를 구성하는 액정표시장치 게이트 구동용 쉬프트레지스터

청구항 27.

청구항 제 26 항에 있어서,

상기 제2 및 제3구동전원은, 동일한 주기를 가지며 위상이 서로 반대인 펄스인 것을 특징으로 하는 액정표시장치 게이트 구동용 쉬프트레지스터

청구항 28.

청구항 제 26 항에 있어서,

상기 제2 및 제3구동전원은, 각 전원이 인가되는 시간이 액정표시장치 패널의 1 프레임 구동 주기 이상인 것을 특징으로 하는 액정표시장치 게이트 구동용 쉬프트레지스터

청구항 29.

청구항 제 26 항에 있어서,

상기 제2 및 제3구동전원은 상기 제1구동전원과 같거나 더욱 큰 전압레벨을 가지는 것을 특징으로 하는 액정표시장치 게이트 구동용 쉬프트레지스터

청구항 30.

청구항 제 26 항에 있어서,

상기 각 트랜지스터는 비정질 실리콘 박막 트랜지스터인 것을 특징으로 하는 액정표시장치 게이트 구동용 쉬프트레지스터

청구항 31.

청구항 제 26 항에 있어서,

상기 각 트랜지스터는 N 타입인 것을 특징으로 하는 액정표시장치 게이트 구동용 쉬프트레지스터

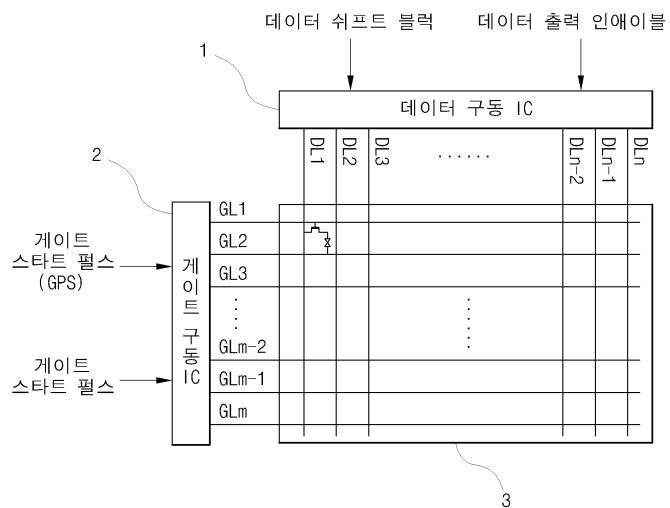
청구항 32.

청구항 제 26 항에 있어서,

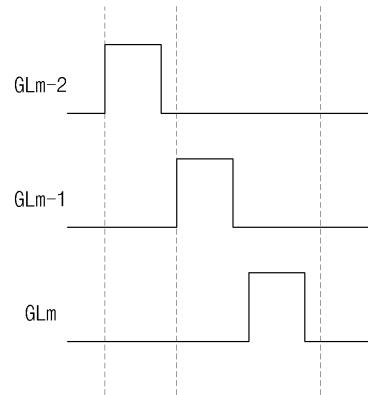
상기 클럭은 최소 액정표시장치 패널의 일 게이트라인의 턴온 시간 동안 하이 레벨을 유지하는 전압신호인 것을 특징으로 하는 액정표시장치 게이트 구동용 쉬프트레지스터

도면

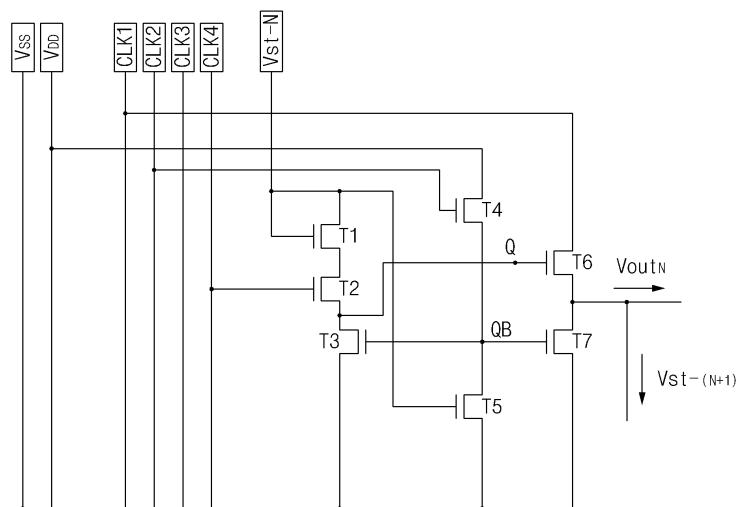
도면1



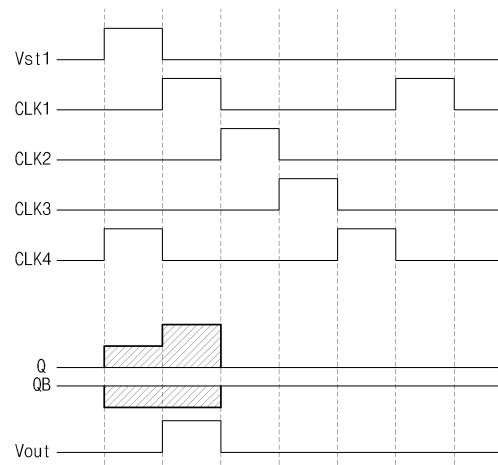
도면2



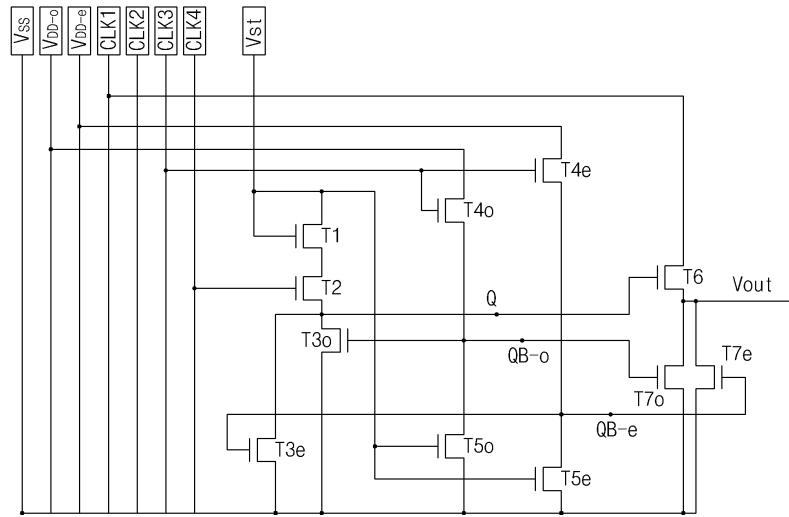
도면3



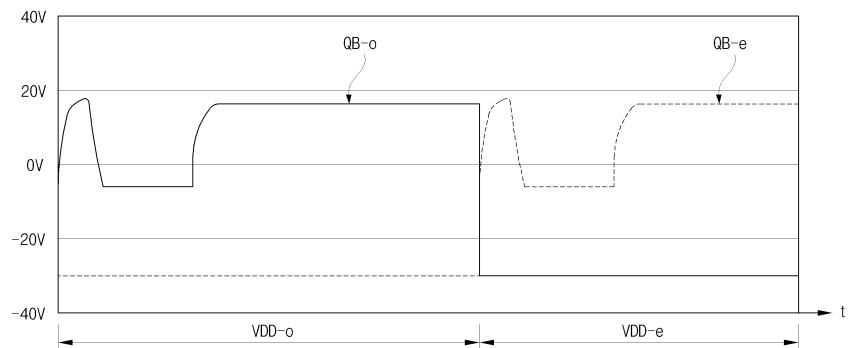
도면4



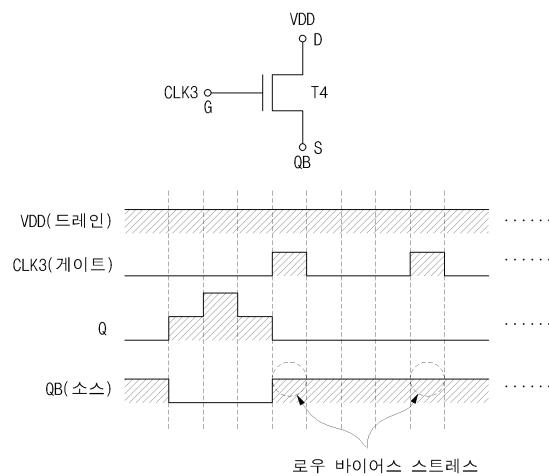
도면5



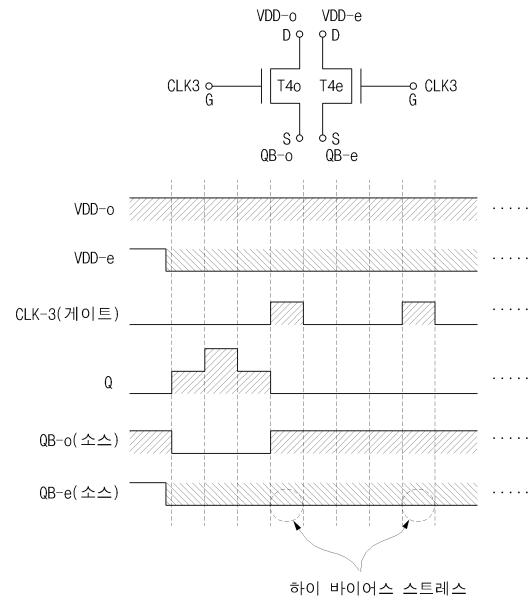
도면6



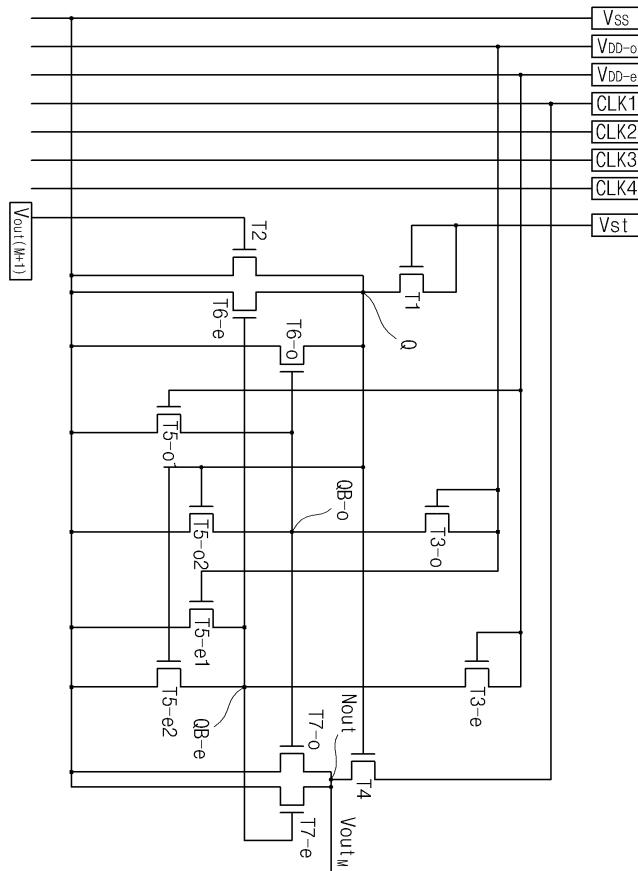
도면7a



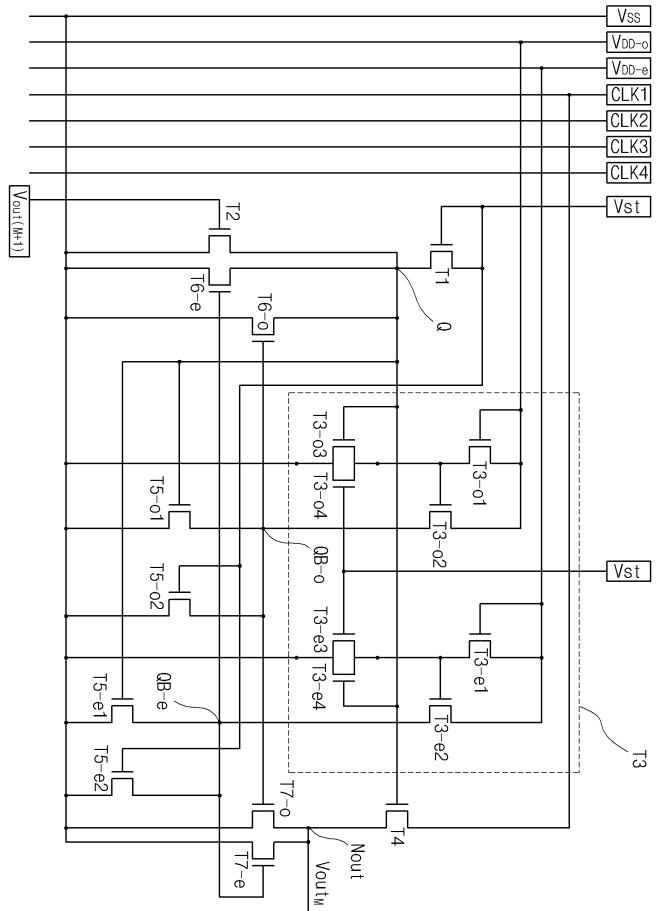
도면7b



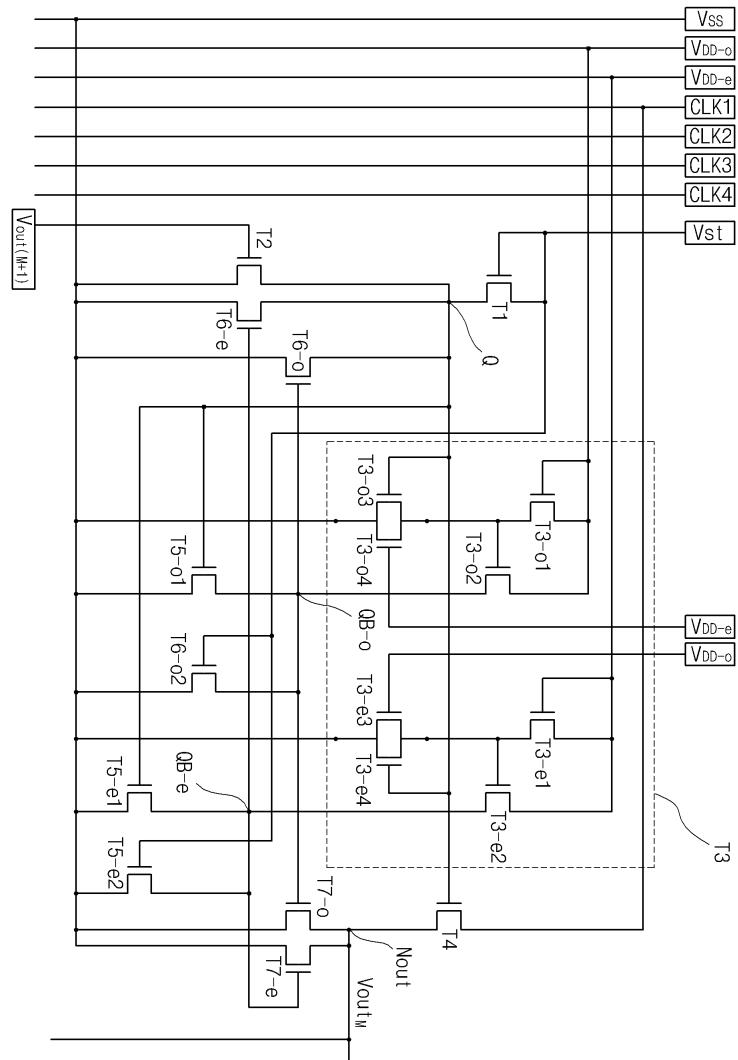
도면8



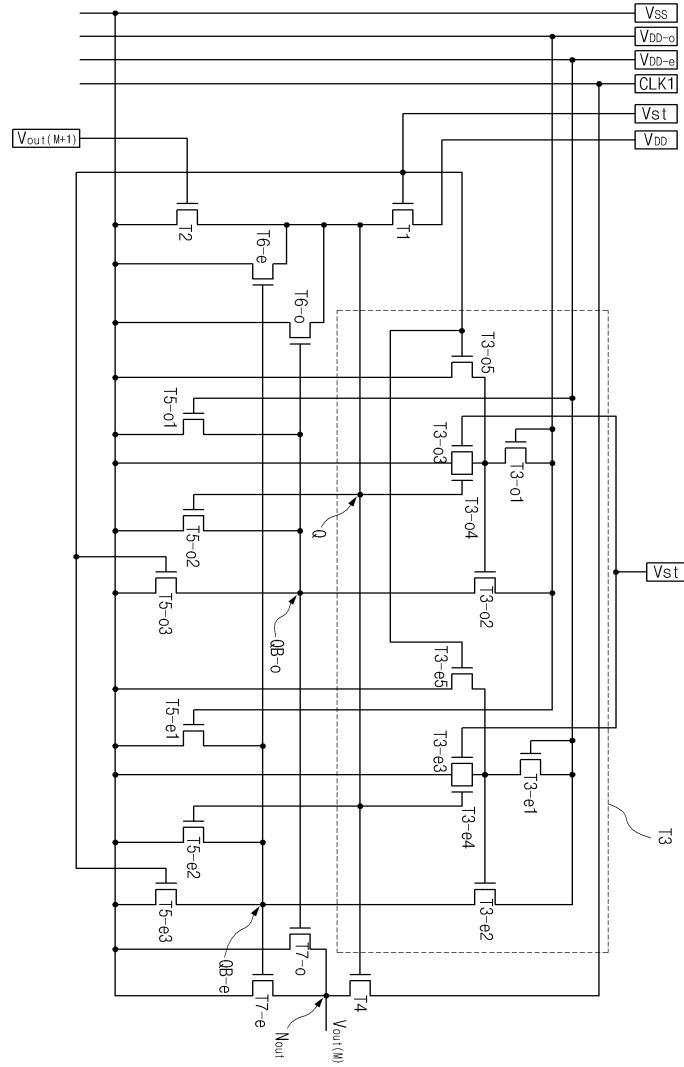
도면9



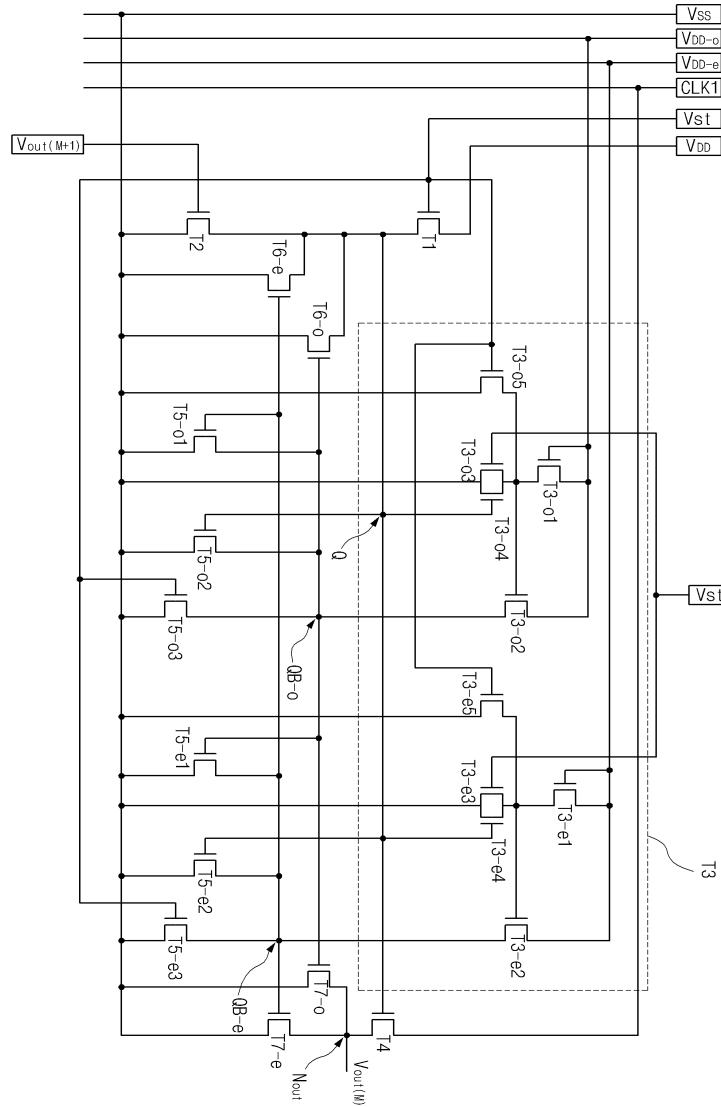
도면10



도면11



도면12



专利名称(译)	用于驱动液晶显示门的移位寄存器		
公开(公告)号	KR1020060076147A	公开(公告)日	2006-07-04
申请号	KR1020050033145	申请日	2005-04-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JANG YONG HO 장용호 KIM BINN 김빈 MOON SOO HWAN 문수환 YOON SOO YOUNG 윤수영 CHUN MIN DOO 전민두		
发明人	장용호 김빈 문수환 윤수영 전민두		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G11C19/28 G11C19/00 F16D55/226 F16D65/183 F16D2121/04 F16D2125/06 F16D2125/08		
优先权	1020040113684 2004-12-28 KR		
其他公开文献	KR101110133B1		
外部链接	Espacenet		

摘要(译)

本发明涉及用于栅极驱动的移位寄存器，其将产生的劣化消除到非晶薄膜晶体管的高偏压认可驱动，并提供稳定的输出。更具体地说，它是关于液晶显示器驱动的栅极的移位寄存器，其中多个驱动功率分别输入到驱动交叉点。这具有以下优点：对于每个周期，对面板框架重复驱动和停用空闲时段，使得由于持续的高偏压应力而引起特性变化。同时，在非晶薄膜晶体管上施加的用于驱动孔肝脏的偏置应力通过授权对应于反向偏置的偏置或者去激活空闲时段中的接地功率以及通过器件的稳定来正常启动电路来抵消。绘制了生命延长效应。

