

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) 。 Int. Cl.⁷
G02F 1/1343(11) 공개번호 10-2005-0064356
(43) 공개일자 2005년06월29일(21) 출원번호 10-2003-0095715
(22) 출원일자 2003년12월23일(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지(72) 발명자 박종진
서울특별시동작구사당1동1027-31
김웅권
경기도군포시산본동세종아파트638-1303

(74) 대리인 정원기

심사청구 : 없음

(54) 액정표시장치 및 그 제조방법

요약

본 발명은 액정표시장치에 관한 것으로서, 보다 상세하게는 횡전계에 의해 액정을 구동하는 횡전계형(In-Plane Switching mode) 액정표시장치에 관한 것이다.

본 발명의 목적은, 패터닝을 위한 에칭 공정시 미세한 잔사에 의해 서로 근접한 공통 배선과 게이트 배선이 단락되는 문제를 방지할 수 있는 횡전계형 액정표시장치 및 그 제조방법을 제공함에 있다.

본 발명은, 기판 상에 행과 열 각각의 방향으로 연장되는 다수의 게이트 및 데이터 배선과; 상기 게이트 배선 및 데이터 배선과 연결되는 스위칭 소자와; 상기 스위칭 소자와 연결되는 화소 전극과; 상기 화소 전극과 평행하게 형성된 공통 전극과; 상기 공통 전극과 연결되고, 행 방향으로 연장되는 다수의 공통 배선을 포함하고, 서로 근접하는 상기 게이트 배선과 상기 공통 배선이 마주보는 면에는 요입부가 형성된 액정표시장치를 제공한다.

본 발명은, 횡전계형 액정표시장치에서 서로 인접하는 금속 패턴, 즉 서로 인접하는 게이트 배선과 공통 배선, 또는 서로 인접하는 게이트 배선이 마주보는 면에 요입부를 형성함으로써 패터닝을 위한 에칭 공정시 미세한 잔사에 의한 단락을 방지할 수 있는 효과가 있다.

대표도

도 3

명세서

도면의 간단한 설명

도 1a와 1b는 각각, 일반적인 횡전계형 액정표시장치를 도시한 단면도.

도 2는 종래의 횡전계형 액정표시장치를 도시한 평면도.

도 3은 본 발명의 제 1 실시예에 따른 횡전계형 액정표시장치를 도시한 평면도.

도 4는 본 발명의 제 2 실시예에 따른 횡전계형 액정표시장치를 도시한 평면도.

<도면의 주요부분에 대한 부호의 설명>

215 : 반도체층 220 : 게이트 배선

221 : 게이트 전극 225 : 게이트 패드

230 : 데이터 배선 231 : 소스 전극

233 : 드레인 전극 235 : 데이터 패드

240 : 화소 전극 245 : 공통 전극

247 : 공통 배선 249 : 콘택홀

250 : 요입부 250a, 250b : 제 1, 2 요입부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로서, 보다 상세하게는 횡전계에 의해 액정을 구동하는 횡전계형(In-Plane Switching mode) 액정표시장치에 관한 것이다.

일반적으로 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다. 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 갖고 있으며, 인위적으로 액정에 전기장을 인가하여 분자 배열의 방향을 제어할 수 있다. 따라서, 액정의 분자 배열을 조절하면, 빛이 굴절하여 화상 정보를 표현할 수 있다.

액정표시장치는 화상 정보를 표현하기 위해 공통 전극과 화소 전극의 전압차에 따라 액정층에 전계를 형성함으로써 구동되는데, 공통 전극과 화소 전극이 동일한 기관에 형성되어, 액정층에 수평전계를 형성하는 횡전계형 액정표시장치가 시야각 특성에서 우수하여 널리 사용되고 있다.

도 1a와 1b는 각각, 일반적인 횡전계형 액정표시장치를 도시한 단면도로서, 전압 오프(off)/온(on) 상태에서의 액정 분자(52)의 구동을 개략적으로 도시하고 있다.

도시한 바와 같이, 종래의 횡전계형 액정표시장치는 제 1 기관(10) 상에 화소 전극(40)과 공통 전극(45)이 형성되어 있고, 두 전극(40, 45)에 의해 발생하는 횡전계에 의해 액정 분자(52)가 변화하게 된다.

전압 오프 상태에서는, 도 1a에 도시한 바와 같이, 두 전극(40, 45) 사이에 횡전계가 형성되지 않음으로써, 액정 분자(52)에 전계가 인가되지 않는다. 따라서, 액정 분자(52)는 배향 변화가 발생하지 않게 된다.

한편, 전압 온 상태에서는, 도 1b에 도시한 바와 같이, 화소 전극(40)과 공통 전극(45) 사이에는 전계(56)가 발생한다. 화소 및 공통 전극(40, 45) 상에는 수직 전계가 형성되어 그곳에 위치한 액정 분자(52a)는 배향 방향의 변화가 없으나, 공통 전극(45)과 화소 전극(40) 사이에 위치하는 액정 분자(52b)는 공통 전극(45)과 화소 전극(40) 사이에 생성되는 수평(또는 횡) 전계에 의해 기관과 평행하게 배열된다.

전술한 바와 같이, 횡전계형 액정표시장치는 화소 전극과 공통 전극 사이에 발생하는 횡전계에 의해 액정 분자를 구동함으로써, 시야각 특성이 우수하여 널리 사용된다.

도 2는 종래의 횡전계형 액정표시장치를 도시한 평면도이다.

도시한 바와 같이, 종래의 횡전계형 액정표시장치에는 직교하는 다수의 게이트 및 데이터 배선(120, 130)이 형성되어 있고, 게이트 및 데이터 배선(120, 130)과 연결되는 스위칭(switching) 소자로서 박막트랜지스터(T)와, 박막트랜지스터(T)와 연결되는 화소 전극(140)과, 화소 전극(140)과 횡전계를 형성하기 위한 공통 전극(145)이 형성되어 있다. 그리고, 공통 전극(145)은 게이트 배선(120)과 평행하게 형성된 공통 배선(147)과 연결되어 공통 전압을 전달받게 된다.

또한, 게이트 및 데이터 배선(120, 130)각각은, 게이트 및 데이터 패드(125, 135)와 연결되어 주사 및 화상 신호를 전달받게 된다. 게이트 및 데이터 패드(125, 135)는 외부의 신호 전달 회로인 게이트 및 데이터 구동부(미도시)와 연결되어 주사 및 화상 신호(scanning and video signal)를 전달받게 된다.

박막트랜지스터(T)는 게이트 배선(120)에 분기한 게이트 전극(121)과, 게이트 전극(121) 상에 형성된 반도체층(115)과, 반도체층(115)에 상에 형성되고 데이터 배선(130)에서 분기한 소스 전극(131) 및, 소스 전극(131)과 일정 간격 이격된 드레인 전극(133)으로 이루어진다. 박막트랜지스터(T)는 게이트 전극(121)에 전달된 주사 신호에 따라 온/오프(ON/OFF) 구동되며, 그에 따라 소스 전극(131)에 전달된 화상 신호를 드레인 전극(133)에 전달하게 된다.

화소 전극(140)은 드레인 전극(133)과 연결되고, 공통 전극(145)은 화소 전극(140)과 평행하게 형성된다. 공통 전극(145)은 콘택홀(149)을 통해 공통 배선(147)과 연결되어 공통 전압을 인가받게 된다.

공통 배선(147)은 매 게이트 배선(120) 마다, 게이트 배선(120)에 근접하여 위치한다. 공통 배선(147)은 게이트 배선(120)과 동일한 공정에서 형성되는데, 금속층을 기판 상에 증착하고 패터닝(patterning)함으로써 공통 배선(147)과 게이트 배선(120)을 형성하게 된다. 여기서, 서로 근접한 공통 배선(147)과 게이트 배선(120)은 대략 10 μm 정도의 간격으로 이격되어 형성된다.

그런데, 공통 배선과 게이트 배선을 형성하기 위해서는 에칭트를 사용하여 에칭 공정을 진행하게 되는데, 에칭 공정시 미세한 잔사에 의해 서로 근접한 공통 배선과 게이트 배선이 단락되는 문제가 발생하게 된다.

예를 들면, 8 ~ 12 μm 정도의 간격으로 서로 이격된 공통 배선과 게이트 배선은 60 ~ 20 % 정도로 단락될 가능성이 발생한다.

발명이 이루고자 하는 기술적 과제

전술한 바와 같은 문제를 해결하기 위한 본 발명의 목적은, 패터닝을 위한 에칭 공정시 미세한 잔사에 의해 서로 근접한 공통 배선과 게이트 배선이 단락되는 문제를 방지할 수 있는 횡전계형 액정표시장치 및 그 제조방법을 제공함에 있다.

발명의 구성 및 작용

전술한 목적을 달성하기 위해, 본 발명은, 기판 상에 행과 열 각각의 방향으로 연장되는 다수의 게이트 및 데이터 배선과; 상기 게이트 배선 및 데이터 배선과 연결되는 스위칭 소자와; 상기 스위칭 소자와 연결되는 화소 전극과; 상기 화소 전극과 평행하게 형성된 공통 전극과; 상기 공통 전극과 연결되고, 행 방향으로 연장되는 다수의 공통 배선을 포함하고, 서로 근접하는 상기 게이트 배선과 상기 공통 배선이 마주보는 면에는 요입부가 형성된 액정표시장치를 제공한다.

여기서, 상기 요입부는, 상기 게이트 배선에 형성된 제 1 요입부와, 상기 공통 배선에 형성된 제 2 요입부로 이루어질 수 있다. 그리고, 상기 공통 배선은 상기 게이트 배선과 동일층에 형성될 수 있다.

다른 측면에서, 본 발명은, 기판 상에 행과 열 각각의 방향으로 연장되는 다수의 게이트 및 데이터 배선과; 상기 게이트 배선 및 데이터 배선과 연결되는 스위칭 소자와; 상기 스위칭 소자와 연결되는 화소 전극과; 상기 화소 전극과 평행하게 형성된 공통 전극과; 상기 공통 전극과 연결되고, 행 방향으로 연장되며, 이웃하는 홀수번째 상기 게이트 배선과 짝수번째 상기 게이트 배선 사이에 위치하는 다수의 공통 배선을 포함하고, 서로 근접하는 짝수번째 상기 게이트 배선과 홀수번째 상기 게이트 배선이 마주보는 면에는 요입부가 형성된 액정표시장치를 제공한다.

여기서, 상기 요입부는, 짝수번째 상기 게이트 배선에 형성된 제 1 요입부와, 홀수번째 상기 공통 배선에 형성된 제 2 요입부로 이루어질 수 있다.

또다른 측면에서, 본 발명은, 기판 상에 금속층을 적층하고, 패터닝하여 행 방향으로 연장되는 다수의 게이트 배선과, 다수의 공통 배선을 형성하는 단계와; 상기 게이트 배선과 직교하는 열 방향으로 연장되는 다수의 데이터 배선과, 상기 게이트 및 데이터 배선과 연결되는 스위칭 소자와, 상기 스위칭 소자와 연결되는 화소 전극과, 상기 화소 전극과 평행한 공통 전극을 형성하는 단계를 포함하며, 서로 근접하는 상기 게이트 배선과 상기 공통 배선이 마주보는 면에는 요입부가 형성된 액정표시장치 제조방법을 제공한다.

여기서, 상기 요입부를 형성하는 단계는, 상기 게이트 배선에 제 1 요입부를 형성하고, 상기 공통 배선에 제 2 요입부를 형성하는 단계로 이루어질 수 있다.

또다른 측면에서, 본 발명은, 기판 상에 금속층을 적층하고, 패터닝하여 행 방향으로 연장되는 다수의 게이트 배선과, 행 방향으로 연장되고 이웃하는 홀수번째 상기 게이트 배선과 짝수번째 상기 게이트 배선 사이에 위치하는 다수의 공통 배선을 형성하는 단계와; 상기 게이트 배선과 직교하는 열 방향으로 연장되는 다수의 데이터 배선과, 상기 게이트 및 데이터 배선과 연결되는 스위칭 소자와, 상기 스위칭 소자와 연결되는 화소 전극과, 상기 화소 전극과 평행한 공통 전극을 형성하는 단계를 포함하며, 서로 근접하는 짝수번째 상기 게이트 배선과 홀수번째 상기 게이트 배선이 마주보는 면에는 요입부가 형성된 액정표시장치 제조방법을 제공한다.

여기서, 상기 요입부를 형성하는 단계는, 짝수번째 상기 게이트 배선에 제 1 요입부를 형성하고, 홀수번째 상기 공통 배선에 제 2 요입부를 형성하는 단계로 이루어질 수 있다.

이하, 도면을 참조하여 본 발명의 실시예를 설명한다.

<제 1 실시예>

도 3은 본 발명의 제 1 실시예에 따른 횡전계형 액정표시장치를 도시한 평면도이다.

본 발명의 제 1 실시예에 따른 횡전계형 액정표시장치는, 근접하는 게이트 배선과 공통 배선이 서로 마주보는 면에 대해 각각 요입부를 형성한다. 그에 따라, 게이트 배선과 공통 배선이 에칭 공정에서 단락되는 문제를 해결할 수 있다.

도시한 바와 같이, 본 발명의 제 1 실시예에 따른 횡전계형 액정표시장치에는 서로 직교하는 다수의 게이트 및 데이터 배선(220, 230)이 형성되어 있고, 게이트 및 데이터 배선(220, 230)과 연결되는 스위칭 소자로서 박막트랜지스터(T)와, 박

막트랜지스터(T)와 연결되는 화소 전극(240)과, 화소 전극(240)과 횡전계를 형성하기 위한 공통 전극(245)이 형성되어 있다. 그리고, 공통 전극(245)은 게이트 배선(220)과 평행하게 형성된 공통 배선(247)과 연결되어 공통 전압을 전달받게 된다.

또한, 게이트 및 데이터 배선(220, 230) 각각은, 게이트 및 데이터 배선(220, 230)의 일끝단에 위치하는 게이트 및 데이터 패드(225, 235)와 연결되어 주사 및 화상 신호를 전달받게 된다. 게이트 및 데이터 패드(225, 235)는 외부의 신호 전달 회로인 게이트 및 데이터 구동부(미도시)와 연결되어 주사 및 화상 신호를 전달받게 된다.

박막트랜지스터(T)는 게이트 배선(220)에 분기한 게이트 전극(221)과, 게이트 전극(221) 상에 형성된 반도체층(215)과, 반도체층(215)에 상에 형성되고 데이터 배선(230)에서 분기한 소스 전극(231) 및, 소스 전극(231)과 일정 간격 이격된 드레인 전극(233)으로 이루어진다. 박막트랜지스터(T)는 게이트 전극(221)에 전달된 주사 신호에 따라 온/오프 구동되며, 그에 따라 소스 전극(231)에 전달된 화상 신호를 드레인 전극(233)에 전달하게 된다.

화소 전극(240)은 드레인 전극(233)과 연결된다. 화소 전극(240)은 인듐-틴-옥사이드(Indium-Tin-Oxide : 이하, ITO라 함.), 인듐-징크-옥사이드(Indium-Zinc-Oxide, 이하, IZO라 함.)와 같은 투명 도전성 금속 물질로 이루어진다. 한편, 화소 전극(240)은 드레인 전극(233)과 동일한 공정에서 동일한 물질로 형성될 수 있다.

그리고, 공통 전극(245)은 화소 전극(240)과 평행하게 형성되고, 화소 전극(240)과 동일한 공정에서 형성된다. 그와 같은 공통 전극(245)은 ITO, IZO와 같은 투명 도전성 금속 물질로 이루어진다. 공통 전극(245)은 콘택홀(249)을 통해 공통 배선(247)과 연결되어 공통 전압을 인가받게 된다. 한편, 공통 전극(245)은 공통 배선(247)과 동일한 공정에서 형성될 수 있고, 그와 같은 경우에 공통 전극(245)은 공통 배선(247)과 직접적으로 연결된다.

공통 배선(247)은 매 게이트 배선(220) 마다, 게이트 배선(220)에 근접하여 위치한다. 여기서, 서로 근접하여 위치하는 공통 배선과 게이트 배선은 6 ~ 14 μm 정도의 간격으로 이격되어 있다. 공통 배선(247)은 게이트 배선(220)과 동일한 공정에서 동일한 물질로 형성된다.

공통 배선(247)과 게이트 배선(220) 각각에는 서로 마주보는 면 내부로 요입된 다수의 요입부(250)가 형성되어 있다. 게이트 배선(220)에는 제 1 요입부(250a), 공통 배선(247)에는 제 2 요입부(250b)가 형성되어 있다. 제 1, 2 요입부(250a, 250b)는 공통 배선(247)과 게이트 배선(220)을 패터닝하기 위한 에칭 공정에서 공통 배선과 게이트 배선이 단락되는 것을 방지하기 위해 형성되는데, 특히 제 1 요입부(250a)와 제 2 요입부(250b)는 서로 대응되도록 형성된다.

전술한 바와 같이, 본 발명의 제 1 실시예에 따른 횡전계형 액정표시장치는 근접하는 게이트 배선과 공통 배선이 서로 마주보는 면에 요입부를 형성함으로써 에칭 공정시 미세한 잔사에 의한 단락을 방지할 수 있다.

<제 2 실시예>

도 4는 본 발명의 제 2 실시예에 따른 횡전계형 액정표시장치를 도시한 평면도이다.

본 발명의 제 2 실시예에서는 본 발명의 제 1 실시예와 동일하거나 대응되는 구성에 대해서는 설명을 생략한다.

본 발명의 제 2 실시예에 따른 액정표시장치는 상하 두 개의 서브 화소(sub-pixel)가 하나의 공통 배선을 공유하는 횡전계형 액정표시장치로서, 네 개의 서브 화소가 하나의 화소를 이루는 쿼드(quad) 방식 액정표시장치이다. 쿼드 방식 액정표시장치는 네 개의 서브 화소를 통해 화상을 표시하게 되는데, 예를 들면 네 개의 서브 화소는 각각 레드(red), 그린(green), 블루(blue), 화이트(white)의 색을 표시하는 기능을 하게 된다. 쿼드 방식 액정표시장치는 상하 두 개의 서브 화소가 공통 배선을 공유하게 됨으로써 개구율이 향상된다.

그와 같은 구성을 가지는, 본 발명의 제 2 실시예에 따른 횡전계형 액정표시장치는 서로 근접하는 게이트 배선이 서로 마주보는 면에 대해 각각 요입부를 형성한다. 그에 따라, 서로 근접하는 게이트 배선이 에칭 공정에서 단락되는 문제를 해결할 수 있다.

도시한 바와 같이, 본 발명의 제 2 실시예에 따른 횡전계형 액정표시장치에서 공통 배선(247)은 하나의 화소(P) 내에서 상하 두 개의 서브 화소에 공유되는 구조로 형성된다. 그와 같은 구조를 위해, 화소 전극(240)은 화소(P)를 이루는 상하 두 개의 게이트 배선(220) 사이에 형성된다. 따라서, 하나의 화소(P) 내에 위치하는 상하 두 개의 서브 화소는 동일한 공통 배선(247)을 통해 공통 전압을 인가받게 된다.

하나의 화소(P)가 공통 배선(247)을 공유하게 됨에 따라, 상하 인접하는 두 개의 화소 사이에 위치하는 게이트 배선(220), 즉 짝수번째 행에 해당되는 2n 행 게이트 배선과 홀수번째 행에 해당되는 2n+1 행 게이트 배선은 서로 근접하게 위치하게 된다.

여기서, 서로 근접하여 위치하는 게이트 배선(220)은 6 ~ 14 μm 정도의 간격으로 이격되어 있다.

서로 근접하여 위치하는 게이트 배선(220) 각각에는 서로 마주보는 면 내부로 요입된 다수의 요입부(250)가 형성되어 있다. 2n 행 게이트 배선에는 제 1 요입부(250a), 2n+1 행 게이트 배선에는 제 2 요입부(250b)가 형성되어 있다. 제 1, 2 요입부(250a, 250b)는 게이트 배선(220)을 패터닝하기 위한 에칭 공정에서 서로 근접하는 게이트 배선(220)이 단락되는 것을 방지하기 위해 형성되는데, 특히 제 1 요입부(250a)와 제 2 요입부(250b)는 서로 대응되도록 형성된다.

전술한 바와 같이, 본 발명의 제 2 실시예에 따른 횡전계형 액정표시장치는 근접하는 게이트 배선의 서로 마주보는 면에 요입부를 형성함으로써 에칭 공정시 미세한 잔사에 의한 단락을 방지할 수 있다.

전술한 바와 같이, 본 발명의 실시예에 따른 횡전계형 액정표시장치는 서로 인접하는 금속 패턴, 즉 서로 인접하는 게이트 배선과 공통 배선, 또는 서로 인접하는 게이트 배선이 마주보는 면에 요입부를 형성함으로써 패터닝을 위한 에칭 공정시 미세한 잔사에 의한 단락을 방지할 수 있게 된다.

전술한 본 발명의 실시예는, 본 발명의 일예에 해당되며, 그에 대한 자유로운 변형이 가능하다. 그와 같은 변형이 본 발명의 정신에 포함되는 범위 내에서 본 발명의 권리 범위에 속한다 함은 당업자에게 있어 자명한 사실이다.

발명의 효과

전술한 바와 같이, 본 발명은, 횡전계형 액정표시장치에서 서로 인접하는 금속 패턴, 즉 서로 인접하는 게이트 배선과 공통 배선, 또는 서로 인접하는 게이트 배선이 마주보는 면에 요입부를 형성함으로써 패터닝을 위한 에칭 공정시 미세한 잔사에 의한 단락을 방지할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

기관 상에 행과 열 각각의 방향으로 연장되는 다수의 게이트 및 데이터 배선과;
 상기 게이트 배선 및 데이터 배선과 연결되는 스위칭 소자와;
 상기 스위칭 소자와 연결되는 화소 전극과;
 상기 화소 전극과 평행하게 형성된 공통 전극과;
 상기 공통 전극과 연결되고, 행 방향으로 연장되는 다수의 공통 배선을 포함하고,
 서로 근접하는 상기 게이트 배선과 상기 공통 배선이 마주보는 면에는 요입부가 형성된 액정표시장치.

청구항 2.

제 1 항에 있어서,
 상기 요입부는, 상기 게이트 배선에 형성된 제 1 요입부와, 상기 공통 배선에 형성된 제 2 요입부로 이루어지는 액정표시장치.

청구항 3.

제 1 항에 있어서,
 상기 공통 배선은 상기 게이트 배선과 동일층에 형성된 액정표시장치.

청구항 4.

기관 상에 행과 열 각각의 방향으로 연장되는 다수의 게이트 및 데이터 배선과;
 상기 게이트 배선 및 데이터 배선과 연결되는 스위칭 소자와;
 상기 스위칭 소자와 연결되는 화소 전극과;
 상기 화소 전극과 평행하게 형성된 공통 전극과;
 상기 공통 전극과 연결되고, 행 방향으로 연장되며, 이웃하는 홀수번째 상기 게이트 배선과 짝수번째 상기 게이트 배선 사이에 위치하는 다수의 공통 배선을 포함하고,
 서로 근접하는 짝수번째 상기 게이트 배선과 홀수번째 상기 게이트 배선이 마주보는 면에는 요입부가 형성된 액정표시장치.

청구항 5.

제 4 항에 있어서,

상기 요입부는, 짝수번째 상기 게이트 배선에 형성된 제 1 요입부와, 홀수번째 상기 공통 배선에 형성된 제 2 요입부로 이루어지는 액정표시장치.

청구항 6.

기관 상에 금속층을 적층하고, 패터닝하여 행 방향으로 연장되는 다수의 게이트 배선과, 다수의 공통 배선을 형성하는 단계와;

상기 게이트 배선과 직교하는 열 방향으로 연장되는 다수의 데이터 배선과, 상기 게이트 및 데이터 배선과 연결되는 스위칭 소자와, 상기 스위칭 소자와 연결되는 화소 전극과, 상기 화소 전극과 평행한 공통 전극을 형성하는 단계를 포함하며,

서로 근접하는 상기 게이트 배선과 상기 공통 배선이 마주보는 면에는 요입부가 형성된 액정표시장치 제조방법.

청구항 7.

제 6 항에 있어서,

상기 요입부를 형성하는 단계는, 상기 게이트 배선에 제 1 요입부를 형성하고, 상기 공통 배선에 제 2 요입부를 형성하는 단계로 이루어지는 액정표시장치 제조방법.

청구항 8.

기관 상에 금속층을 적층하고, 패터닝하여 행 방향으로 연장되는 다수의 게이트 배선과, 행 방향으로 연장되고 이웃하는 홀수번째 상기 게이트 배선과 짝수번째 상기 게이트 배선 사이에 위치하는 다수의 공통 배선을 형성하는 단계와;

상기 게이트 배선과 직교하는 열 방향으로 연장되는 다수의 데이터 배선과, 상기 게이트 및 데이터 배선과 연결되는 스위칭 소자와, 상기 스위칭 소자와 연결되는 화소 전극과, 상기 화소 전극과 평행한 공통 전극을 형성하는 단계를 포함하며,

서로 근접하는 짝수번째 상기 게이트 배선과 홀수번째 상기 게이트 배선이 마주보는 면에는 요입부가 형성된 액정표시장치 제조방법.

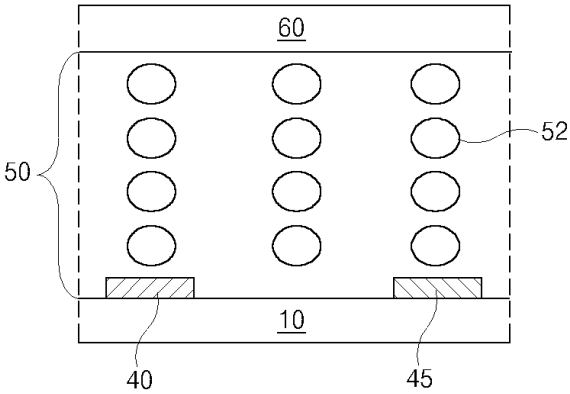
청구항 9.

제 8 항에 있어서,

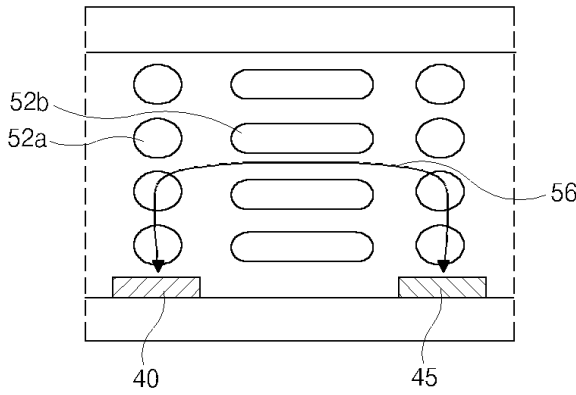
상기 요입부를 형성하는 단계는, 짝수번째 상기 게이트 배선에 제 1 요입부를 형성하고, 홀수번째 상기 공통 배선에 제 2 요입부를 형성하는 단계로 이루어지는 액정표시장치 제조방법.

도면

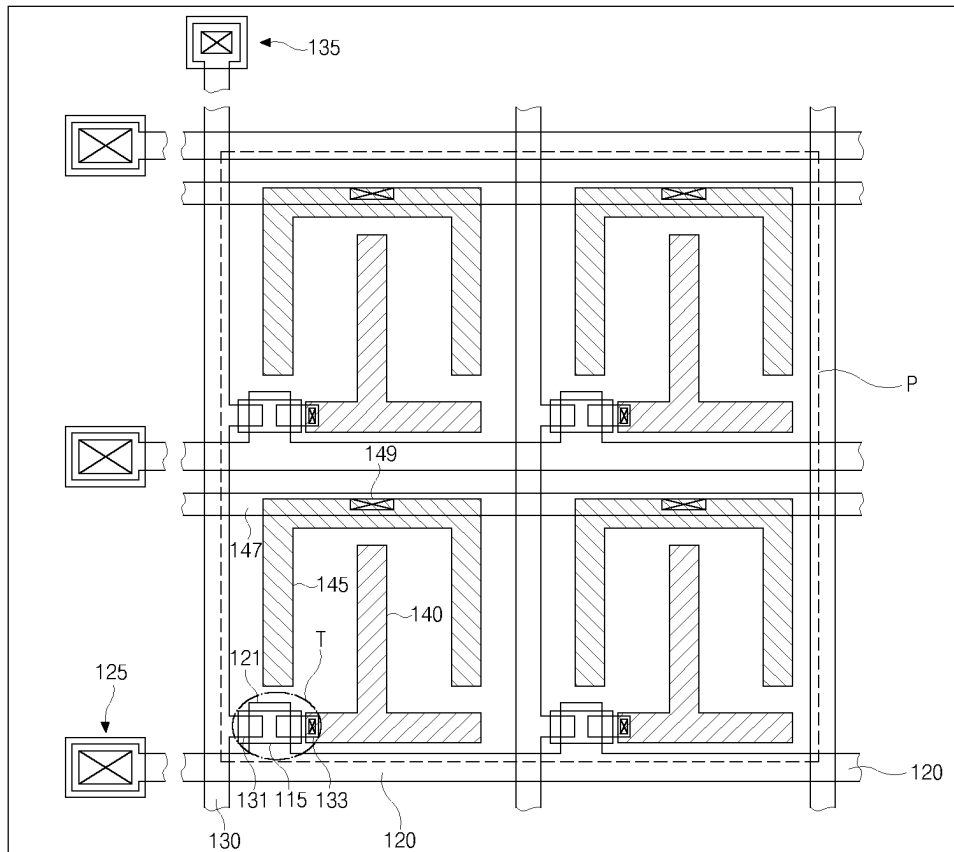
도면1a



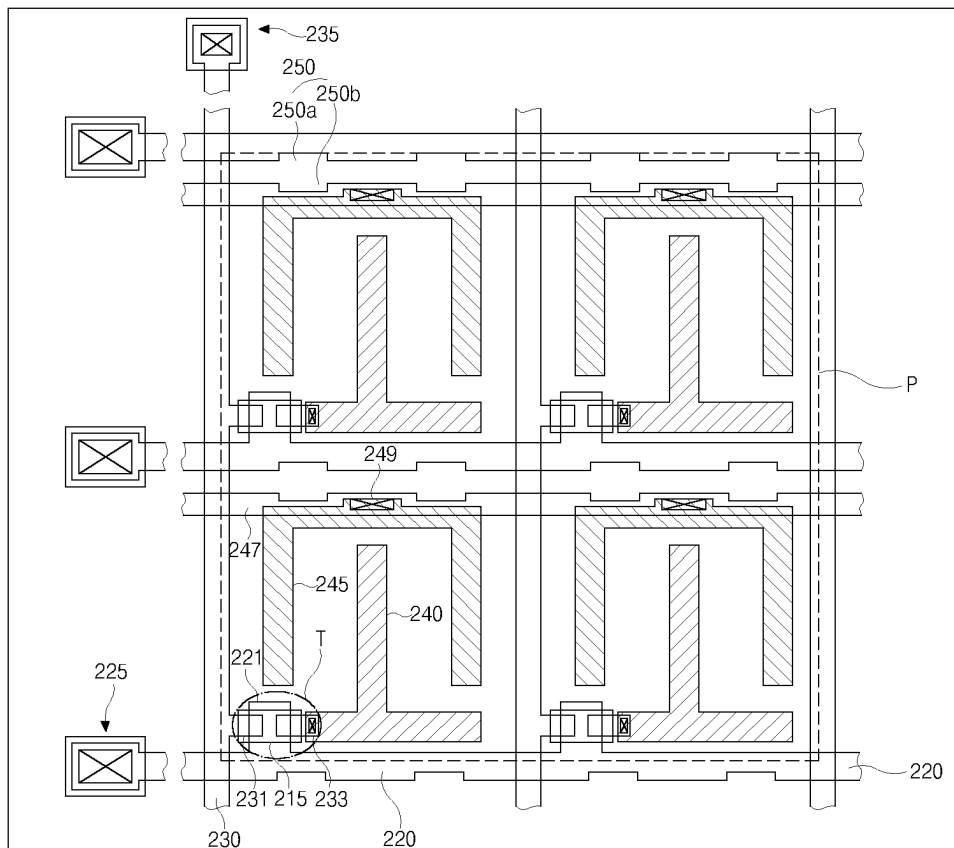
도면1b



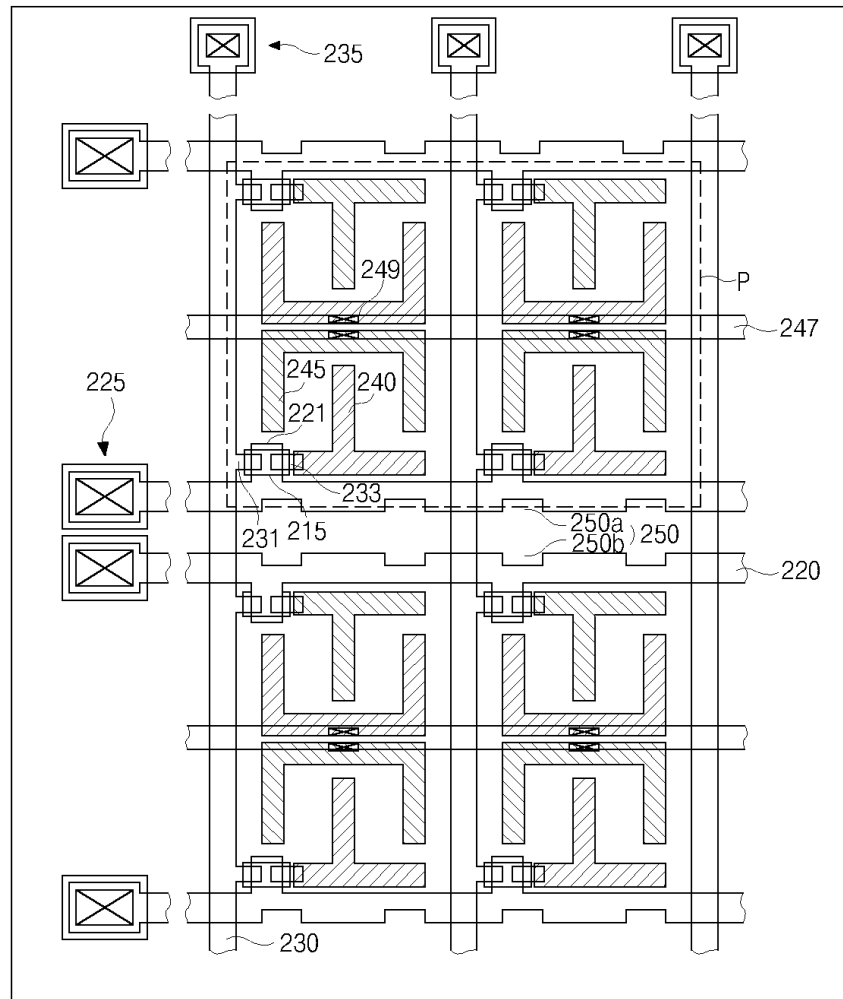
도면2



도면3



도면4



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020050064356A	公开(公告)日	2005-06-29
申请号	KR1020030095715	申请日	2003-12-23
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK JONGJIN 박종진 KIM WOONGKWON 김웅권		
发明人	박종진 김웅권		
IPC分类号	G02F1/1343 G02F1/1362		
CPC分类号	G02F2001/134345 G02F1/136286 G02F2201/40 G02F1/134363		
其他公开文献	KR100998640B1		
外部链接	Espacenet		

摘要(译)

用途：提供一种液晶显示器及其制造方法，以通过在布置在彼此附近的栅极线和公共线的相对表面处形成凹槽来防止蚀刻工艺期间的短路。

