

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)(51) Int. Cl.<sup>7</sup>  
G02F 1/133(11) 공개번호 10-2005-0050916  
(43) 공개일자 2005년06월01일(21) 출원번호 10-2003-0084577  
(22) 출원일자 2003년11월26일(71) 출원인 재단법인서울대학교산학협력재단  
서울특별시 관악구 봉천동 산 4-2(72) 발명자 한민구  
서울특별시강남구압구정1동현대아파트85동201호  
남우진  
경기도과천시주암동70-17대일아트빌라1차나동301호  
정상훈  
서울특별시동작구사당3동동작삼성래미안아파트113동403호

(74) 대리인 이건주

심사청구 : 있음

## (54) 액정표시장치의 데이터 드라이버

## 요약

본 발명은 액정표시장치를 구동하기 위한 구동회로 중 데이터 드라이버에 관한 것으로, 특히 P-타입 트랜지스터만으로 구현한 액정표시장치의 데이터 드라이버에 관한 것이다.

본 발명에 따른 액정표시장치의 데이터 드라이버는 샘플링 신호를 공급하는 쉬프트 레지스터 어레이와, 상기 샘플링 신호에 응답하여 비디오 데이터를 래치하여 출력하는 래치 어레이와, 상기 래치 어레이의 출력신호에 따라 해당 데이터 라인을 선택하는 디코더 어레이와, 상기 디코더 어레이의 출력신호에 따라 해당 데이터 라인으로 아날로그 전압을 출력하는 전송게이트 어레이를 포함하여 구성됨을 특징으로 한다.

## 대표도

도 2

## 색인어

데이터 드라이버, 다결정 박막 트랜지스터, 부트-스트래핑,

## 명세서

## 도면의 간단한 설명

도 1은 일반적인 액정표시장치의 구성을 나타낸 블록도,

도 2는 본 발명에 따른 데이터 드라이버의 구성예를 나타낸 도면,

도 3은 본 발명에 따른 P-타입 박막트랜지스터만으로 구성된 데이터 래치를 구현하기 위해 필요한 인버터 회로의 구성예를 나타낸 도면,

도 4는 도 3의 타이밍도,

도 5a는 도 3의 회로에 신호를 인가한 결과를 나타낸 측정 결과도,

도 5b는 도 3의 회로에 Vss 신호를 더 낮게 인가한 결과를 나타낸 레벨 쉬프터 측정 결과도,

도 6은 본 발명의 래치회로에 사용되는 스위칭 인버터의 회로도,  
 도 7은 도 6의 스위칭 인버터를 상보적으로 연결하여 래치를 구성한 예를 나타낸 도면,  
 도 8은 본 발명에 따른 디코더의 회로도,  
 도 9는 본 발명에 따른 NAND 게이트 회로의 구성예를 나타낸 도면,  
 도 10은 본 발명에 따른 NAND 게이트 회로의 다른 구성예를 나타낸 도면,  
 도 11은 본 발명에 따른 전송 게이트의 회로도,  
 도 12a는 P-타입 트랜지스터만으로 구성된 전송 게이트의 예시도,  
 도 12b는 일반적인 CMOS 전송 게이트의 회로도,  
 도 13은 본 발명에 따른 전송 게이트의 회로도,  
 도 14는 본 발명에 따른 D/A 컨버터의 출력 특성을 나타낸 시뮬레이션 결과도,  
 도 15는 도 2의 타이밍도.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치를 구동하기 위한 구동회로 중 데이터 드라이버에 관한 것으로, 특히 P-타입 트랜지스터만으로 구현한 액정표시장치의 데이터 드라이버에 관한 것이다.

능동형(Active Matrix) 액정 디스플레이(Liquid Crystal Display)나 유기 EL 디스플레이를 구현할 때 디스플레이 화소 패널과 이를 구동하기 위한 구동회로 패널을 집적하는 것에 대한 연구가 진행되고 있다.

현재 연구되고 있는 구동회로 집적 기술은 크게 다음의 두 개 회로를 패널 내에 내장하는 데에 초점을 맞추고 있다. 첫째, 화소 패널 내에 화소 어레이(array)의 각 라인을 선택하는 쉬프트 레지스터(shift resistor)를 설계하는 것과 둘째, 칩셋(chipset)에서 출력된 전압(3.3V 내지 5V 수준)을 화소 픽셀의 박막트랜지스터(Thin Film Transistor: 이하 TFT라 칭함)를 스위칭시키기 위한 전압으로 승격시키는 레벨 쉬프터를 TFT로 설계하여 내장하는 것이다. 이러한 패널 내에 집적되는 구동 회로부를 설계하기 위해서 현재 N-타입 및 P-타입 폴리 실리콘 TFT를 함께 사용하는 CMOS 타입을 이용하고 있으며, 일반적인 CMOS 로직(logic)을 이용하여 설계하고 있다.

그러나, CMOS 타입의 회로는 N-타입 및 P-타입 트랜지스터를 함께 만들 때 많은 수의 마스크가 요구되고, 각기 문턱전압을 맞추기 위해 추가의 공정이 필요하게 된다. 이는 공정 수율을 낮추며 공정 단가를 증가시키는 주된 이유가 되며, 또한 회로의 동작 신뢰성이 떨어지는 재현성(reliability) 문제를 발생시킬 수 있다. 일반적으로 N-타입 TFT는 P-타입에 비해 소자 구동 시 핫-캐리어(hot carrier)에 의한 열적 손상을 입어 특성저하(degradation)가 심하게 나타나는 것으로 알려져 있다. 따라서, 폴리실리콘 TFT를 이용하여 CMOS 회로로 구동 회로부를 설계할 경우 N-타입 소자에 의한 열화현상을 방지하는 것이 필요하며 이를 위해 LDD 공정을 추가하고 있다. 결국 이러한 회로 구동의 안정성(stability)을 확보하기 위해서 추가의 공정이 요구되고 LDD 공정 자체가 또한 공정 수율을 현저히 저하시키는 요인으로 통상 보고 되고 있기 때문에 가급적 N-타입 폴리실리콘 박막 트랜지스터를 사용하지 않는 회로설계가 요구된다.

#### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기와 같은 종래기술의 문제점을 해결하기 위하여 안출된 것으로, 본 발명의 목적은 P-타입 트랜지스터만으로 구동회로 집적을 가능하게 하는 액정표시장치의 데이터 드라이버를 제공함에 있다.

상기 목적을 달성하기 위하여 본 발명에 따른 액정표시장치의 데이터 드라이버는 샘플링 신호를 공급하는 쉬프트 레지스터 어레이와, 상기 샘플링 신호에 응답하여 비디오 데이터를 래치하여 출력하는 래치 어레이와, 상기 래치 어레이의 출력 신호에 따라 해당 데이터 라인을 선택하는 디코더 어레이와, 상기 디코더 어레이의 출력신호에 따라 해당 데이터 라인으로 아날로그 전압을 출력하는 전송게이트 어레이를 포함하여 구성됨을 특징으로 한다.

바람직하게는, 상기 래치 어레이의 각 래치는 P-타입 트랜지스터로 구현된 인버터를 상보적으로 연결하여 구성하며, 상기 디코더 어레이의 각 디코더는 4-비트 NAND 게이트로 구현됨을 특징으로 한다.

바람직하게는, 상기 아날로그 전압은 저항스트링(resistor-string)으로 이루어진 전압소스로부터 선택적으로 얻어짐을 특징으로 한다.

더욱 바람직하게는, 상기 전송게이트 어레이의 각 전송게이트는 상기 디코더의 출력단에 연결된 커패시터와, 상기 커패시터와 전압소스 사이에 전류 통로가 형성되고, 외부 칩셋으로부터 공급되는 리셋신호를 게이트로 인가받는 제1 P-타입 트랜지스터와, 상기 커패시터의 출력신호를 게이트로 인가받고, 상기 전압소스에 소스가 연결된 제2 P-타입 트랜지스터를 포함하며, 상기 전압소스로부터의 입력전압에 대해 상기 제2 P-타입 트랜지스터의 게이트-소스 전압을 일정하게 유지하도록 함을 특징으로 한다.

## 발명의 구성 및 작용

이하, 본 발명에 따른 바람직한 실시 예를 첨부한 도면을 참조하여 상세히 설명한다. 도면에서 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 참조번호 및 부호로 나타내고 있음에 유의해야 한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.

도 1은 본 발명의 데이터 드라이버가 적용되는 액정표시장치의 구성을 나타낸 블록도로서, 상기 액정표시장치는 액정셀들이 매트릭스 형태로 배열된 액정패널(1)과, 액정패널(1)의 게이트 라인들(GL1 내지 GLn)을 구동하기 위한 게이트 드라이버(2)와, 액정패널(1)의 데이터 라인들(DL1 내지 DLm)을 구동하기 위한 데이터 드라이버(3) 및 게이트 드라이버(2)와 데이터 드라이버(3)를 제어하기 위한 타이밍 제어부(4)를 구비한다.

도 2는 본 발명에 따른 데이터 드라이버(3)의 구성예를 나타낸 도면이다.

도 2를 참조하면, 상기 데이터 드라이버(3)는 쉬프트 레지스터(100)와, 데이터 래치(200) 및 디지털/아날로그(D/A)컨버터(300)를 구비한다. 또한, D/A 컨버터(300)의 출력신호들을 신호 완충하여 데이터 라인들 각각으로 출력하는 출력버퍼(도시하지 않음)를 더 구비할 수 있다.

상기 쉬프트 레지스터(100)는 데이터 전압을 나타내는 정보가 디지털 값으로 입력되면 순차적으로 샘플링 신호를 공급한다. 데이터 전압은 하나의 게이트 라인에 대응되는 각각의 모든 화소에 전달되어야 하는데, 실제 데이터 전압 값들은 배선 라인을 통해 순차적으로 들어오므로 각각의 화소 전압을 각기 래치에 맞게 분배해주기 위한 쉬프트 레지스터가 필요하다.

상기 데이터 래치(200)는 제1 래치(210)와 제2 래치(220)를 구비하며, 샘플링 신호에 응답하여 비디오 데이터를 래치 하여 출력한다. 제1 래치(210)의 동작신호(SWA1, SWA2, SWA3)는 쉬프트 레지스터의 제어신호(SR.n, SR.n+1, SR.n+2)를 활용하며, 제2 래치(220)의 동작신호(SWB1, SWB2, SWB3)는 외부 구동회로를 통해서 제공된다. 일반적인 CMOS 래치회로의 경우 스위칭 인버터를 상보적으로 연결하여 입력된 전압의 반전값을 안정적으로 출력하는 방식을 취하고 있다. 본 발명에서는 P-타입 트랜지스터만을 사용하여 CMOS 회로에 상응하는 동작을 할 수 있도록 구성한다.

상기 데이터 래치를 구현하기 위해 필요한 기본적인 인버터는 출원번호 2002-63570 및 출원번호 2002-84147 에서 제안한 인버터 회로를 응용할 수 있다. 도 3은 본 발명에 따른 P-타입 박막트랜지스터만으로 구성된 데이터 래치를 구현하기 위해 필요한 인버터 회로의 구성예를 나타낸 것이며, 도 4는 도 3의 타이밍도이다. 도 3에서 T1과 T2는  $V_{ss}$  및  $V_{dd}$ 를 출력하는 트랜지스터이며, T3과 T4는 T1과 T2의 스위칭을 위한 트랜지스터이다. 입력신호 INb가 low이고 입력신호 IN이 high 일 때, T2와 T4는 턴-온 되고 T1과 T3은 턴-오프 되어 입력신호 low에 대해 반전되는 high( $V_d$ )가 출력된다. 역으로, 입력신호 INb가 high이고 입력신호 IN이 low 일 때, T2와 T4는 턴-오프 된다. 한편 T3은 포화영역(saturation region)에서 턴-온 상태를 유지하면서 T3과 T4 사이의 노드A의 전압을  $V_{IN} + |V_{th}|$  까지 낮춘 다음 턴-오프 된다. 이와 같이 노드 A가 낮아지게 되면 T1이 포화영역에서 턴-온 되어 출력노드의 전압이  $V_{ss}$ 를 향해 낮아지게 된다. 이때 노드 A는 전기적으로 플로팅(floating) 되어 있으므로 부트-스트래핑(boot-strapping)에 의해 T1은 계속해서 턴-온 된다. 따라서 출력노드의 전압은 계속해서 낮아질 수 있으며  $V_{ss}$ 까지 도달할 수 있게 되어 결과적으로 입력신호 high에 대해 반전되는 low( $V_{ss}$ )가 출력된다. 도 5a 는 P-타입 다결정 박막 트랜지스터를 이용하여 입력전원  $V_{dd}(10V)$  와  $V_{ss}(0V)$  그리고 입력신호 (0~10V) 에 대해 이러한 인버터 회로를 제작한 측정결과를 보여준다. 또한 입력전압에 대해 레벨슈프팅 된 전압 인가가 필요할 경우  $V_{ss}$  값을 입력신호의 low 전압 보다 더 낮게 설정함으로써 레벨 쉬프터를 구현할 수도 있다. 도 5b 는 도 3의 인버터 회로에서  $V_{ss}$  값이 더 낮게 (-10V) 설정된 경우의 레벨슈프터 측정결과를 보여준다.

도 6은 본 발명의 래치회로에 사용되는 스위칭 인버터의 회로도이다. 입력 신호 IN을 반전시키는 방식은 상기 언급한 인버터와 같으나, 입력 신호 RS를 이용하여 출력값을 제어한다. RS 신호가 low 일 때, IN 신호가 low이면 출력은 high이며 IN 신호가 high 이면 출력단의 값을 그대로 유지한다. RS 신호가 high가 되면 결과적으로 IN 및 SW 신호에 의한 인버터 동작을 하게 된다.

도 7은 도 6의 스위칭 인버터를 상보적으로 연결하여 래치를 구성한 예를 나타낸 것이다. 스위치 신호 SW1은 외부입력 IN 신호를 래치회로 내로 받아들이는 게이트를 턴-온 하는 역할을 하는 동시에 스위칭 인버터의 출력을 제어하는 도 6의 RS 신호의 역할을 수행한다. SW2와 SW3는 각기 인버터 동작을 시키기 위한 도 6의 SW 신호 역할을 수행한다. 결과적으로 P-타입 트랜지스터만으로 구성된 도 7의 래치회로를 이용하여 IN 신호에 대하여 반전된 값을 저장할 수 있다.

상기 D/A 컨버터(300)는 데이터 래치(200)로부터 입력되는 디지털 데이터를 아날로그 전압으로 변환한다. 상기 D/A 컨버터(300)는 디코더(310)와 전송 게이트(T/G, 320)로 구성된다.

도 8은 상기 디코더(310)의 회로도로서, 4-비트 낸드(NAND) 게이트를 이용하여 구현한 4-비트 디코더의 예이다. 각기 NAND 게이트로 입력되는 신호는  $D_0D_1D_2D_3D_0'D_1'D_2'D_3'$ 의 8가지로써 이중 4개를 선택하여 ABCD 입력단에 인가한다. 결과적으로 4비트를 받아서 구성되는 16개의 NAND 게이트 중 1개만 low를 출력하고 나머지 15개는 high를 출력한다.

도 9 및 도 10은 NAND 게이트 회로의 구성예를 나타낸 것이다. NAND 게이트는 입력 신호가 모두 high 일 때 출력 low를 내보내는 회로로서, n-비트의 신호를 받아 원하는 출력단을 선택하는 디코더(decoder) 회로를 구현할 때 유용하게 사용된다.

도 9는 4개의 입력신호 ABCD와 각기 반전된 형태인 4개의 A'B'C'D' 신호를 입력 신호로 받아서 NAND 연산을 수행하는 회로이다. 입력 신호 ABCD 중에서 어느 하나라도 low가 존재하면 출력은 high가 된다. 반면 입력 신호 ABCD=1111가 되면(동시에 A'B'C'D'=0000가 되면) 본 회로는 인버터 동작을 하게 되므로 출력은 low가 된다.

도 10은 입력 신호 ABCD만을 받아서 NAND 연산을 수행하는 회로를 보여준다. 도 9의 경우 반전 신호 4개가 필요하여 전체 8개의 입력신호를 필요로 하였으나, 도 10의 경우 반전 신호를 필요로 하지 않는 것이 특징이다. 다만 CTL 제어 신호를 이용하여 NAND 출력을 내보낸다. 도 10의 회로는 반전신호를 사용하지 않고 CTL 제어 신호를 사용하므로 회로 동작 시 누설전류(through-current)를 최소화 시킬 수 있다.

도 9의 경우 ABCD=1111 이외의 나머지 15가지 조합의 경우 누설전류가 항상 흐르게 되기 때문에 소비전력 문제가 발생할 수 있으나, 도 10의 경우 CTL 제어 신호가 입력될 때만 누설 전류가 흐르기 때문에 저전력 구동의 이점이 있다.

도 11은 상기 전송 게이트(T/G, 320)의 회로도이다. 도 11에서 아날로그 전압을 출력하는 스위치가 바로 전송 게이트(T/G)라 할 수 있으며, TC를 거쳐 출력되는 전압이 바로 디스플레이 화상 회로로 입력되는 데이터 전압이 된다. 이러한 전송 게이트를 P-타입 트랜지스터만으로 구성할 경우 도 12a와 같이 트랜지스터 1개만을 이용한 간단한 형태를 생각할 수 있다. 그러나 도 12b에 도시된 CMOS 전송 게이트에 비해 전류구동능력이 떨어지는 단점이 있다. CMOS 회로의 경우 P-타입 및 N-타입 트랜지스터를 함께 사용하므로 입력된 전압이 어떤 값을 갖는지 충분한 구동능력을 갖고 출력할 수 있다. 그러나 P-타입만 사용할 경우 입력된 전압의 레벨에 따라서 Vgs가 변하므로 트랜지스터의 전류구동능력이 달라진다. 따라서 출력단의 로드(load)가 클 경우 충전시간이 길어지는 문제점이 발생할 수 있다. 이러한 문제점을 해결하기 위해서 가장 간단한 해결 방법은 트랜지스터의 크기(size)를 키움으로써 전류구동능력을 향상시키는 것이다. 하지만 이 경우에도 Vin에 따른 트랜지스터의 전류구동능력 불균일성은 여전히 문제로 남는다.

또 다른 방법으로 도 13에 도시된 바와 같이 전송 게이트의 입력 전압 Vin에 대하여 출력 트랜지스터(M2)의 Vgs를 일정하게 맞춰주는 것이다. M2의 소스 단에 Vin이 인가되고 게이트 단에는  $Vin + V_{const.}$ 가 인가되도록 함으로써  $Vgs = V_{const.}$ 가 되도록 설계한다. 이렇게 하기 위해 M2의 게이트 단에 디코더 출력(TG2)이 바로 인가되지 않고 커패시터 Cpump를 통해서 인가되도록 한다. 또한 M1을 이용하여 Vin에 대해  $Vin + V_{offset}$ (대략 2V) 전압을 받을 수 있도록 한다. 여기서 M1의 역할을  $Vgs = V_{offset}$ 으로 만들어 M2를 턴-온 시키기 위함이며  $Vin + V_{offset}$  전압은 저항스트링(resistor-string)으로 이루어진 전압소스로부터 쉽게 얻을 수 있다. 따라서 디코더 출력(TG2)이 전달될 경우 M2의 게이트 단의 전압은 TG2 신호의 스윙에 의해 커패시터 Cpump를 거치면서  $Vin + V_{offset} + V_{swing}$ 이 된다. 만약 TG2 신호의 스윙폭이 15V 이하이면  $V_{swing} = -10V$ 가 되어 결과적으로  $Vin + V_{offset} + V_{swing} = Vin + 2 - 15 = Vin - 13(volt)$ 가 된다. 따라서 Vin에 관계없이  $Vgs + -13V$ 가 되고 본 발명의 전송 게이트는 균일한 전류구동능력을 갖게 된다.

도 14는 본 발명에 따른 D/A 컨버터(300)의 출력의 시뮬레이션 결과를 나타낸 도면이다. 도면에서, 출력 전압의 범위(약 2V 내지 9V)에 대해서 균일한 전류전달능력을 가짐을 확인할 수 있다.

전술한 구성을 갖는 본 발명에 따른 데이터 드라이버의 동작은 다음과 같다. 도 15는 도 2의 타이밍도이다.

도 2 및 도 15를 참조하면, 데이터 전압을 나타내는 정보가 디지털 값으로 입력되면 쉬프트 레지스트(100)를 거쳐 제1 래치(210)에 순차적으로 저장된다. 제1 래치(210)에 데이터가 반전된 값을 가지면서 순차적으로 저장되어 모두 저장되면 제1 래치(210)의 출력값은 제2 래치(220)에 동시에 입력된다. 제2 래치(220)에 입력된 디지털 정보는 반전되어 제2 래치(220)의 출력값으로 출력되며 이때 입력된 정보와 출력된 정보(입력된 정보의 반전값) 두 가지 신호값을 디코더(310)에서 받는다. 디코더에서는 원하는 출력단자에 전송 게이트 트랜지스터를 턴-온 시키게 되므로 원하는 아날로그 전압을 데이터 라인으로 출력하게 된다. 여기서 데이터를 저장하고 처리하는 제어신호 즉, SWB1, SWB2, SWB3, 인에이블 신호(EN), 전송게이트 리셋 신호(TRGS)는 외부 칩셋으로부터 공급되는 신호이다. 그리고, 제2 래치(220)로부터 출력된 데이터가 상기 과정을 거쳐 데이터 라인으로 아날로그 데이터를 출력되는 동안 제1 래치(210)에서는 다음 신호를 받아 순차적으로 샘플링한다. 한편 본 발명의 상세한 설명에서는 구체적인 실시 예에 관해 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다. 그러므로 본 발명의 범위는 설명된 실시 예에 국한되어 정해져서는 아니 되며 후술하는 특허청구의 범위뿐만 아니라 이 특허청구의 범위와 균등한 것들에 의해 정해져야 한다.

## 발명의 효과

상술한 바와 같이 본 발명은 P-타입 트랜지스터만을 이용하여 데이터 드라이버를 구현함으로써 구동회로를 패널 집적에 적용할 경우 집적회로 공정비용을 절감하고 동시에 패널의 수율을 향상시킬 수 있어 양산면에서도 경쟁력 있는 우수한 디스플레이 패널을 생산할 수 있다.

또한 본 발명에 의하면, P-타입 트랜지스터만으로 구성되었음에도 불구하고 회로구동 시 불필요한 누설-전류를 최소화할 수 있기 때문에 저소비전력 구동이 가능하다. 또한 본 발명은 N-타입 소자만으로도 구성이 가능하여, 비정질 실리콘 TFT를 이용하여 회로를 설계할 경우 NMOS 집적회로 구현에도 적용될 수 있다.

## (57) 청구의 범위



## 청구항 1.

샘플링 신호를 공급하는 쉬프트 레지스터 어레이와,  
 상기 샘플링 신호에 응답하여 비디오 데이터를 래치하여 출력하는 래치 어레이와,  
 상기 래치 어레이의 출력신호에 따라 해당 데이터 라인을 선택하는 디코더 어레이와,  
 상기 디코더 어레이의 출력신호에 따라 해당 데이터 라인으로 아날로그 전압을 출력하는 전송게이트 어레이를 포함하여 구성됨을 특징으로 하는 액정표시장치의 데이터 드라이버.

## 청구항 2.

제 1 항에 있어서, 상기 래치 어레이는  
 상기 샘플링 신호에 응답하여 비디오 데이터를 순차적으로 저장하는 제1 래치 어레이와,  
 외부 칩셋으로부터 공급되는 제어신호에 응답하여 상기 제1 래치 어레이의 출력신호를 소정시간 홀드하는 제2 래치 어레이를 포함하여 구성됨을 특징으로 하는 액정표시장치의 데이터 드라이버.

## 청구항 3.

제 1 항 또는 제 2 항에 있어서, 상기 래치 어레이의 각 래치는  
 P-타입 트랜지스터로 구현된 인버터를 상보적으로 연결하여 구성함을 특징으로 하는 액정표시장치의 데이터 드라이버.

## 청구항 4.

제 1 항에 있어서, 상기 디코더 어레이의 각 디코더는  
 4-비트 NAND 게이트로 구현됨을 특징으로 하는 액정표시장치의 데이터 드라이버.

## 청구항 5.

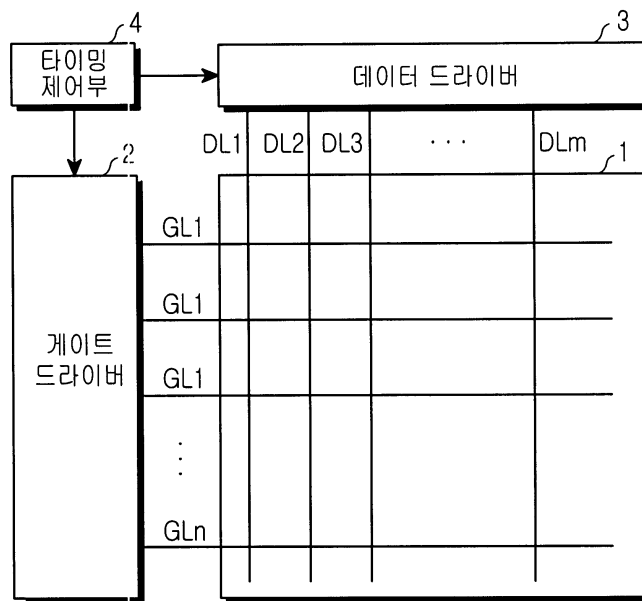
제 1 항에 있어서, 상기 아날로그 전압은  
 저항스트링(resistor-string)으로 이루어진 전압소스로부터 선택적으로 얻어짐을 특징으로 하는 액정표시장치의 데이터 드라이버.

## 청구항 6.

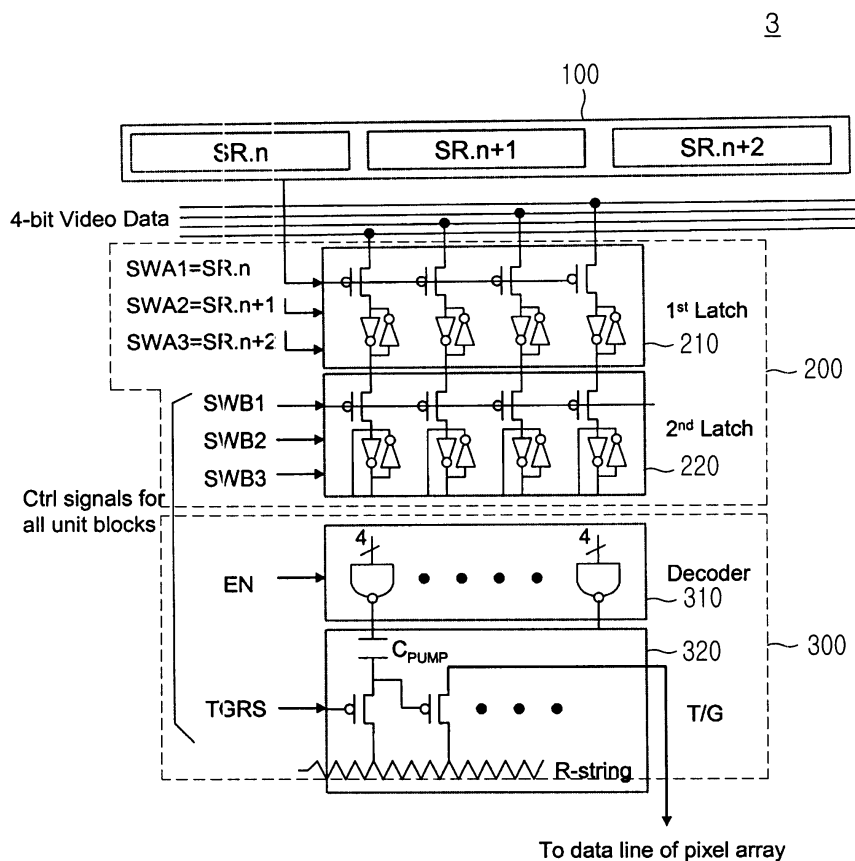
제 5 항에 있어서, 상기 전송게이트 어레이의 각 전송게이트는  
 상기 디코더의 출력단에 연결된 커패시터와,  
 상기 커패시터와 전압소스 사이에 전류 통로가 형성되고, 외부 칩셋으로부터 공급되는 리셋신호를 게이트로 인가받는 제 1 P-타입 트랜지스터와,  
 상기 커패시터의 출력신호를 게이트로 인가받고, 상기 전압소스에 소스가 연결된 제2 P-타입 트랜지스터를 포함하며,  
 상기 전압소스로부터의 입력전압에 대해 상기 제2 P-타입 트랜지스터의 게이트-소스 전압을 일정하게 유지하도록 함을 특징으로 하는 액정표시장치의 데이터 드라이버.

도면

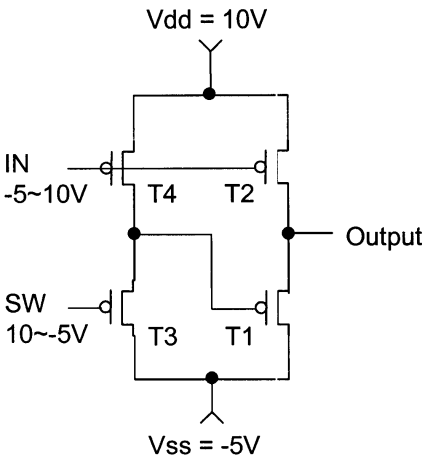
도면1



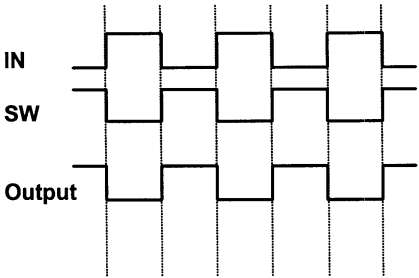
도면2



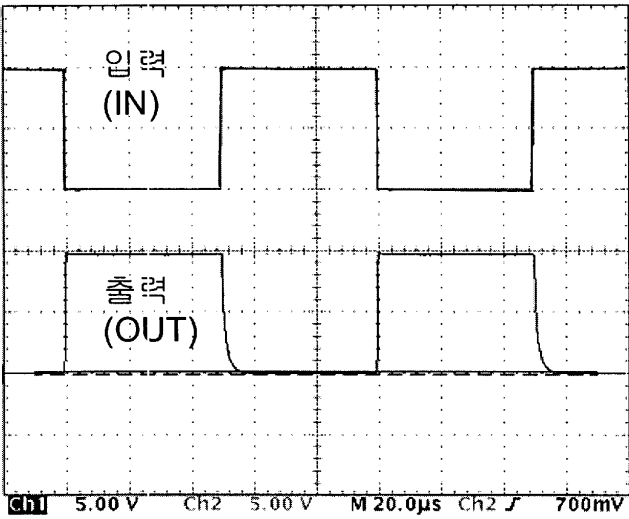
도면3



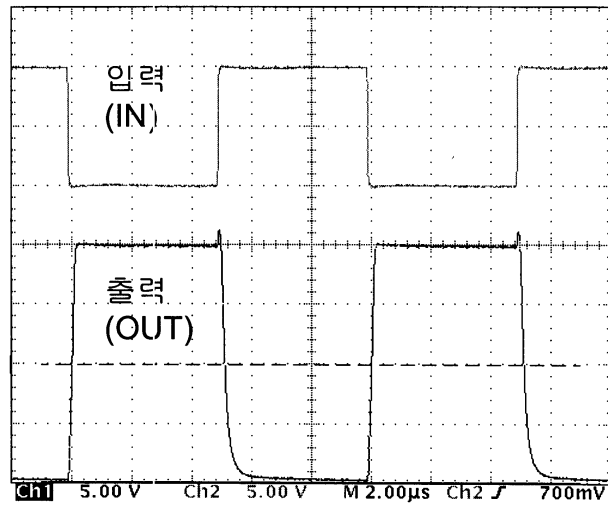
도면4



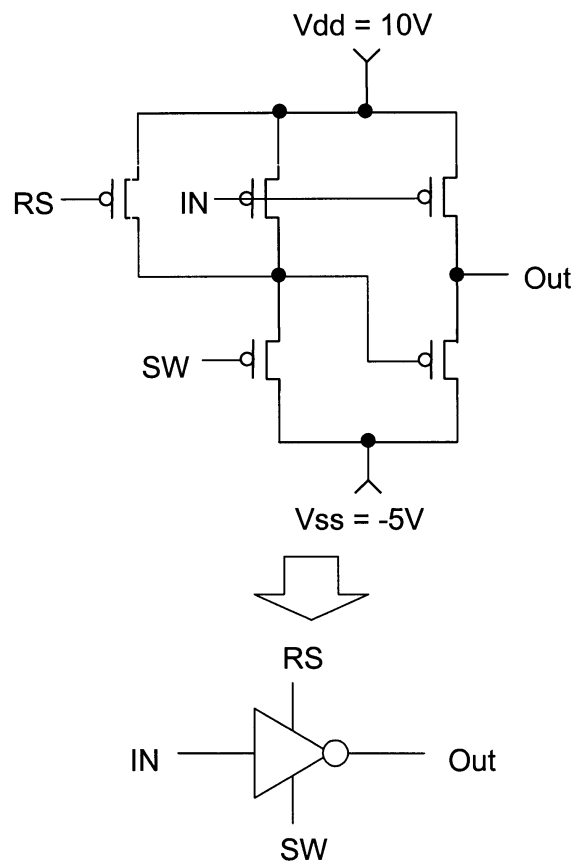
도면5a



도면5b

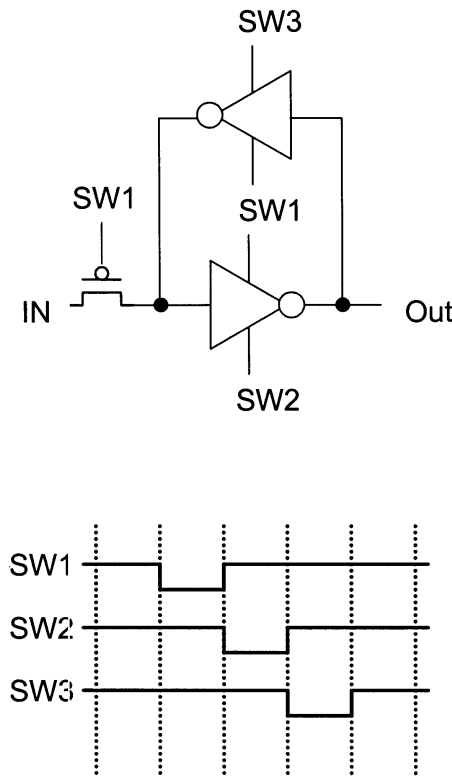


도면6

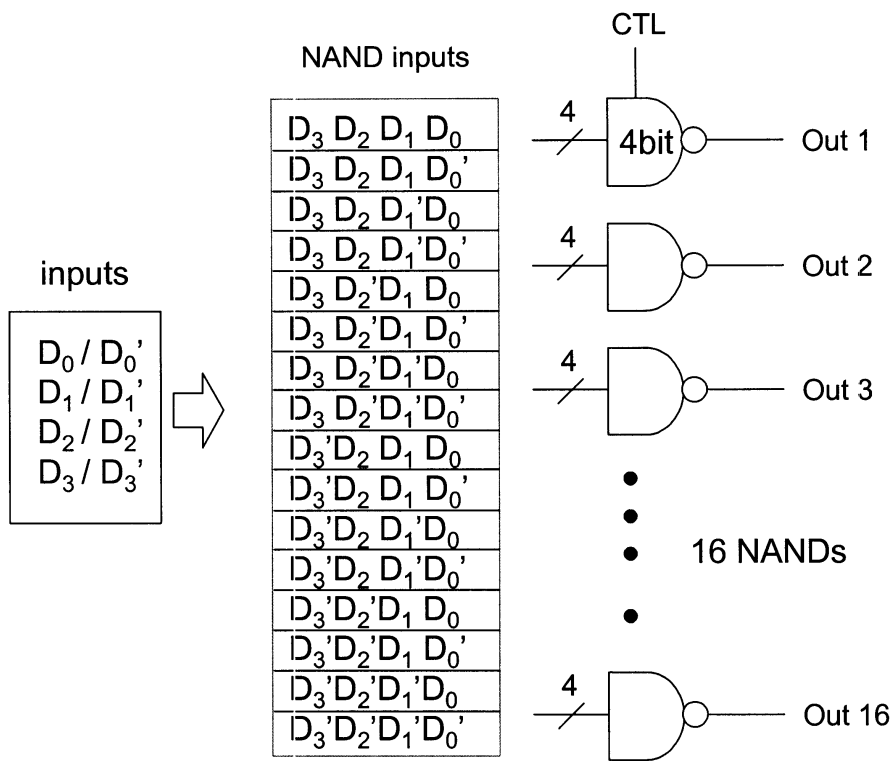




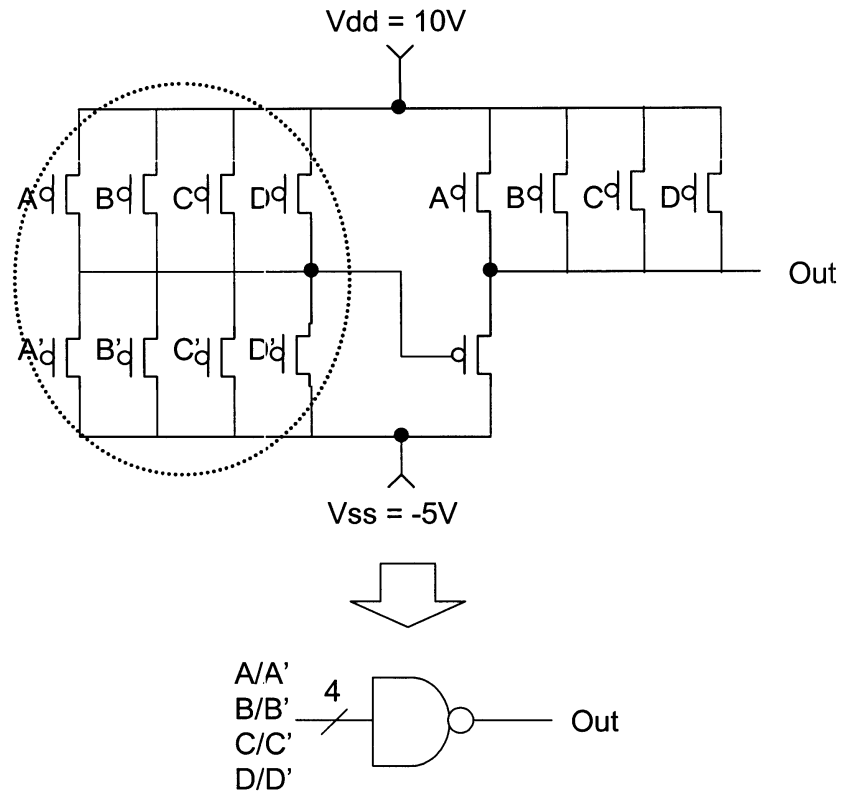
도면7



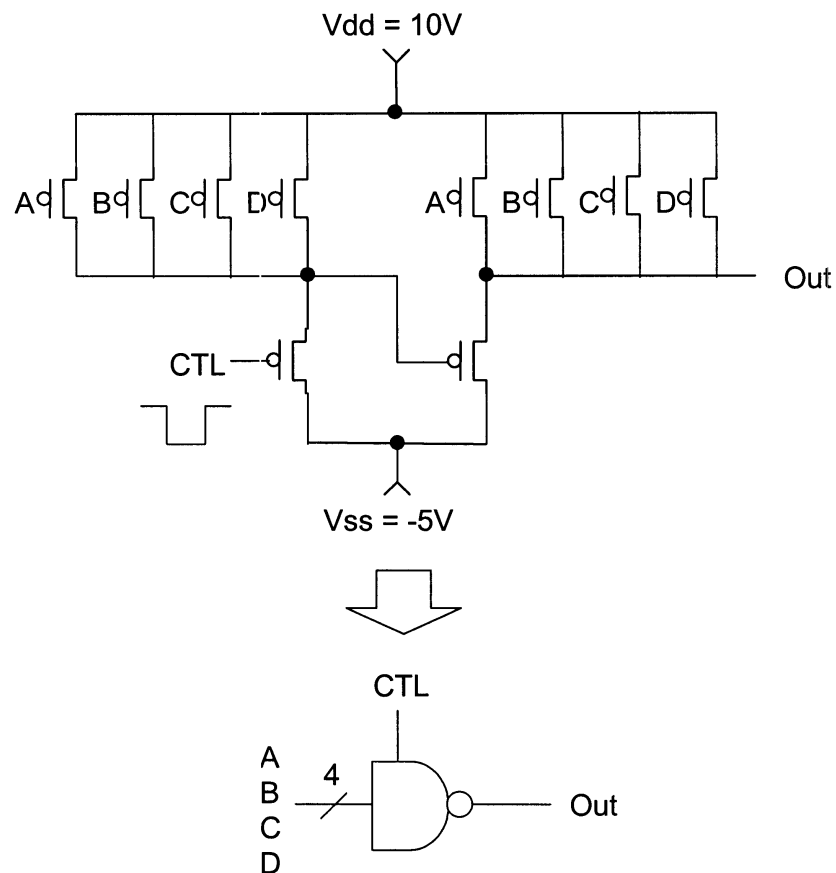
도면8



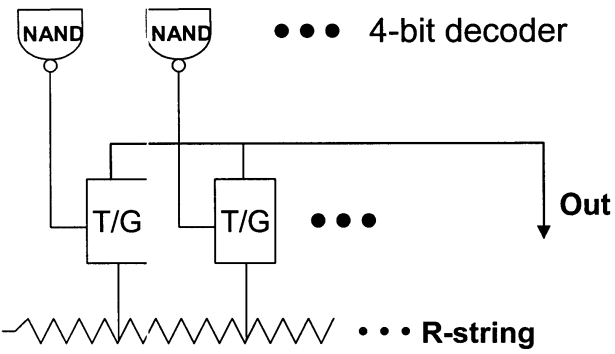
도면9



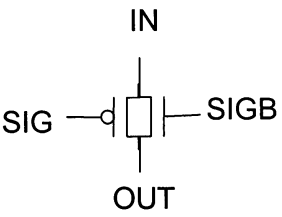
도면10



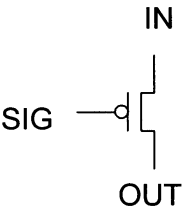
도면11



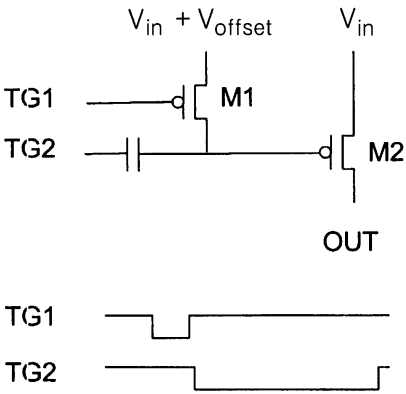
도면12a



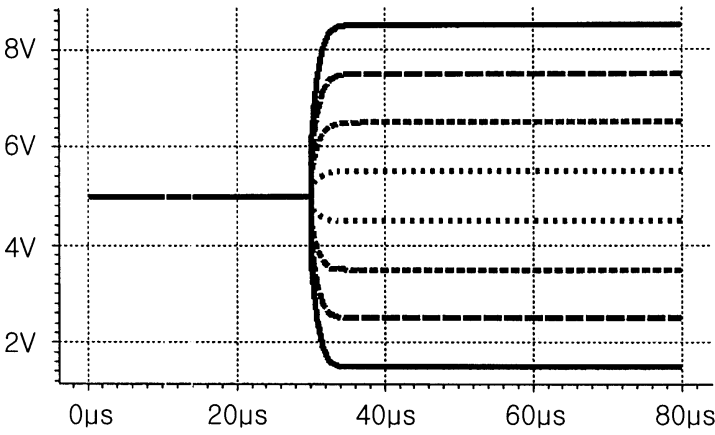
도면12b



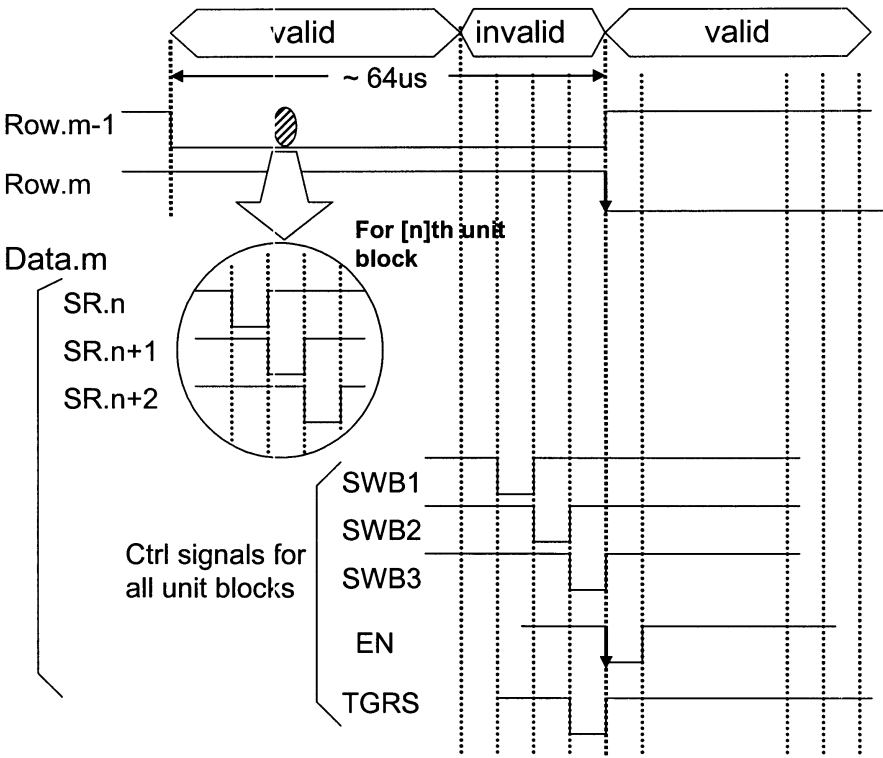
도면13



도면14



도면15



|                |                                                               |         |            |
|----------------|---------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 液晶显示装置的数据驱动器                                                  |         |            |
| 公开(公告)号        | <a href="#">KR1020050050916A</a>                              | 公开(公告)日 | 2005-06-01 |
| 申请号            | KR1020030084577                                               | 申请日     | 2003-11-26 |
| [标]申请(专利权)人(译) | 首尔大学校产学协力团                                                    |         |            |
| 申请(专利权)人(译)    | 首尔国立大学产学合作基金会基金会                                              |         |            |
| 当前申请(专利权)人(译)  | 首尔国立大学产学合作基金会基金会                                              |         |            |
| [标]发明人         | HAN MINKOO<br>한민구<br>NAM WOJIN<br>남우진<br>JUNG SANGHOON<br>정상훈 |         |            |
| 发明人            | 한민구<br>남우진<br>정상훈                                             |         |            |
| IPC分类号         | G02F1/133                                                     |         |            |
| 代理人(译)         | 李, KEON JOO                                                   |         |            |
| 其他公开文献         | KR100704016B1                                                 |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                     |         |            |

# 摘要(译)

用途：提供LCD（液晶显示器）的数据驱动器，使得仅通过使用P型晶体管集成驱动电路成为可能，并降低集成电路的工艺成本并提高显示面板的产量当通过用P型晶体管实现数据驱动器将驱动电路应用于显示面板的集成时。

