(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G02F 1/133

(11) 공개번호 10-2004-0049348
(43) 공개일자 2004년06월12일

(21) 출원번호 10-2002-0076357
(22) 출원일자 2002년12월03일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 안승국
경상북도구미시비산동전원리빙APT1309호

강신호
경상북도구미시송정동한신아파트101-701

(74) 대리인 김영호

심사청구 : 없음

(54) 액정표시장치의 데이터 구동 장치 및 방법

요약

본 발명은 데이터라인들의 시분할 구동으로 데이터 드라이브 IC의 수를 줄이면서 화상 표시품질을 향상시킬 수 있는 액정표시장치의 데이터 구동 장치 및 방법에 관한 것이다.

본 발명의 한 특징에 따른 액정표시장치의 데이터 구동 장치는 입력된 화소데이터를 시분할하고 시분할된 화소데이터의 공급순서를 수평기간 단위 및 프레임 단위로 교번적으로 바꾸어 공급하는 제1 멀티플렉서 어레이와; 상기 화소데이터의 출력채널을 적어도 2수평기간 단위로 교번적으로 바꾸어 주기 위한 제2 멀티플렉서 어레이와; 상기 화소데이터를 인접 채널의 화소데이터와 상반된 극성을 가지는 아날로그 화소신호로 변환하기 위한 디지탈-아날로그 변환 어레이와; 상기 화소신호의 출력채널을 적어도 2수평기간 단위로 교번적으로 바꾸어 주기 위한 제3 멀티플렉서 어레이와; 데이터라인들을 시분할하고 시분할된 데이터라인들에 상기 화소신호의 공급순서를 적어도 수평기간 단위 및 프레임 단위로 교번적으로 바꾸어 공급하는 디멀티플렉서 어레이를 구비한다.

대표도

도 4

명세서

도면의 간단한 설명

도 1은 종래 액정표시장치의 구성을 개략적으로 도시한 도면.

도 2는 도 1에 도시된 데이터 드라이브 IC의 상세구성을 도시한 블록도.

도 3a 및 도 3b는 도 2에 도시된 데이터 드라이브 IC의 기수 프레임 및 우수 프레임 구동 파형도.

도 4는 본 발명의 실시 예에 따른 데이터 드라이브 IC의 구성을 도시한 블록도.

도 5a 및 도 5b는 도 4에 도시된 데이터 드라이브 IC의 기수 프레임 및 우수 프레임 구동 파형도.

도 6a 및 도 6b는 도 5a 및 도 5b에 도시된 구동파형에 의한 액정셀의 충전특성도.

도 7a는 및 도 7b는 도트 인버젼 방식으로 구동되는 윈도우 셔트 시안 패턴의 기수 프레임과 우수 프레임을 도시한 도면.

도 8a 및 도 8b는 도트 인버젼 방식으로 구동되는 윈도우 셔트 그린 패턴의 기수 프레임과 우수 프레임을 도시한 도면.

도 9a는 및 도 9b는 수직 2도트 인버젼 방식으로 구동되는 윈도우 셔트 시안 패턴의 기수 프레임과 우수 프레임을 도시한 도면.

도 10a 및 도 10b는 수직 2도트 인버젼 방식으로 구동되는 윈도우 셔트 그린 패턴의 기수 프레임과 우수 프레임을 도시한 도면.

도 11은 본 발명의 다른 실시 예에 따른 데이터 드라이브 IC의 구성을 도시한 도면.

도 12a 및 도 12b는 도 11에 도시된 데이터 레지스터부의 구동 파형도.

도 13a 및 도 13b는 도 11에 도시된 데이터 드라이브 IC의 기수 프레임 및 우수 프레임 구동 파형도.

<도면의 주요부분에 대한 설명>

2 : 액정패널 4 : 데이터 드라이브 IC

6 : 데이터 TCP 8 : 게이트 드라이브 IC

10 : 게이트 TCP 12, 42, 102 : 쉬트트 레지스터 어레이

13, 48, 108 : 제1 래치 14, 44, 104 : 쉬프터 레지스터

15, 54, 114 : 제1 MUX 어레이 17, 56, 116 : 제1 MUX

16, 46, 106 : 제1 래치 어레이 18, 50, 110 : 제2 래치 어레이

19, 52, 1112 : 제2 래치 20, 62, 122 : DAC 어레이

22, 64, 126 : NDAC 24, 66, 124 : PDAC

26, 68, 128 : 버퍼 어레이 28, 70, 130 : 버퍼

30, 58, 140 : 제2 MUX 어레이 32, 60, 142 : 제2 MUX

34, 88, 148 : 데이터 레지스터 36, 90, 190 : 감마 전압부

80 : 제3 MUX 어레이 82 : 제3 MUX

84, 144 : DEMUX 어레이 86, 146 : DEMUX

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 데이터라인들을 시분할 구동하여 데이터 드라이브 집적회로를 절감하면서도 화상의 표시품질을 향상시킬 수 있는 액정표시장치의 데이터 구동 장치 및 방법에 관한 것이다.

통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여 액정표시장치는 액정셀들이 액티브 매트릭스 형태로 배열되어진 액정패널과 이 액정패널을 구동하기 위한 구동회로를 구비한다.

실제로, 액정표시장치는 도 1에 도시된 바와 같이 데이터 TCP(Tape Carrier Pakage)(6)를 통해 액정패널(2)과 접속된 데이터 드라이브 IC(Integrated Circuit)들(4)과, 게이트 TCP(10)를 통해 액정패널(2)과 접속된 게이트 드라이브 IC들(8)을 구비한다.

액정패널(2)은 게이트라인들과 데이터라인들의 교차부마다 형성된 박막트랜지스터와, 박막트랜지스터에 접속된 액정셀을 구비한다. 박막트랜지스터의 게이트전극은 수평라인 단위의 게이트라인들 중 어느 하나와 접속되고, 소스전극은 수직 라인단위의 데이터라인들 중 어느 하나와 접속된다. 이러한 박막트랜지스터는 게이트라인으로부터의 스캔신호에 응답하여 데이터라인으로부터의 화소신호를 액정셀에 공급한다. 액정셀은 박막트랜지스터의 드레인 전극과 접속된 화소전극과, 그 화소전극과 액정을 사이에 두고 대면하는 공통전극을 구비한다. 이러한 액정셀은 화소전극에 공급되는 화소신호에 응답하여 액정을 구동함으로써 광투과율을 조절하게 된다.

게이트 드라이브 IC들(8) 각각은 게이트 TCP(10) 각각에 실장된다. 게이트 TCP(10)에 실장된 게이트 드라이브 IC(8)는 게이트 TCP(10)를 통해 액정패널(2)의 게이트 패드들과 전기적으로 접속된다. 이러한 게이트 드라이브 IC들(8)은 액정패널(2)의 게이트라인들을 1수평기간(1H) 단위로 순차 구동하게 된다.

데이터 드라이브 IC들(4) 각각은 데이터 TCP(6) 각각에 실장된다. 데이터 TCP(6)에 실장된 데이터 드라이브 IC(4)는 데이터 TCP(6)를 통해 액정패널(2)의 데이터 패드들과 전기적으로 접속된다. 이러한 데이터 드라이브 IC들(4)은 디지털 화소데이터를 아날로그 화소신호로 변환하여 1수평기간(1H) 단위로 액정패널(2)의 데이터라인들에 공급한다.

이를 위하여, 데이터 드라이브 IC들(4) 각각은 도 2에 도시된 바와 같이 순차적인 샘플링신호를 공급하는 쉬프트 레지스터 어레이(12)와, 샘플링신호에 응답하여 화소데이터를 래치하여 출력하는 제1 및 제2 래치 어레이(16, 18)와, 제1 및 제2 래치 어레이(16, 18) 사이에 배치된 제1 멀티플렉서(Multiplexer;이하, MUX라 함)(15)와, 제2 래치 어레이(18)로부터의 화소데이터를 화소신호로 변환하는 디지 털-아날로그 변환(이하, DAC라 함) 어레이(20)와, DAC 어레이(20)로부터의 화소신호를 완충하여 출력하는 버퍼 어레이(26)와, 버퍼 어레이(26) 출력의 진행경로를 선택하는 제2 MUX 어레이(30)를 구비한다. 또한, 데이터 드라이브 IC(4)는 타이밍 제어부(도시하지 않음)로부터 공급되는 화소데이터(R, G, B)를 중계하는 데이터 레지스터(34)와, DAC 어레이(20)에서 필요로 하는 정극성 및 부극성 감마전압들을 공급하는 감마 전압부(36)를 중계하는 극성제어부(38)를 더 구비한다.

이러한 구성을 갖는 데이터 드라이브 IC들(4) 각각은 n개씩의 데이터라인들을 구동하기 위하여 n채널(예컨데, 384 또는 480 채널)의 데이터출력을 갖는다. 이러한 데이터 드라이브 IC(4)의 n채널 중 도 2는 6채널(D1 내지 D6) 부분만을 도시한다.

데이터 레지스터(34)는 타이밍 제어부로부터의 화소데이터를 중계하여 제1 래치 어레이(16)로 공급한다. 특히 타이밍 제어부는 전송 주파수 감소를 위해 화소데이터를 우수 화소데이터(RGBeven)와 기수 화소데이터(RGBodd)로 분리하여 각각의 전송라인을 통해 데이터 레지스터(34)로 공급하게 된다. 데이터 레지스터(34)는 입력된 우수 화소데이터(RGBeven)와 기수 화소데이터(RGBodd)를 각각의 전송라인을 통해 제1 래치 어레이(16)로 출력한다. 여기서 우수 화소데이터(RGBeven)와 기수 화소데이터(RGBodd) 각각은 적(R), 녹(G), 청(B) 화소데이터를 포함한다.

감마전압부(36)는 감마 기준전압 발생부(도시하지 않음)로부터 입력되는 다수개의 감마 기준전압을 그레이별로 세분화하여 출력한다.

쉬프트 레지스터 어레이(12)는 순차적인 샘플링신호를 발생하여 제1 래치 어 레이(16)로 공급하고, 이를 위하여 n/6개의 쉬프트 레지스터(14)를 구비한다. 도 2에 도시된 첫번째 단의 쉬프트 레지스터(14)는 타이밍 제어부로부터 입력되는 소스 스타트 펄스(SSP)를 소스 샘플링 클럭신호(SSC)에 따라 쉬프트시켜 샘플링신호로 출력함과 동시에 다음 단의 쉬프트 레지스터(14)에 캐리신호(CAR)로 공급한다. 소스 스타트 펄스(SSP)는 도 3a 및 도 3b에 도시된 바와 같이 1수평기간(1H) 단위로 공급되고 소스 샘플링 클럭신호(SSC) 마다 쉬프트되어 샘플링신호로 출력된다.

제1 래치 어레이(16)는 쉬프트 레지스터 어레이(12)로부터의 샘플링신호에 응답하여 데이터 레지스터(34)로부터의

화소데이터(RGBeven, RGBodd)를 일정단위씩 샘플링하여 래치한다. 제1 래치 어레이(16)는 n개의 화소데이터(R, G, B)를 래치하기 위해 n개의 제1 래치들(13)로 구성되고, 그 제1 래치들(13) 각각은 화소데이터(R, G, B)의 비트수(3비트 또는 6비트)에 대응하는 크기를 갖는다. 이러한 제1 래치 어레이(16)는 샘플링 신호마다 우수 화소데이터(RGBeven)와 기수 화소데이터(RGBodd), 즉 6개씩의 화소데이터를 샘플링하여 래치한 다음 동시에 출력한다.

제1 MUX 어레이(15)는 타이밍 제어부로부터의 극성제어신호(POL)에 응답하여 제1 래치 어레이(16)로부터 공급되는 화소데이터(R, G, B)의 진행경로를 결정하게 된다. 이를 위하여 제1 MUX 어레이(15)는 n-1개의 제1 MUX들(17)을 구비한다. 제1 MUX들(17) 각각은 인접한 두개의 제1 래치(13) 출력을 입력하여 극성제어신호(POL)에 따라 선택적으로 출력하게 된다. 여기서, 첫번째와 마지막번째 제1 래치들(13)을 제외한 나머지 제1 래치들(13) 각각의 출력은 인접한 두개의 제1 MUX(17)에 공 유되어 입력된다. 첫번째와 마지막번째 제1 래치들(13)의 출력은 제2 래치어레이(18)와 제1 MUX(17)에 공유되어 입력된다. 이러한 구성을 가지는 제1 MUX 어레이(15)는 극성제어신호(POL)에 따라 제1 래치들(13) 각각으로부터의 화소데이터(R, G, B)가 그대로 제2 래치부(18)로 진행되게 제어하거나, 한칸씩 오른쪽으로 쉬프트되어 제2 래치부(18)로 진행되게 제어한다. 극성제어신호(POL)는 도 3a 및 도 3b에 도시된 바와 같이 1수평기간(1H) 마다 그 극성이 반전된다. 결과적으로 제1 MUX 어레이(15)는 제1 래치 어레이(16)로부터의 화소데이터(R, G, B) 각각이 극성제어신호(POL)에 응답하여 제2 래치 어레이(18)를 경유하여 DAC 어레이(20)의 P(Positive)DAC(22) 또는 N(Negative)DAC(24)으로 출력되게 함으로써 화소데이터(R, G, B)의 극성을 제어하게 된다.

제2 래치 어레이(18)는 제1 래치 어레이(16)로부터 제1 MUX 어레이(15)를 경유하여 입력되는 화소데이터(R, G, B)를 타이밍 제어부로부터의 소스 출력 이네이블신호(SOE)에 응답하여 동시에 래치한 후 출력한다. 특히 제2 래치 어레이(18)는 제1 래치 어레이(16)로부터의 화소데이터(R, G, B)가 라이트 쉬프트되어 입력되는 경우를 고려하여 n+1개의 제2 래치들(19)을 구비한다. 소스 출력 이네이블신호(SOE)는 도 3a 및 도 3b에 도시된 바와 같이 1수평기간(1H) 단위로 발생한다. 제2 래치 어레이(18)는 이 소스 출력 이네이블신호(SOE)의 라이징 에지에서 입력되는 화소데이터들(R, G, B)을 동시에 래치하고 폴링 에지에서 동시에 출력한다.

DAC 어레이(20)는 제2 래치 어레이(18)로부터의 화소데이터들(R, G, B)을 감 마전압부(36)로부터의 정극성 및 부극성 감마전압(GH, GL)을 이용하여 화소신호로 변환하여 출력하게 된다. 이를 위하여, DAC 어레이(20)는 n+1개의 PDAC(22) 및 NDAC(24)을 구비하고, 도트 인버젼 구동을 위해 PDAC(22)과 NDAC(24)이 교번적으로 나란하게 배치된다. PDAC(22)은 제2 래치 어레이(18)로부터의 화소데이터들(R, G, B)을 정극성 감마전압들(GH)을 이용하여 정극성 화소신호로 변환한다. NDAC(24)은 제2 래치 어레이(18)로부터 화소데이터들(R, G, B)을 부극성 감마전압들(GL)을 이용하여 부극성 화소신호로 변환한다.

버퍼 어레이(26)에 포함되는 n+1개의 버퍼들(28) 각각은 DAC 어레이(20)의 PDAC(22) 및 NDAC(24) 각각으로부터 출력되는 화소신호를 신호완충하여 출력한다.

제2 MUX 어레이(30)는 타이밍 제어부로부터의 극성제어신호(POL)에 응답하여 버퍼 어레이(26)로부터 공급되는 화소신호의 진행경로를 결정하게 된다. 이를 위하여, 제2 MUX 어레이(30)는 n개의 제2 MUX들(32)을 구비한다. 제2 MUX들(32) 각각은 극성제어신호(POL)에 응답하여 인접한 2개의 버퍼들(28) 중 어느 하나의 출력을 선택하여 해당 데이터라인(D)으로 출력한다. 여기서, 첫번째 마지막번째 버퍼(28)를 제외한 나머지 버퍼들(28)의 출력단은 인접한 2개의 제2 MUX들(32)에 공유되어 입력된다. 이러한 구성을 가지는 제2 MUX 어레이(30)는 극성제어신호(POL)에 응답하여 마지막번째 버퍼(28)를 제외한 버퍼들(28) 각각으로부터의 화소신호가 그대로 데이터라인(D1 내지 D6)과 일대일 대응되어 출력되게 한다. 또한, 제2 MUX 어레이(30)는 극성제어신호(POL)에 응답하여 첫번째 버퍼(28)를 제외한 나머지 버퍼들(28) 각각으로부터의 화소신호가 한칸씩 왼쪽으로 쉬프트 되어 데이터라인(D1 내지 D6)과 일대일 대응되어 출력되게 한다. 극성제어신호(POL)는 제1 MUX 어레이(15)에 공급되는 것과 동일하게 도 3a 및 도 3b에 도시된 바와 같이 1수평기간(1H) 마다 그 극성이 반전된다. 이와 같이 제2 MUX 어레이(30)는 제1 MUX 어레이(15)와 함께 극성제어신호(POL)에 응답하여 데이터라인들(D1 내지 D6)에 공급되는 화소신호의 극성을 결정하게 된다. 이 결과 제2 MUX 어레이(30)를 통해 데이터라인들(D1 내지 D6) 각각에 공급되는 화소신호는 인접한 화소신호들과 상반된 극성을 갖는다. 다시 말하여 도 3a 및 도 3b에 도시된 바와 같이 DL1, DL3, DL5 등과 같은 기수 데이터라인들(Dodd)로 출력되는 화소신호와 DL2, DL4, DL6 등과 같은 우수 데이터라인들(Deven)로 출력되는 화소신호는 서로 상반되는 극성을 갖게 된다. 그리고 그 기수 데이터라인들(Dodd)과 우수 데이터라인들(Deven)의 극성은 게이트라인들(GL1, GL2, GL3, ...)이 순차적으로 구동되는 1수평주기(1H) 마다 반전됨과 아울러 프레임 단위로 반전되게 된다.

이와 같이 종래의 데이터 드라이브 IC들(4) 각각은 n개의 데이터라인들을 구동하기 위하여 n+1개씩의 DAC들 및 버퍼들을 포함해야만 한다. 이 결과, 종래의 데이터 드라이브 IC들(4)은 그 구성이 복잡하고 제조단가가 상대적으로 높은 단점을 가진다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 데이터라인들의 시분할 구동으로 데이터 드라이브 IC의 수를 줄이면서 화상 표시품질을 향상시킬 수 있는 액정표시장치의 데이터 구 동 장치 및 방법을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 한 특징에 따른 액정표시장치의 데이터 구동 장치는 입력된 화소데이터를 시분할하고 시분할된 화소데이터의 공급순서를 수평기간 단위 및 프레임 단위로 교번적으로 바꾸어 공급하는 제1 멀티플렉서 어레이와; 상기 화소데이터의 출력채널을 적어도 2수평기간 단위로 교번적으로 바꾸어 주기 위한 제2 멀티플렉서 어레이와; 상기 화소데이터를 인접 채널의 화소데이터와 상반된 극성을 가지는 아날로그 화소신호로 변환하기 위한 디지탈-아날로그 변환 어레이와; 상기 화소신호의 출력채널을 적어도 2수평기간 단위로 교번적으로 바꾸어 주기 위한 제3 멀티플렉서 어레이와; 데이터라인들을 시분할하고 시분할된 데이터라인들에 상기 화소신호의 공급순서를 적어도 수평기간 단위 및 프레임 단위로 교번적으로 바꾸어 공급하는 디멀티플렉서 어레이를 구비한다.

그리고, 샘플링신호를 순차적으로 발생하기 위한 쉬프트 레지스터 어레이와; 상기 샘플링신호에 응답하여 입력 화소데이터를 소정단위씩 순차적으로 래치하여 상기 제1 멀티플렉서 어레이로 동시에 출력하기 위한 래치 어레이와; 상기 디지탈-아날로그 변환 어레이로부터의 화소신호를 버퍼링하여 상기 제3 멀티플렉서 어레이로 공급하기 위한 위한 버퍼 어레이를 추가로 구비하는 것을 특징으로 한다.

상기 제2 멀티플렉서 어레이는 상기 적어도 2수평기간 단위로 상기 화소데이터들을 그대로 출력하거나 한 채널씩 오른쪽으로 쉬프트시켜 출력하고, 상기 제3 멀티플렉서 어레이는 상기 적어도 2수평기간 단위로 상기 화소신호들을 그대로 출력하거나 한 채널씩 왼쪽으로 쉬프트시켜 출력하는 것을 특징으로 한다.

상기 디멀티플렉서 어레이가 2n개의 데이터라인들을 구동하는 경우 상기 디지탈-아날로그 변환 어레이는 n+1개의 정극성 및 부극성 디지탈-아날로그 변환기를 구비하고, 상기 정극성 디지탈-아날로그 변환기와 상기 부극성 디지탈-아날로그 변환기가 교번하여 배치된 것을 특징으로 한다.

상기 제1 멀티플렉서 어레이는 2n개의 화소데이터들을 적어도 n개씩 시분할하여 공급하기 위한 적어도 n개의 제1 멀티플렉서들을, 상기 제2 멀티플렉서 어레이는 적어도 2개의 상기 제1 멀티플렉서들의 출력 중 어느 하나를 선택하기 위한 적어도 n-1개의 제2 멀티플렉서들을, 상기 제3 멀티플렉서 어레이는 적어도 2개의 상기 디지탈-아날로그 변환기의 출력 중 어느 하나를 선택하기 위한 적어도 n개의 제3 멀티플렉서들을, 상기 디멀티플렉서 어레이는 상기 제3 멀티플렉서들 각각의 출력을 적어도 2개의 데이터라인에 나누어 공급하기 위한 적어도 n개의 디멀티플렉서들을 포함하고, 상기 제1 멀티플렉서들 각각의 출력은 상기 적어도 2개의 제2 멀티플렉서들의 입력으로 공유되며, 상기 디지탈-아날로그 변환기 각각의 출력은 상기 적어도 2개의 제3 멀티플렉서들의 입력으로 공유되는 것을 특징으로 한다.

상기 적어도 n개의 제1 멀티플렉서들 중 기수번째 제1 멀티플렉서는 제1 선택제어신호에 응답하여 적어도 2개의 기수번째 화소데이터들 중 어느 하나를 선택하여 출력하고, 우수번째 제1 멀티플레서는 제2 선택제어신호에 응답하여 적어도 2개의 우수번째 화소데이터들 중 어느 하나를 선택하여 출력하고, 상기 적어도 n개 의 디멀티플렉서들 중 기수번째 디멀티플렉서는 상기 제1 선택제어신호에 응답하여 기수번째 제3 멀티플렉서로부터의 화소신호를 적어도 2개의 기수번째 데이터라인에 시분할하여 공급하고, 우수번째 디멀티플렉서는 상기 제2 선택제어신호에 응답하여 우수번째 제3 멀티플렉서로부터의 화소신호를 적어도 2개의 우수번째 데이터라인에 시분할하여 공급하는 것을 특징으로 한다.

상기 제1 및 제2 선택제어신호는 서로 상반된 극성을 가지며, 상기 화소데이터 및 화소신호의 출력순서를 수평기간 및 프레임 단위로 바꾸어 주기 위하여 수평기간 단위로 극성 반전되는 것을 특징으로 한다.

본 발명에 다른 특징에 따른 액정표시장치의 데이터 구동 장치는 입력 화소데이터들 중 4k-3(k는 양의 정수)번째 데이터 라인에 공급되어질 화소데이터와 4k-2번째 데이터 라인에 공급되어질 화소데이터를 상호 교환하여 재정렬하는 데이터 레지스터와; 상기 데이터 레지스터로부터의 화소데이터를 시분할하고 시분할된 화소데이터의 공급순서를 수평기간 단위 및 프레임 단위로 교번적으로 바꾸어 공급하는 제1 멀티플렉서 어레이와; 상기 화소데이터를 인접 채널의 화소데이터와 상반된 극성을 가지는 아날로그 화소신호로 변환하기 위한 디지탈-아날로그 변환 어레이와; 상기 화소신호의 출력채널을 적어도 2수평기간 단위로 교번적으로 바꾸어 주기 위한 제2 멀티플렉서 어레이와; 데이터라인들을 시분할하고 시분할된 데이터라인들에 상기 화소신호의 공급순서를 적어도 수평기간 단위 및 프레임 단위로 교번적으로 바꾸어 공급하는 디멀티플렉서 어레이를 구비한다.

상기 데이터 레지스터부는 적어도 2수평기간에서는 상기 재정렬된 화소데이 터들을 출력하고, 그 다음 적어도 2수평기간에서는 상기 재정렬된 화소데이터들을 2채널씩 지연시켜 출력하는 것을 특징으로 한다.

그리고, 본 발명의 데이터 구동 장치는 샘플링신호를 순차적으로 발생하기 위한 쉬프트 레지스터 어레이와; 상기 샘플링신호에 응답하여 상기 데이터 레지스터로부터의 입력 화소데이터를 소정단위씩 순차적으로 래치하여 상기 제1 멀티플렉서 어레이로 동시에 출력하기 위한 래치 어레이와; 상기 디지탈-아날로그 변환 어레이로부터의 화소신호를 버퍼링하여 상기 제2 멀티플렉서 어레이로 공급하기 위한 위한 버퍼 어레이를 추가로 구비하는 것을 특징으로 한다.

상기 제2 멀티플렉서 어레이는 상기 적어도 2수평기간 단위로 상기 화소신호들을 그대로 출력하거나 한 채널씩 왼쪽으로 쉬프트시켜 출력하는 것을 특징으로 한다.

상기 디멀티플렉서 어레이가 2n개의 데이터라인들을 구동하는 경우 상기 디지탈-아날로그 변환 어레이는 n+1 개의 정극성 및 부극성 디지탈-아날로그 변환기를 구비하고, 상기 정극성 디지탈-아날로그 변환기와 상기 부극성 디지탈-아날로그 변환기가 교번하여 배치된 것을 특징으로 한다.

상기 제1 멀티플렉서 어레이는 선택제어신호에 응답하여 2n개의 화소데이터들을 적어도 n개씩 시분할하여 공급하기 위한 적어도 n개의 제1 멀티플렉서들을, 상기 제2 멀티플렉서 어레이는 극성제어신호에 응답하여 적어도 2개의 상기 디지탈-아날로그 변환기의 출력 중 어느 하나를 선택하기 위한 적어도 n개의 제2 멀티플렉서들을, 상기 디멀티플렉서 어레이는 상기 선택제어신호에 응답하여 상기 제2 멀티플렉서들 각각의 출력을 적어도 2개의 데이터라인에 나누어 공급하기 위한 적어도 n개의 디멀티플렉서들을 포함하고, 상기 디지탈-아날로그 변환기 각각의 출력은 상기 적어도 2개의 제2 멀티플렉서들의 입력으로 공유되는 것을 특징으로 한다.

상기 선택제어신호는 상기 화소데이터 및 화소신호의 출력순서를 수평기간 및 프레임 단위로 바꾸어 주기 위하여 수평기간 단위로 극성 반전되는 것을 특징으로 한다.

본 발명의 한 특징에 따른 액정표시장치의 데이터 구동 방법은 선택제어신호에 응답하여 입력된 화소데이터를 시분할하고 시분할된 화소데이터의 공급순서를 적어도 수평기간 단위 및 프레임 단위로 교번적으로 바꾸어 공급하는 단계와; 적어도 2수평기간 단위로 극성반전되는 극성제어신호에 따라 상기 화소데이터의 출력채널을 그대로 유지하거나 한 채널씩 오른쪽으로 쉬프트시켜 출력하는 단계와; 상기 화소데이터를 아날로그 화소전압 신호로 변환하는 단계와; 상기 극성제어신호에 따라 상기 화소신호의 출력채널을 그대로 유지하거나 한 채널씩 왼쪽으로 쉬프트시켜 출력하는 단계와; 상기 선택제어신호에 응답하여 다수개의 데이터라인들을 시분할하여 상기 화소신호를 공급하고, 그 화소신호의 공급순서를 적어도 수평기간 단위 및 프레임 단위로 교번적으로 바꾸어 공급하는 단계를 포함한다.

그리고, 본 발명의 데이터 구동 방법은 상기 화소데이터를 시분할하여 공급하는 단계 이전에, 샘플링신호를 순차적으로 발생하는 단계와; 상기 샘플링신호에 응답하여 상기 화소데이터들을 소정단위씩 순차적으로 래치하여 동시에 출력 단계 를 추가로 포함하고, 상기 화소신호로 변환한 단계 이후에, 상기 화소신호를 버퍼링하는 단계를 추가로 포함하는 것을 특징으로 한다.

상기 화소데이터를 시분할하는 단계는 기수번째 화소데이터들과 우수번째 화소데이터들을 분리하여 시분할하는 단계를 포함하는 것을 특징으로 한다.

상기 데이터라인들을 시분할하는 단계는 기수번째 데이터라인들과 우수번째 데이터라인들을 분리하여 시분할하는 단계를 포함하는 것을 특징으로 한다.

본 발명의 다른 특징에 따른 액정표시장치의 데이터 구동 방법은 입력 화소데이터들 중 4k-3(k는 양의 정수)번째 데이터 라인에 공급되어질 화소데이터와 4k-2번째 데이터 라인에 공급되어질 화소데이터를 상호 교환하여 재정렬하는 단계와; 선택제어신호에 응답하여 상기 재정렬된 화소데이터를 시분할하고 시분할된 화소데이터의 공급순서를 수평기간 단위 및 프레임 단위로 교번적으로 바꾸어 공급하는 단계와; 상기 화소데이터를 인접 채널의 화소데이터와 상반된 극성을 가지는 아날로그 화소신호로 변환하는 단계와; 상기 적어도 2수평기간 단위로 극성반전되는 극성제어신호에 따라 상기 화소신호의 출력채널을 그대로 유지하거나 한 채널씩 왼쪽으로 쉬프트시켜 출력하는 단계와; 상기 선택제어신호에 응답하여 다수개의 데이터라인들을 시분할하여 상기 화소신호를 공급하고, 그 화소신호의 공급순서를 적어도 수평기간 단위 및 프레임 단위로 교번적으로 바꾸어 공급하는 단계를 포함한다.

그리고, 본 발명의 데이터 구동 방법은 상기 화소데이터를 시분할하여 공급하는 단계 이전에, 샘플링신호를 순차적으로 발생하는 단계와; 상기 샘플링신호에 응답하여 상기 재정렬된 화소데이터들을 소정단위씩 순차적으로 래치하여 동시에 출력 단계를 추가로 포함하고, 상기 화소신호로 변환한 단계 이후에, 상기 화소신호를 버퍼링하는 단계를 추가로 포함하는 것을 특징으로 한다.

상기 화소 데이터를 재정렬하는 단계는 적어도 2수평기간에서는 상기 재정렬된 화소데이터들을 출력하고, 그 다음 적어도 2수평기간에서는 상기 재정렬된 화소데이터들을 2채널씩 지연시켜 출력하는 단계를 추가로 포함하는 것을 특징으로 한다.

상기 선택제어신호는 수평기간 단위로 극성 반전되는 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면들을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 본 발명의 바람직한 실시예들을 도 4 내지 도 13b를 참조하여 설명하기로 한다.

도 4는 본 발명의 실시 예에 따른 액정표시장치의 데이터 드라이브 IC의 구성을 도시한 블록도이고, 도 5a 및 도 5b는 도 4에 도시된 데이터 드라이브 IC에 의한 기수 프레임 및 우수 프레임의 구동 파형도이다.

도 4에 도시된 데이터 드라이브 IC는 순차적인 샘플링신호를 공급하는 쉬프트 레지스터 어레이(42)와, 샘플링신호에 응답하여 화소데이터(R, G, B)를 래치하여 출력하는 제1 및 제2 래치 어레이(46, 50)와, 제2 래치 어레이(50)로부터의 화소데이터(R, G, B)를 시분할하여 출력하기 위한 제1 MUX 어레이(54)와, 제1 MUX 어레이(54)로부터 공급되는 화소데이터(R, G, B)의 진행경로를 제어하는 제2 MUX 어레이(58)와, 제2 MUX 어레이(58)로부터의 화소데이터(R, G, B)를 화소신호로 변환 하는 DAC 어레이(62)와, DAC 어레이(62)로부터의 화소신호를 완충하여 출력하는 버퍼 어레이(68)와, 버퍼 어레이(68) 출력의 진행경로를 제어하는 제3 MUX 어레이(80)와, 제3 MUX 어레이(80)로부터의 화소신호를 데이터라인들(D1 내지 D12)에 시분할하여 출력하기 위한 DEMUX 어레이(84)를 구비한다. 또한, 도 4에 도시된 데이터 드라이브 IC는 타이밍 제어부(도시하지 않음)로부터 공급되는 화소데이터(R, G, B)를 중계하는 데이터 레지스터(88)와, DAC 어레이(62)에서 필요로 하는 정극성 및 부극성 감마전압들을 공급하는 감마 전압부(90)를 더 구비한다.

이러한 구성을 갖는 데이터 드라이브 IC는 제1 MUX 어레이(54)와 DEMUX 어레이(84)를 이용하여 DAC 어레이(62)를 시분할구동함으로써 n+1개의 DAC(64, 66) 및 버퍼(70)를 이용하여 종래 대비 2배인 2n개의 데이터라인들을 구동하게 된다. 이렇게 데이터 드라이브 IC는 2n개의 데이터라인들을 구동하기 위하여 2n채널의 데이터출력을 갖으나, 도 4에서는 n=6이라 가정하여 12채널(D1 내지 D12) 부분만을 도시한다. 그리고, 데이터 드라이브 IC는 데이터라인들을 수직 2도트 인버젼 방식으로 구동함과 아울러, 시분할된 화소신호의 충전순서를 적어도 하나의 수평기간(1H) 및 프레임 마다 교번적으로 바꾸어 줌으로써 화상의 표시 품질을 향상시킬 수 있게 한다.

데이터 레지스터(88)는 타이밍 제어부로부터의 화소데이터를 중계하여 제1 래치 어레이(46)로 공급한다. 특히 타이밍 제어부는 전송 주파수 감소를 위해 화소데이터를 우수 화소데이터(RGBeven)와 기수 화소데이터(RGBodd)로 분리하여 각각의 전송라인을 통해 데이터 레지스터(88)로 공급하게 된다. 데이터 레지스터(88)는 입력된 우수 화소데이터(RGBeven)와 기수 화소데이터(RGBodd)를 각각의 전송라인을 통해 제1 래치 어레이(46)로 출력한다. 여기서 우수 화소데이터(RGBeven)와 기수 화소데이터(RGBodd) 각각은 적(R), 녹(G), 청(B) 화소데이터를 포함한다.

감마 전압부(90)는 감마 기준전압 발생부(도시하지 않음)로부터 입력되는 다수개의 감마 기준전압을 그레이별로 세분화하여 출력한다.

쉬프트 레지스터 어레이(42)는 순차적인 샘플링신호를 발생하여 제1 래치 어레이(46)로 공급하고, 이를 위하여 2n/6(여기서, n=6)개의 쉬프트 레지스터(44)를 구비한다. 도 4에 도시된 첫번째 단의 쉬프트 레지스터(44)는 타이밍 제어부로부터 입력되는 소스 스타트 펄스(SSP)를 소스 샘플링 클럭신호(SSC)에 따라 쉬프트시켜 샘플링신호로 출력함과 동시에 다음단의 쉬프트 레지스터(44)에 캐리신호(CAR)로 공급한다. 소스 스타트 펄스(SSP)는 도 5a 및 도 5b에 도시된 바와 같이 수평기간 단위로 공급되고 소스 샘플링 클럭신호(SSC) 마다 쉬프트되어 샘플링신호로 출력된다.

제1 래치 어레이(46)는 쉬프트 레지스터 어레이(42)로부터의 샘플링신호에 응답하여 데이터 레지스터(88)로부터의 화소데이터(RGBeven, RGBodd)를 일정단위씩 샘플링하여 래치한다. 제1 래치 어레이(46)는 2n(여기서, n=6)개의 화소데이터(R, G, B)를 래치하기 위해 2n개의 제1 래치들(48)로 구성되고, 그 제1 래치들(48) 각각은 화소데이터(R, G, B)의 비트수(3비트 또는 6비트)에 대응하는 크기를 갖는다. 이러한 제1 래치 어레이(46)는 샘플링 신호마다 우수 화소데이터(RGBeven)와 기수 화소데이터(RGBodd), 즉 6개씩의 화소데이터를 샘플링하여 래치한 다음 동시에 출력한다.

제2 래치 어레이(50)는 제1 래치 어레이(46)로부터의 화소데이터(R, G, B)를 타이밍 제어부로부터의 소스 출력 이네이블신호(SOE)에 응답하여 동시에 래치한 후 출력한다. 제2 래치 어레이(50)는 제1 래치 어레이(46)와 동일하게 2n(여기서, n=6)개의 제2 래치들(52)을 구비한다. 소스 출력 이네이블신호(SOE)는 도 5a 및 도 5b에 도시된 바와 같이 수평기간 단위로 발생한다.

제1 MUX 어레이(54)는 타이밍제어부로부터의 제1 및 제2 선택제어신호(Θ1, Θ2)에 응답하여 제2 래치 어레이(50)로부터의 2n(여기서, n=6)개 화소데이터를 H/2기간 단위로 n개씩 시분할하여 출력한다. 이 경우, 제1 MUX 어레이(54)는 H/2기간 단위로 출력하는 화소데이터의 출력순서를 적어도 수평기간 및 프레임 마다 교번적으로 바꾸어 주게

된다. 이를 위하여, 제1 MUX 어레이(54)는 n개의 MUX1들(56)로 구성된다. MUX1들(56) 각각은 제2 래치 어레이(50)에서 두개의 제2 래치들(52) 중 어느 하나의 출력을 선택하여 출력한다. 다시 말하여, MUX1들(56) 각각은 두개의 제2 래치들(52)의 출력을 1/2 수평기간 단위로 시분할하여 공급한다. 그리고, MUX1들(56) 각각은 적어도 수평기간 및 프레임마다 제2 래치들(52)의 출력을 선택하여 공급하는 순서를 교번적으로 바꾸어 주게 된다.

상세히 하면, 수직 2도트 인버젼 구동을 위해 기수번째 MUX1(56)는 제1 선택제어신호(Θ1)에 응답하여 2개의 기수번째 제2 래치들(52)의 출력 중 어느 하나를 선택하여 출력하고, 우수번째 MUX1(56)는 제2 선택제어신호(Θ2)에 응답하여 2개의 우수번째 제2 래치들(52)의 출력 중 어느 하나를 선택하여 출력한다. 제1 및 제2 선택제어신호(Θ1, Θ2)는 도 5a 및 도 5b에 도시된 바와 같이 서로 상반된 극성을 가지게 된다. 그리고, 제1 및 제2 선택제어신호(Θ1, Θ2)는 화소데이터의 공급순서를 수평기간(H) 및 프레임 마다 바꾸어 주기 위하여 도 5a 및 도 5b에 도시된 바와 같이 수평기간 및 프레임 마다 극성 반전된다.

예를 들면, 첫번째 MUX1(56)는 제1 선택제어신호(Θ1)에 응답하여 임의의 수평기간 중 전반부에서 첫번째 제2 래치(52)로부터의 제1 화소데이터를 선택하여 출력하고, 후반부에서 세번째 제2 래치(52)로부터의 제3 화소데이터를 선택하여 출력한다. 그 다음 수평주기에서 첫번째 MUX1(56)은 전반부에서 세번째 제2 래치(52)로부터의 제3 화소데이터를 선택하여 출력하고, 후반부에서 첫번째 제2 래치(52)로부터의 제1 화소데이터를 선택하여 출력한다. 이와 유사하게, 두번째 MUX1(56)은 제2 선택제어신호(Θ2)에 응답하여 임의의 수평기간 중 전반부에서 두번째 제2 래치(52)로부터의 제2 화소데이터를 선택하여 출력하고, 후반부에서 네번째 제2 래치(52)로부터의 제4 화소데이터를 선택하여 출력한다. 그 다음 수평주기에서 두번째 MUX1(56)은 전반부에서 네번째 제2 래치(52)로부터의 제4 화소데이터를 선택하여 출력하고, 후반부에서는 두번째 제2 래치(52)로부터의 제2 화소데이터를 선택하여 출력한다.

제2 MUX 어레이(58)는 타이밍 제어부로부터의 극성제어신호(POL)에 응답하여 제1 MUX 어레이(54)로부터 공급되는 화소데이터(R, G, B)의 진행경로를 결정하게 된다. 이를 위하여 제2 MUX 어레이(54)는 n-1개의 MUX2들(60)을 구비한다. 제2 MUX들(60) 각각은 인접한 두개의 MUX2(56) 출력을 입력하여 극성제어신호(POL)에 따라 선택적으로 출력하게 된다. 여기서, 첫번째와 마지막번째 MUX1들(56)을 제외한 나머지 MUX1들(56) 각각의 출력은 인접한 두개의 MUX2(60)에 공유되어 입력된다. 첫번째와 마지막번째 MUX1들(56)의 출력은 PDAC(66)과 MUX2(60)에 공유되어 입력된다. 이러한 구성을 가지는 제2 MUX 어레이(58)는 극성제어신호(POL)에 따라 MUX1들(56) 각각으로부터의 화소데이터(R, G, B)가 그대로 DAC 어레이(62)로 진행되게 제어하거나, 한 채널씩 오른쪽으로 쉬프트되어 DAC 어레이(62)로 진행되게 제어한다. 수직 2도트 인버젼 구동을 위하여 극성제어신호(POL)는 도 5a 및 도 5b에 도시된 바와 같이 2수평기간 마다 극성 반전된다. 이에 따라, 제2 MUX 어레이(58)는 2수평기간 마다 제1 MUX 어레이(54)로부터의 화소데이터(R, G, B) 각각이 DAC 어레이(62)에 교번적으로 배치된 PDAC(64) 또는 NDAC(66)으로 그대로 출력되게 하거나, 한 채널씩 오른쪽으로 쉬프트되어 출력되게 한다.

예를 들면, 제1 및 제2 수평기간에서 첫번째 MUX1(56)로부터 순차적으로 출력되는 제1 및 제3 화소데이터는 MUX2(60)를 경유하지 않고 직접 PDAC1(66)으로 공급되고, 두번째 MUX1(56)로부터 순차적으로 출력되는 제2 및 제4 화소데이터는 첫번째 MUX2(60)에 의해 NDAC1(64)으로 공급된다. 그리고, 제3 및 제4 수평기간에서 제1 및 제3 화소데이터는 첫번째 MUX2(60)에 의해 NDAC1(64)으로 공급되고, 제2 및 제4 화소데이터는 두번째 MUX2(60)에 의해 PDAC2(66)으로 공급된다.

DAC 어레이(62)는 제2 MUX 어레이(58)로부터의 화소데이터들(R, G, B)을 감마전압부(90)로부터의 정극성 및 부극성 감마전압(GH, GL)을 이용하여 화소신호로 변환하여 출력하게 된다. 이를 위하여, DAC 어레이(62)는 n+1개의 PDAC(66) 및 NDAC(64)을 구비하고, 도트 인버젼 구동을 위해 PDAC(66)과 NDAC(64)이 교번적으로 나란하게 배치된다. PDAC(66)은 제2 MUX 어레이(58)로부터의 화소데이터들(R, G, B)을 정극성 감마전압들(GH)을 이용하여 정극성 화소신호로 변환한다. NDAC(64)은 제2 MUX 어레이(18)로부터의 화소데이터들(R, G, B)을 부극성 감마전압들(GL)을 이용하여 부극성 화소신호로 변환한다. 이러한 PDAC(66) 및 NDAC(64)은 1/2 수평기간마다 입력되는 디지털 화소데이터를 아날로그 화소신호로 변환하는 동작을 수행하게 된다.

예를 들면, PDAC1(66)은 도 5a 및 도 5b에 도시된 바와 같이 제1 및 제2 수평기간 각각에서 시분할되어 입력되는 오드 화소 데이터 [1,1]과 [1,3]을 화소신호로 변환하여 출력한다. 동시에 NDAC2(64)도 도 5a 및 도 5b에 도시된 바와 같이 그 제1 및 제2 수평기간 각각에서 시분할되어 입력되는 이븐 화소 데이터 [1,2]와 [1,4]를 화소신호로 변환하여 출력한다. 그 다음, 제3 및 제4 수평기간 각각에서 NDAC2(64)은 시분할되어 입력되는 오드화소 데이터 [2,1]와 [2,3]를 화소신호로 변환하여 출력한다. 동시에 PDAC2(66)은 그 제3 및 제4 수평기간 각각에서 시분할되어 입력되는 이븐화소 데이터 [2,2]와 [2,4]를 화소신호로 변환하여 출력한다. 이러한 DAC 어레이(62)에 의해 2n개의 화소데이터가 1/2 수평기간 단위로 n개씩 시분할되어 화소신호로 변환되어 출력된다.

버퍼 어레이(68)에 포함되는 n+1개의 버퍼들(70) 각각은 DAC 어레이(62)의 PDAC(66) 및 NDAC(64) 각각으로부터 출력되는 화소신호를 신호완충하여 출력한다.

제3 MUX 어레이(80)는 타이밍 제어부로부터의 극성제어신호(POL)에 응답하여 버퍼 어레이(68)로부터 공급되는 화소신호의 진행경로를 결정하게 된다. 이를 위하여, 제3 MUX 어레이(80)는 n개(여기서, n=6)의 제3 MUX들(82)을 구비한다. MUX3들(82) 각각은 극성제어신호(POL)에 응답하여 인접한 2개의 버퍼들(70) 중 어느 하나의 출력을 선택하여 출력한다. 여기서, 첫번째 및 마지막번째 버퍼(70)를 제외한 나머지 버퍼들(70)의 출력단은 인접한 2개의 MUX3들(82)에 공유되어 입력된다. 이러한 구성을 가지는 제3 MUX 어레이(82)는 극성제어신호(POL)에 응답하여 마지막번째 버퍼(70)를 제외한 버퍼들(70) 각각으로부터의 화소신호가 그대로 DEMUX들(86)과 일대일 대응되어 출력되게 한다. 또한, 제3 MUX 어레이(82)는 극성제어신호(POL)에 응답하여 첫번째 버퍼(70)를 제외한 나머지 버퍼들(70) 각각으로부터의 화소신호가 왼쪽으로 한 채널씩 쉬프트되어 DEMUX들(86)과 일대일 대응되어 출력되게 한다. 극성제어신호(POL)는 수직 2도트 인버젼 구동을 위하여 제2 MUX 어레이(58)에 공급되는 것과 동일하게 도 5a 및 도 5b에 도시된 바와 같이 2수평기간 마다 극성 반전된다. 이와 같이 제3 MUX 어레이(80)는 제2 MUX 어레이(58)와 함께 극성제어신호(POL)에 응답하여 화소신호의 극성을 결정하게 된다. 이 결과 제3 MUX 어레이(80)에서 출력되는 화소신호는 인접한 화소신호들과 상반된 극성을 갖게 되고, 2수평기간 단위로 극성 반전된다.

DEMUX 어레이(84)는 타이밍제어부로부터의 제1 및 제2 선택제어신호(Θ1, Θ2)에 응답하여 제3 MUX 어레이(80)로부터의 화소신호를 2n개(여기서, n=6)의 데이터라인들에 선택적으로 공급하게 된다. 이를 위하여 DEMUX 어레이(84)는 n개의 DEMUX(86)를 구비한다. DEMUX(86) 각각은 MUX3(82) 각각으로부터 공급되는 화소신 호를 두개의 데이터라인에 시분할하여 공급한다. 상세히 하면, 기수번째 DEMUX(86)는 제1 선택제어신호(Θ1)에 응답하여 기수번째 MUX3(82)의 출력을 2개의 기수번째 데이터라인들에 시분할하여 공급한다. 우수번째 DEMUX(86)는 제2 선택제어신호(Θ2)에 응답하여 2개의 우수번째 MUX3(82)의 출력을 2개의 우수번째 데이터라인들에 시분할하여 공급한다. 제1 및 제2 선택제어신호(Θ1, Θ2)는 도 5a 및 도 5b에 도시된 바와 같이 수평기간 및 프레임 단위로 화소신호의 출력순서를 반전시키기 위하여 제1 MUX 어레이(54)에 공급되는 것과 동일하게 서로 상반된 극성을 가지며 1수평기간 마다 극성 반전된다.

예를 들면, 첫번째 DEMUX(86)는 도 5a 및 도 5b에 도시된 바와 같이 제1 선택제어신호(Θ1)에 응답하여 1/2 수평기간 단위로 첫번째 MUX3(82)의 출력을 제1 및 제3 데이터라인(D1, D3)에 선택적으로 공급하고, 수평기간 및 프레임 단위로 화소전압을 선택하여 출력하는 순서를 교번적으로 바꾸어 주게 된다. 이와 유사하게, 두번째 DEMUX(86)도 도 5a 및 도 5b에 도시된 바와 같이 제2 선택제어신호(Θ2)에 응답하여 1/2 수평기간 단위로 두번째 MUX3(82)의 출력을 제2 및 제4 데이터라인(D2, D4)에 선택적으로 공급하고, 수평기간 및 프레임 단위로 화소전압을 선택하여 출력하는 순서를 교번적으로 바꾸어 주게 된다.

구체적으로, 첫번째 DEMUX(86)는 제1 선택제어신호(Θ1)에 응답하여 제1 게이트라인(GL1)이 활성화되는 제1 수평기간 중 전반부에서 화소신호 [1,1]를 제1 데이터라인(D1)에 공급하고, 후반부에서 화소신호 [1,3]를 제3 데이터라인(D3)에 공급한다. 이와 동시에, 두번째 DEMUX(86)는 제2 선택제어신호(Θ2)에 응답하여 제1 수평기간(H1) 중 전반부에서 화소신호 [1,2]를 제2 데이터라인(D2)에 공급하고, 후반부에서 화소신호 [1,4]를 제4 데이터라인(D4)에 공급한다. 그 다음, 제2 게이트라인(GL2)이 활성화되는 제2 수평기간(H2) 중 전반부에서 첫번째 DEMUX(86)는 제1 선택제어신호(Θ1)에 응답하여 화소신호 [2,3]를 제3 데이터라인(D3)에 공급하고, 후반부에서 화소신호 [2,1]를 제1 데이터라인(D1)에 공급한다. 이와 동시에, 두번째 DEMUX(86)는 제2 선택제어신호(Θ2)에 응답하여 제2 수평기간(H2) 중 전반부에서 화소신호 [2,4]를 제4 데이터라인(D4)에 공급하고, 후반부에서 화소신호 [2,2]를 제2 데이터라인(D2)에 공급한다.

이에 따라, 기수번째 프레임에서는 도 6a에 도시된 바와 같이 게이트하이전압(Vgh)에 의해 제1 게이트라인(GL1)이 활성화되는 제1 수평기간(H1) 중 전반부에서 [1,1] 액정셀이 제1 데이터라인(D1)으로부터의 화소신호 Vd[1,1]를 충전하고, [1,2] 액정셀이 제2 데이터라인(D2)으로부터의 화소신호 Vd[1,2]를 충전한다. 그리고, 후반부에서 [1,3] 액정셀이 제3 데이터라인(D3)으로부터의 화소신호 Vd[1,3]를 충전하고, [1,4] 액정셀이 제4 데이터라인(D4)으로부터의 화소신호 Vd[1,4]를 충전한다. 이어서, 도 6a에 도시된 바와 같이 게이트하이전압(Vgh)에 의해 제2 게이트라인(GL2)이 활성화되는 제2 수평기간(H2) 중 전반부에서 [1,3] 액정셀이 제3 데이터라인(D3)으로부터의 화소신호 Vd[1,3]를 충전하고, [1,4] 액정셀이 제4 데이터라인(D4)으로부터의 화소신호 Vd[1,4]를 충전한다. 그리고, 후반부에서 [1,1] 액정셀이 제1 데이터라인(D1)으로부터의 화소신호 Vd[1,1]를 충전하고, [1,2] 액정셀이 제2 데이터라인(D2)으로부터의 화소신호 Vd[1,2]를 충전한다.

그 다음, 우수번째 프레임에서는 도 6b에 도시된 바와 같이 게이트하이전압(Vgh)에 의해 제1 게이트라인(GL1)이 활성화되는 제1 수평기간(H1) 중 전반부에서 [1,3] 액정셀이 제3 데이터라인(D3)으로부터의 화소신호 Vd[1,3]를 충전하고, [1,4] 액정셀이 제4 데이터라인(D4)으로부터의 화소신호 Vd[1,4]를 충전한다. 그리고, 후반부에서 [1,1] 액정셀이 제1 데이터라인(D1)으로부터의 화소신호 Vd[1,1]를 충전하고, [1,2] 액정셀이 제2 데이터라인(D2)으로부터의 화소신호 Vd[1,2]를 충전한다. 그 다음, 도 6b에 도시된 바와 같이 게이트하이전압(Vgh)에 의해 제2 게이트라인(GL2)이 활성화되는 제2 수평기간(H2) 중 전반부에서 [1,1] 액정셀이 제1 데이터라인(D1)으로부터의 화소신호 Vd[1,1]를 충전하고, [1,2] 액정셀이 제2 데이터라인(D2)으로부터의 화소신호 Vd[1,2]를 충전한다. 그리고, 후반부에서 [1,3] 액정셀이 제3 데이터라인(D3)으로부터의 화소신호 Vd[1,3]를 충전하고, [1,4] 액정셀이 제4 데이터라인(D4)으로부터의 화소신호 Vd[1,4]를 충전한다.

이러한 구성을 갖는 데이터 드라이브 IC는 데이터라인들을 시분할구동하여 n+1개의 DAC를 이용하여 2n 채널의 데이터라인들을 구동함으로써 데이터 드라이브 IC의 수를 적어도 1/2로 줄일 수 있게 된다. 또한, 데이터 드라이브 IC는 화소신호의 공급순서, 즉 충전순서를 수평기간 및 프레임 단위로 교번하여 바꾸어 줌으로써 데이터라인들의 시분할 구동에 의한 화소전압 충전량차를 보상할 수 있게 된다. 다시 말하여, 데이터라인들을 시분할 구동하는 경우 각 수평기간마다 전반부에서 충전되는 화소전압과 후반부에서 충전되는 화소전압 간에 충전시간 차로 인한 충전량 차가 발생되게 되나, 전술한 바와 같이 화소전압의 충전순서를 적어도 1수평기 간 단위로 교번하여 바꾸어 줌과 아울러 프레임 단위로 교번하여 바꾸어 주는 경우 충전량 차를 보상할 수 있게 된다.

특히, 본 발명에 따른 데이터 드라이브 IC는 기수 데이터라인에 출력되는 화소전압과 우수 데이터라인에 출력되는 화소전압이 상반된 극성을 가지고, 그 기수 및 우수 데이터라인의 화소전압이 2수평주기(2H)로 극성 반전되게 하는 수직 2도트 인버젼 방식으로 구동된다. 이는 데이터라인들을 시분할 구동하면서 도트 인버젼 방식으로 구동하는 경우 도 7a 내지 도 8b에 도시된 바와 같이 윈도우 셔트 패턴(Window Shut Pattern)과 같은 특정패턴들에서 플리커 현상이 발생하기 때문이다.

도 7a 및 도 7b은 기수 프레임과 우수 프레임에서 도트 인버젼 방식으로 구동되는 액정패널에 표시되는 윈도우 셔트 패턴인 시안(Cyan) 도트 패턴을 도시한 것이다.

도 7a 및 도 7b를 참조하면, 윈도우 셔트 모드에서 시안 도트 패턴을 표시하기 위해 수평라인을 따라 지그재그 형태로 배열된 그린(Green) 및 블루(Blue) 액정셀(G, B)이 발광하게 된다. 이 경우, 기수 프레임에서 발광되는 그린 액정셀들(G)은 모두 정극성 화소전압을 충전하고, 발광되는 블루 액정셀들(B)은 모두 부극성 화소전압을 충전하게 된다. 그리고, 우수 프레임에서는 발광되는 그린 액정들(G) 모두가 부극성 화소전압을 충전하고, 발광되는 블루 액정셀들(B) 모두 정극성 화소전압을 충전하게 된다. 이에 따라, 그린 액정셀들(G)에서 프레임별로 정극성 및 부극성 화소전압 간의 ΔVp 차에 의한 플리커가 발생하고, 블루 액정셀들(B)에서도 프레임별로 부극성 및 정극성 화소전압 간의 ΔVp 차에 의한 플리커 발생하게 된다. 이 경우, 상호 인접한 그린 액정셀(G)과 블루 액정셀(B)이 서로 상반된 극성을 가짐에 따라 ΔVp 차가 조금씩 상쇄되기는 하나 여전히 플리커 현상은 발생하게 된다.

도 8a 및 도 8b는 기수 프레임과 우수 프레임에서 도트 인버젼 방식으로 구동되는 액정패널에 표시되는 윈도우 셔트 패턴인 그린 도트 패턴을 도시한 것이다.

도 8a 및 도 8b를 참조하면, 윈도우 셔트 모드에서 그린 도트 패턴을 표시하기 위해 수평라인을 따라 지그재그 형태로 배열된 그린 액정셀(G)이 발광하게 된다. 이 경우, 기수 프레임에서 발광되는 그린 액정셀들(G)은 모두 정극성 화소전압을 충전하고, 발광되는 블루 액정셀들(B)은 모두 부극성 화소전압을 충전하게 된다. 이에 따라, 그린 액정셀들(G)에서 프레임별로 정극성 및 부극성 화소전압 간의 ΔVp 차에 의한 플리커가 발생하게 되고, 상기 시안 도트 패턴을 표시하는 경우보다 플리커 정도가 심해지게 된다.

이러한 도트 인버젼 방식에서 ΔVp차에 의한 플리커 현상은 데이터라인들을 시분할하여 액정셀들 간에 충전시간 차로 인한 충전량 차가 발생하는 경우 더욱 심해지게 된다. 이를 방지하기 위하여, 본 발명의 실시 예에 따른 데이터 드라이브 IC는 액정패널을 도 9a 내지 도 10b에 도시된 바와 같이 수직 2도트 인버젼 방식으로 구동함과 아울러 화소전압 충전순서를 수평기간 및 프레임 단위로 교번하여 바꾸어 주게 된다.

도 9a 및 도 9b은 기수 프레임과 우수 프레임에서 수직 2도트 인버젼 방식으 로 구동되는 액정패널에 표시되는 윈도우 셔트 패턴인 시안(Cyan) 도트 패턴을 도시한 것이다.

도 9a 및 도 9b를 참조하면, 윈도우 셔트 모드에서 시안 도트 패턴을 표시하기 위해 수평라인을 따라 지그재그 형태로 배열된 그린(Green) 및 블루(Blue) 액정셀(G, B)이 발광하게 된다. 이 경우, 기수 프레임에서 발광되는 그린 액정셀들(G)로는 정극성 화소전압(+)을 충전하는 그린 액정셀들(G)과 부극성 화소전압(-)을 충전하는 그린 액정셀들(G)이 동시에 존재하게 된다. 또한, 기수 프레임에서 발광되는 블루 액정셀들(B)로도 정극성 화소전압(+)을 충전하는 블루 액정셀들(B)과 부극성 화소전압(-)을 충전하는 블루 액정셀들(B)이 동시에 존재하게 된다.

그리고, 우수 프레임에서도 발광되는 그린 액정셀들(G)에는 정극성 화소전압(+)을 충전하는 그린 액정셀들(G)과 부극성 화소전압(-)을 충전하는 그린 액정셀들(G)이 동시에 존재하게 된다. 또한, 우수 프레임에서 발광되는 블루 액정셀들(B)로도 정극성 화소전압(+)을 충전하는 블루 액정셀들(B)과 부극성 화소전압(-)을 충전하는 블루 액정셀들(B)이 동시에 존재하게 된다.

이렇게 프레임마다 발광되는 그린 및 블루 액정셀들(G, B)에 정극성 및 부극성 화소전압이 동일하게 존재하여 정극성 화소전압과 부극성 화소전압 간의 ΔVp 차가 서로 상쇄되므로 그 ΔVp 차에 의한 플리커 발생을 방지할 수 있게 된다.

도 10a 및 도 10b를 참조하면, 윈도우 셔트 모드에서 그린 도트 패턴을 표시하기 위해 수평라인을 따라 지그재그 형태로 배열된 그린 액정셀(G)이 발광하게 된다. 이 경우, 기수 프레임에서 발광되는 그린 액정셀들(G)로는 정극성 화소전압(+)을 충전하는 그린 액정셀들(G)과 부극성 화소전압(-)을 충전하는 그린 액정셀들(G)이 동시에 존재하게 된다. 그리고, 우수 프레임에서 발광되는 그린 액정셀들(G)에도 정극성 화소전압(+)을 충전하는 그린 액정셀들(G)과 부극성 화소전압(-)을 충전하는 그린 액정셀들(G)이 동시에 존재하게 된다.

이렇게 프레임마다 발광되는 그린 액정셀들(G)에 정극성 및 부극성 화소전압이 동일하게 존재하여 정극성 화소전압과 부극성 화소전압 간의 ΔVp 차가 서로 상쇄되므로 그 ΔVp 차에 의한 플리커 발생을 방지할 수 있게 된다.

도 11은 본 발명의 다른 실시 예에 따른 데이터 드라이브 IC의 구성을 도시한 블록도이고, 도 13a 및 도 13b는 도 11에 도시된 데이터 드라이브 IC의 기수 프레임 및 우수 프레임의 구동 파형도이다. 그리고, 도 12a 및 도 12b는 도 11에 도시된 데이터 레지스터부(148)의 m-2번째 수평기간 및 m번째 수평기간의 구동 파형도이다.

도 11에 도시된 데이터 드라이브 IC는 순차적인 샘플링신호를 공급하는 쉬프트 레지스터 어레이(102)와, 샘플링신호에 응답하여 화소데이터(R, G, B)를 래치하여 출력하는 제1 및 제2 래치 어레이(106, 110)와, 제2 래치 어레이(110)로부터의 화소데이터(R, G, B)를 시분할하여 출력하기 위한 제1 MUX 어레이(114)와, 제1 MUX 어레이(114)로부터의 화소데이터(R, G, B)를 화소신호로 변환하는 DAC 어레이(122)와, DAC 어레이(122)로부터의 화소신호를 완충하여 출력하는 버퍼 어레이(128)와, 버퍼 어레이(128) 출력의 진행경로를 제어하는 제2 MUX 어레이(140)와, 제2 MUX 어레이(140)로부터의 화소신호를 데이터라인들(DL1 내지 D12)에 시분할하여 출력하기 위한 DEMUX 어레이(144)를 구비한다.

또한, 도 11에 도시된 데이터 드라이브 IC는 타이밍 제어부(도시하지 않음)로부터 공급되는 화소데이터(R, G, B)를 재정렬하여 출력하는 데이터 레지스터부(148)와, DAC 어레이(122)에서 필요로 하는 정극성 및 부극성 감마전압들을 공급하는 감마 전압부(150)를 더 구비한다.

이러한 구성을 갖는 데이터 드라이브 IC는 제1 MUX 어레이(114)와 DEMUX 어레이(144)를 이용하여 DAC 어레이(122)를 시분할구동함으로써 n+2개의 DAC(64, 66) 및 버퍼(130)를 이용하여 종래 대비 2배인 2n개의 데이터라인들을 구동하게 된다. 이렇게 데이터 드라이브 IC는 2n개의 데이터라인들을 구동하기 위하여 2n채널의 데이터출력을 갖으나, 도 8에서는 n=6이라 가정하여 12채널(DL1 내지 D12) 부분만을 도시한다. 그리고, 데이터 드라이브 IC는 적어도 하나의 수평기간(1H) 및 프레임 마다 화소신호의 충전순서를 교번적으로 바꾸어 줌과 동시에 데이터라인들을 수직 2도트 인버젼 방식으로 구동하여 화상의 표시품질을 향상시킬 수 있게 한다.

감마 전압부(90)는 감마 기준전압 발생부(도시하지 않음)로부터 입력되는 다수개의 감마 기준전압을 그레이별로 세분화하여 출력한다.

데이터 레지스터부(148)는 타이밍 제어부로부터의 화소데이터를 수직 2도트 인버젼 구동에 적합하게 재정렬하여 제1 래치 어레이(106)로 공급한다. 데이터 레지스터부(148)는 제1 내지 제6 입력버스(IB1 내지 IB6)를 통해 타이밍 제어부로부터의 기수 화소데이터(OR, OG, OB)와 우수 화소데이터(ER, EG, EB)를 동시에 입력한다. 그리고, 데이터 레지스터부(148)는 입력된 기수 화소데이터(OR, OG, OB)와 우수 화소데이터(ER, EG, EB)를 재정렬하여 제1 내지 제6 출력버스(OB1 내지 OB6)를 통해 출력하게 된다.

구체적으로, 데이터 레지스터부(148)는 도 12a 및 도 12b에 도시된 바와 같이 6개씩의 화소데이터(OR, OG, OB, ER, EG, EB) 각각을 제1 내지 제6 입력버스(IB1 내지 IB6) 각각을 통해 입력하게 된다. 이 경우, 데이터 레지스터부(148)는 소스 스타트 펄스(SSP)를 기준으로 쉬프트 클럭신호(SSC)의 한 주기 단위마다 6개씩의 화소데이터(OR, OG, OB, ER, EG, EB)를 입력하게 된다.

그리고, 데이터 레지스터부(148)는 m-2번째 및 m-1번째 수평기간에서 도 12a에 도시된 바와 같이 한 수평라인분의 화소 데이터들 중 4k-2(여기서, k는 양의 정수)번 데이터와 4k-1번 데이터를 교환하여 출력하게 된다. 예를 들면, 도 9a에 도시된 바와 같이 2번과 3번 데이터를 바꾸고, 7번과 8번 데이터를, 10번과 11번 데이터 등을 상호 교환하여 출력하게 된다. 이는 MUX1들(116) 각각에 같은 극성의 화소신호로 변환되어질 한 쌍씩의 화소데이터가 입력되게 하기 위한 것이다. 이렇게, 데이터 레지스터부(148)에서 입력된 화소데이터들(OR, OG, OB, ER, EG, EB)을 재정렬하여 출력함에 따라 제1 MUX 어레이(114)와 DAC 어레이(122) 사이에서 극성제어신호(POL)에 따라 화소데이터의 진행경로를 결정하는 MUX 어레이를 제거할 수 있게 된다.

또한, 데이터 레지스터부(148)는 m번째 및 m+1번째 수평기간에서는 도 12b에 도시된 바와 같이 한 수평라인분의 화소 데이터들 중 4k-2(여기서, k는 양의 정수)번 데이터와 4k-1번 데이터를 교환하고 극성 반전을 위하여 2채널씩 지연, 즉 쉬프 트시켜 출력버스(OB1 내지 OB6)를 통해 출력하게 된다. 예를 들면, 데이터 레지스터부(148)는 1번 화소데이터를 제3 출력버스(OB3)로, 교환된 3번 화소데이터를 제4 출력버스(OB4)로, 교환된 2번 화소데이터를 제5 출

력버스(OB5)로, 4번 화소데이터를 제6 출력버스(OB6)로 쉬프트시켜 출력하게 된다. 그리고, 5번 화소데이터는 다음 클럭에서 제1 출력버스(OB1)로, 교환된 7번 화소데이터를 제2 출력버스(OB2)로, 교환된 6번 화소데이터를 제3 출력버스(OB3)로 쉬프트시켜 출력하게 된다.

이렇게, 데이터 레지스터부(148)에서 재정렬되어 출력되는 화소 데이터들(ORO, OGO, OBO, ERO, EGO, EBO)들은 화소 데이터의 재정렬 시간을 확보하기 위하여 입력된 화소데이터들(OR, OG, BO, ER, EG, EB) 보다 특정 시간, 예를 들면 2/3 클럭 정도 지연되어 출력된다.

쉬프트 레지스터 어레이(102)는 순차적인 샘플링신호를 발생하여 제1 래치 어레이(106)로 공급하고, 이를 위하여 2n/6(여기서, n=6)개의 쉬프트 레지스터(104)를 구비한다. 도 11에 도시된 첫번째 단의 쉬프트 레지스터(104)는 타이밍 제어부로부터 입력되는 소스 스타트 펄스(SSP)를 소스 샘플링 클럭신호(SSC)에 따라 쉬프트시켜 샘플링신호로 출력함과 동시에 다음단의 쉬프트 레지스터(104)에 캐리신호(CAR)로 공급한다. 소스 스타트 펄스(SSP)는 도 13a 및 도 13b에 도시된 바와 같이 수평기간 단위로 공급되고 소스 샘플링 클럭신호(SSC) 마다 쉬프트되어 샘플링신호로 출력된다.

제1 래치 어레이(106)는 쉬프트 레지스터 어레이(102)로부터의 샘플링신호에 응답하여 데이터 레지스터(148)로부터 제1 내지 제6 출력버스(OB1 내지 OB6)를 통 해 입력되는 6개씩의 화소데이터를 샘플링하여 래치한다. 제1 래치 어레이(106)는 2n(여기서, n=6)개의 화소데이터를 래치하기 위해 2n개의 제1 래치들(108)로 구성되고, 그 제1 래치들(108) 각각은 화소데이터의 비트수(6비트 또는 8비트)에 대응하는 크기를 갖는다. 또한, 제1 래치 어레이(106)는 도 12b에 도시된 바와 같이 2채널씩 쉬프트되어 입력되는 경우를 대비하여 2개의 제1 래치들(도시하지 않음)을 더 구비한다.

예를 들면, m-2번째 및 m-1번째 수평기간에서는 첫번째 제1 래치(108) 내지 12번째 제1 래치(108)에는 데이터 레지스터부(148)에서 재정렬된 1, 3, 2, 4, 5, 7, 6, 8, 9, 11, 10, 12번 순서로 화소데이터가 래치된다. 그리고, m번째 및 m+1번째 수평기간에서는 데이터 레지스터부(148)에서 재정렬된 화소데이터들이 2채널씩 쉬프트됨에 따라 첫번째 래치(108) 및 두번째 래치(108)에는 블랭크 데이터가 입력되고, 세번째 래치(108) 내지 12번째 래치(108)에 2채널씩 쉬프트된 1, 3, 2, 4, 5, 7, 6, 8, 9, 11번 순서로 화소데이터가 래치된다. 여기서, 10번 및 12번 화소데이터는 도시하지 않은 2개의 래치에 각각 래치된다.

제2 래치 어레이(110)는 제1 래치 어레이(106)로부터의 화소데이터를 타이밍 제어부로부터의 소스 출력 이네이블신호(SOE)에 응답하여 동시에 래치한 후 출력한다. 제2 래치 어레이(110)는 제1 래치 어레이(106)와 동일하게 2n(여기서, n=6)+2개의 제2 래치들(112)을 구비한다. 소스 출력 이네이블신호(SOE)는 도 13a 및 도 13b에 도시된 바와 같이 수평기간 단위로 발생한다.

제1 MUX 어레이(114)는 타이밍제어부로부터의 선택제어신호(Θ1)에 응답하여 제2 래치 어레이(110)로부터의 2n(여기서, n=6)개 화소데이터를 H/2기간 단위로 n개씩 시분할하여 출력한다. 이 경우, 제1 MUX 어레이(114)는 H/2기간 단위로 출력하는 화소데이터의 순서를 적어도 수평기간 및 프레임 마다 교번적으로 바꾸어 주게 된다. 이를 위하여, 제1 MUX 어레이(114)는 n개의 MUX1들(116)로 구성된다. 또한, 제1 MUX 어레이(114)는 화소데이터가 2채널씩 쉬프트되는 경우를 감안하여 1개의 MUX1(도시하지 않음)를 더 구비한다. MUX1들(116) 각각은 제2 래치 어레이(110)에서 두개의 래치들(112) 중 어느 하나의 출력을 선택하여 출력한다. 다시 말하여, MUX1(116) 각각은 두개의 래치들(112)의 출력을 1/2 수평기간 단위로 시분할하여 공급한다. 상세히 하면, 수직 2도트 인버젼 구동을 위해 기수번째 MUX1(116)은 선택제어신호(Θ1)에 응답하여 인접한 2개의 래치들(112)의 출력 중 어느 하나를 선택하여 DAC 어레이(122)의 PDAC(124)으로 출력한다. 그리고, 우수번째 MUX1(56)은 선택제어신호(Θ1)에 응답하여 인접한 2개의 래치들(112)의 출력 중 어느 하나를 선택하여 DAC 어레이(122)의 NDAC(126)으로 출력한다. 그리고, MUX1(116) 각각은 적어도 한 수평기간 및 프레임마다 제2 래치들(112)의 출력 선택 순서를 교번적으로 바꾸어 주게 된다. 이를 위하여, 선택제어신호(Θ1)는 도 13a 및 도 13b에 도시된 바와 같이 그 극성은 수평기간 단위로 반전된다.

예를 들면, m-2번째 수평기간에서 첫번째 MUX1(116)은 선택제어신호(Θ1)에 응답하여 전반부에서는 첫번째 래치(112)로부터의 1번 화소데이터를, 후반부에서 두번째 제2 래치(112)로부터의 3번 화소데이터를 선택하여 PDAC1(124)으로 출력한다. 그 다음 m-1번째 수평기간에서 첫번째 MUX1(116)은 선택제어신호(Θ1)에 따라 화소데이터의 출력순서를 바꾸어 전반부에서는 두번째 래치(112)로부터의 3번 화소데이터를, 후반부에서는 첫번째 래치(112)로부터의 1번 화소데이터를 선택하여 PDAC1(124)으로 출력한다.

그리고, 화소데이터가 2채널씩 쉬프트되어 래치되는 m번째 수평기간에서 두번째 MUX1(116)은 선택제어신호(Θ1)에 따라 다시 화소데이터의 출력순서를 바꾸어 전반부에서는 세번째 래치(112)로부터의 1번 화소데이터를, 후반부에서는 네번째 래치(112)로부터의 3번 화소데이터를 선택하여 NDAC1(126)으로 출력한다. 그 다음 화소데이터가 2채널씩 쉬프트되어 래치되는 m+1번째 수평기간에서 두번째 MUX1(116)은 선택제어신호(Θ1)에 따라 다시 화소데이터의 출력순서를 바꾸어 전반부에서는 네번째 래치(112)로부터의 3번 화소데이터를, 후반부에서는 세번째 래치(112

)로부터의 1번 화소데이터를 선택하여 NDAC1(126)으로 출력한다.

그리고, 다음 프레임에서 상기 제1 MUX 어레이(114)는 상기 m-2번째 및 m-1번째 수평기간의 구동방법과 m번째 및 m+1번째 수평기간의 구동방법을 서로 바꾸어 이용하게 된다.

DAC 어레이(122)는 제1 MUX 어레이(114)로부터의 화소데이터들을 감마전압부(150)로부터의 정극성 및 부극성 감마전압(GH, GL)을 이용하여 화소신호로 변환하여 출력하게 된다. 이를 위하여, DAC 어레이(122)는 n+1개의 PDAC(124) 및 NDAC(126)을 구비하고, 도트 인버젼 구동을 위해 PDAC(124)과 NDAC(126)이 교번적으로 나란하게 배치된다. PDAC(124)은 제1 MUX 어레이(114)로부터의 화소데이터들을 정극성(공통전압 기준) 감마전압들(GH)을 이용하여 정극성 화소신호로 변환한 다. NDAC(126)은 제1 MUX 어레이(114)로부터의 화소데이터들(R, G, B)을 부극성(공통전압 기준) 감마전압들(GL)을 이용하여 부극성 화소신호로 변환한다. 이러한 PDAC(124) 및 NDAC(126)은 1/2 수평기간마다 입력되는 디지털 화소데이터를 아날로그 화소신호로 변환하는 동작을 수행하게 된다.

예를 들면, PDAC1(124)은 도 13a 및 도 13b에 도시된 바와 같이 m-2번째 및 m-1번재 수평기간 각각에서 시분할되어 입력되는 1번 및 3번 화소 데이터를 정극성 화소신호로 변환하여 출력한다. 동시에 NDAC2(126)도 도 13a 및 도 13b에 도시된 바와 같이 그 m-2번째 및 m-1번째 수평기간 각각에서 시분할되어 입력되는 2번 및 4번 화소데이터를 부극성 화소신호로 변환하여 출력한다. 그 다음, m번째 및 m+1번째 수평기간 각각에서 NDAC1(126)은 시분할되어 입력되는 1번 및 3번 화소데이터를 부극성 화소신호로 변환하여 출력한다. 동시에 PDAC2(124)은 그 m번째 및 m+1번재 수평기간 각각에서 시분할되어 입력되는 2번 및 4번 화소데이터를 정극성 화소신호로 변환하여 출력한다. 이러한 DAC 어레이(122)에 의해 2n개의 화소데이터가 1/2 수평기간 단위로 n개씩 시분할되어 화소신호로 변환되어 출력된다.

버퍼 어레이(128)에 포함되는 n+1개의 버퍼들(130) 각각은 DAC 어레이(122)의 PDAC(124) 및 NDAC(126) 각각으로부터 출력되는 화소신호를 신호완충하여 출력한다.

제2 MUX 어레이(140)는 타이밍 제어부로부터의 극성제어신호(POL)에 응답하여 버퍼 어레이(128)로부터 공급되는 화소신호의 진행경로를 결정하게 된다. 이를 위하여, 제2 MUX 어레이(140)는 n(여기서, n=6)개의 MUX2(142)들을 구비한다. MUX2(142)는 극성제어신호(POL)에 응답하여 인접한 2개의 버퍼들(70) 중 어느 하나의 출력을 선택하여 출력한다. 여기서, 첫번째 및 마지막번째 버퍼(130)를 제외한 나머지 버퍼들(130)의 출력단은 인접한 2개의 MUX2(142)에 공유되어 입력된다. 이러한 구성을 가지는 제2 MUX 어레이(142)는 m-2번째 및 m-1번째 수평기간 각각에서 극성제어신호(POL)에 응답하여 마지막번째 버퍼(130)를 제외한 버퍼들(130) 각각으로부터의 화소신호가 그대로 DEMUX들(146)과 일대일 대응되어 출력되게 한다. 또한, 제2 MUX 어레이(142)는 m번째 및 m+1번째 수평기간 각각에서는 극성제어신호(POL)에 응답하여 첫번째 버퍼(130)를 제외한 나머지 버퍼들(130) 각각으로부터의 화소신호가 DEMUX들(146)과 일대일 대응되어 출력되게 한다. 이와 같이 제2 MUX 어레이(140)는 극성제어신호(POL)에 응답하여 화소신호의 극성을 결정하게 된다. 극성제어신호(POL)는 수직 2도트 인버젼 구동을 위하여 도 13a 및 도 13b에 도시된 바와 같이 2수평기간(2H) 단위로 극성 반전된다. 이와 같이 제2 MUX 어레이(140)는 극성제어신호(POL)에 응답하여 화소신호의 극성을 결정하게 된다. 이 결과 제2 MUX 어레이(140)에서 출력되는 화소신호는 인접한 화소신호들과 상반된 극성을 갖게 되고, 2 수평기간 단위로 극성 반전된다.

DEMUX 어레이(144)는 타이밍제어부로부터의 선택제어신호(Θ1)에 응답하여 제2 MUX 어레이(140)로부터의 화소신호를 2n개(여기서, n=6)의 데이터라인들에 선택적으로 공급하게 된다. 이를 위하여 DEMUX 어레이(144)는 n개의 DEMUX(146)를 구비한다. DEMUX(146) 각각은 제2 MUX(142) 각각으로부터 공급되는 화소신호를 두개의 데이터라인에 시분할하여 공급한다.

상세히 하면, 기수번째 DEMUX(146)는 선택제어신호(Θ1)에 응답하여 2개의 기수번째 데이터라인들을 시분할하여 기수번째 MUX2(142)의 출력을 공급한다. 우수번째 DEMUX(186)는 선택제어신호(Θ2)에 응답하여 우수번째 데이터라인들을 시분할하여 우수번째 MUX2(142)의 출력을 공급한다. 선택제어신호(Θ1)는 도 13a 및 도 13b에 도시된 바와 같이 수평기간 및 프레임 단위로 화소신호의 출력순서를 반전시키기 위하여 제1 MUX 어레이(114)에 공급되는 것과 동일하게 수평기간 마다 극성 반전된다.

예를 들면, 첫번째 DEMUX(186)는 도 13a 및 도 13b에 도시된 바와 같이 선택제어신호(Θ1)에 응답하여 1/2 수평기간 단위로 첫번째 MUX2(142)의 출력을 제1 및 제3 데이터라인(D1, D3)에 선택적으로 공급하고, 수평기간 및 프레임 단위로 화소전압을 선택하여 출력하는 순서를 교번적으로 바꾸어 주게 된다. 이와 유사하게, 두번째 DEMUX(146)는 도 13a 및 도 13b에 도시된 바와 같이 선택제어신호(Θ1)에 응답하여 1/2 수평기간 단위로 두번째 MUX2(142)의 출력을 제2 및 제4 데이터라인(D2, D4)에 선택적으로 공급하고, 수평기간 및 프레임 단위로 화소전압을 선택하여 출력하는 순서를 교번적으로 바꾸어 주게 된다.

구체적으로, 도 13a와 같이 기수 프레임에서 첫번째 DEMUX(146)는 제1 게이트라인(GL1)이 활성화되는 제1 수평

기간 중 전반부에서 화소신호 [1,1]를 제1 데이터라인(D1)에 공급하고, 후반부에서 화소신호 [1,3]를 제3 데이터라인(D3)에 공급한다. 이와 동시에, 두번째 DEMUX(146)는 제1 수평기간 중 전반부에서 화소신호 [1,2]를 제2 데이터라인(D2)에 공급하고, 후반부에서 화소신호 [1,4]를 제4 데이터 라인(D4)에 공급한다. 그 다음, 제2 게이트라인(GL2)이 활성화되는 제2 수평기간 중 전반부에서 첫번째 DEMUX(146)는 화소신호 [2,3]를 제3 데이터라인(D3)에 공급하고, 후반부에서 화소신호 [2,1]를 제1 데이터라인(D1)에 공급한다. 이와 동시에, 두번째 DEMUX(146)는 제2 수평기간 중 전반부에서 화소신호 [2,4]를 제4 데이터라인(D4)에 공급하고, 후반부에서 화소신호 [2,2]를 제2 데이터라인(D2)에 공급한다.

그 다음 우수 프레임에서 도 13b와 같이 제1 게이트라인(GL2)이 활성화되는 제1 수평기간 중 전반부에서 첫번째 DEMUX(146)는 화소신호 [1,3]를 제3 데이터라인(D3)에 공급하고, 후반부에서 화소신호 [1,1]를 제1 데이터라인(D1)에 공급한다. 이와 동시에, 두번째 DEMUX(146)는 제1 수평기간 중 전반부에서 화소신호 [1,4]를 제4 데이터라인(D4)에 공급하고, 후반부에서 화소신호 [1,2]를 제2 데이터라인(D2)에 공급한다. 그 다음, 첫번째 DEMUX(146)는 제2 게이트라인(GL2)이 활성화되는 제2 수평기간 중 전반부에서 화소신호 [2,1]를 제1 데이터라인(D1)에 공급하고, 후반부에서 화소신호 [2,3]를 제3 데이터라인(D3)에 공급한다. 이와 동시에, 두번째 DEMUX(146)는 제2 수평기간 중 전반부에서 화소신호 [2,2]를 제2 데이터라인(D2)에 공급하고, 후반부에서 화소신호 [2,4]를 제4 데이터라인(D4)에 공급한다.

이러한 구성을 갖는 데이터 드라이브 IC에 의해 DL1, DL3 등과 같은 기수 데이터라인들로 출력되는 화소신호와 DL2, DL4 등과 같은 우수 데이터라인들로 출력되는 화소신호는 도 13a 및 도 13b에 도시된 바와 같이 서로 상반되는 극성을 갖게 된다. 그리고 그 기수 데이터라인들(DL1, DL3, ...)과 우수 데이터라인들(DL2, DL4, ...)의 극성은 게이트라인들(GL1, GL2, GL3, ...)이 순차적으로 구동되는 2 수평주기(1H) 마다 반전됨과 아울러 프레임 단위로 반전된다.

이러한 구성을 갖는 데이터 드라이브 IC는 데이터라인들을 시분할구동하여 n+1개의 DAC를 이용하여 2n채널의 데이터라인들을 구동함으로써 데이터 드라이브 IC의 수를 적어도 절반으로 줄일 수 있게 된다. 또한, 데이터 드라이브 IC는 화소신호의 공급순서, 즉 충전순서를 수평기간 및 프레임 단위로 교번하여 바꾸어 줌으로써 데이터라인들의 시분할 구동에 의한 화소전압 충전량차를 보상할 수 있게 된다. 다시 말하여, 데이터라인들을 시분할 구동하는 경우 각 수평기간마다 전반부에서 충전되는 화소전압과 후반부에서 충전되는 화소전압 간에 충전시간 차로 인한 충전량 차가 발생되게 되나, 전술한 바와 같이 화소전압의 충전순서를 적어도 1수평기간 단위로 교번하여 바꾸어 줌과 아울러 프레임 단위로 교번하여 바꾸어 주는 경우 충전량 차를 보상할 수 있게 된다. 그리고, 본 발명의 실시 예에 따른 데이터 드라이브 IC는 액정패널을 수직 2도트 인버젼 방식으로 구동하여 전술한 바와 같이 도트 인버젼 방식에 의한 플리커 발생을 방지할 수 있게 된다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시장치의 데이터 구동 장치 및 방법에서는 데이터라인들을 시분할구동함으로써 데이터 드라이브 IC의 수를 줄여 제조단가를 절감할 수 있게 된다.

또한, 본 발명에 따른 액정표시장치의 데이터 구동 장치 및 방법에서는 시분 할 구동시 화소전압 충전순서를 수평기간 및 프레임 단위로 교번적으로 바꾸어 구동하게 된다. 이에 따라, 시분할 구동에 따른 충전시간 차로 인하여 발생되는 화소전압 충전량 차를 보상하여 플리커 현상 등을 방지할 수 있게 된다.

나아가, 본 발명에 따른 액정표시장치의 데이터 구동 장치 및 방법에서는 액정패널을 수직 2도트 인버젼 방식으로 구동하여 전술한 바와 같이 도트 인버젼 방식에 의한 플리커 발생을 방지할 수 있게 된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

입력된 화소데이터를 시분할하고 시분할된 화소데이터의 공급순서를 수평기간 단위 및 프레임 단위로 교번적으로 바꾸어 공급하는 제1 멀티플렉서 어레이와;

상기 화소데이터의 출력채널을 적어도 2수평기간 단위로 교번적으로 바꾸어 주기 위한 제2 멀티플렉서 어레이와;

상기 화소데이터를 인접 채널의 화소데이터와 상반된 극성을 가지는 아날로그 화소신호로 변환하기 위한 디지탈-아날로그 변환 어레이와;

상기 화소신호의 출력채널을 적어도 2수평기간 단위로 교번적으로 바꾸어 주기 위한 제3 멀티플렉서 어레이와;

데이터라인들을 시분할하고 시분할된 데이터라인들에 상기 화소신호의 공급순서를 적어도 수평기간 단위 및 프레임 단위로 교번적으로 바꾸어 공급하는 디멀티플렉서 어레이를 구비하는 것을 특징으로 하는 액정표시장치의 데이터 구동 장치.

청구항 2.
제 1 항에 있어서,

샘플링신호를 순차적으로 발생하기 위한 쉬프트 레지스터 어레이와;

상기 샘플링신호에 응답하여 입력 화소데이터를 소정단위씩 순차적으로 래치하여 상기 제1 멀티플렉서 어레이로 동시에 출력하기 위한 래치 어레이와;

상기 디지탈-아날로그 변환 어레이로부터의 화소신호를 버퍼링하여 상기 제3 멀티플렉서 어레이로 공급하기 위한 위한 버퍼 어레이를 추가로 구비하는 것을 특징으로 하는 액정표시장치의 데이터 구동 장치.

청구항 3.
제 1 항에 있어서,

상기 제2 멀티플렉서 어레이는 상기 적어도 2수평기간 단위로 상기 화소데이터들을 그대로 출력하거나 한 채널씩 오른쪽으로 쉬프트시켜 출력하고,

상기 제3 멀티플렉서 어레이는 상기 적어도 2수평기간 단위로 상기 화소신호들을 그대로 출력하거나 한 채널씩 왼쪽으로 쉬프트시켜 출력하는 것을 특징으로 하는 액정표시장치의 데이터 구동 장치.

청구항 4.
제 1 항에 있어서,

상기 디멀티플렉서 어레이가 2n개의 데이터라인들을 구동하는 경우 상기 디지탈-아날로그 변환 어레이는 n+1 개의 정극성 및 부극성 디지탈-아날로그 변환기를 구비하고, 상기 정극성 디지탈-아날로그 변환기와 상기 부극성 디지탈-아날로그 변환기가 교번하여 배치된 것을 특징으로 하는 액정표시장치의 데이터 구동 장치.

청구항 5.
제 4 항에 있어서,

상기 제1 멀티플렉서 어레이는 2n개의 화소데이터들을 적어도 n개씩 시분할하여 공급하기 위한 적어도 n개의 제1 멀티플렉서들을,

상기 제2 멀티플렉서 어레이는 적어도 2개의 상기 제1 멀티플렉서들의 출력 중 어느 하나를 선택하기 위한 적어도 n-1개의 제2 멀티플렉서들을,

상기 제3 멀티플렉서 어레이는 적어도 2개의 상기 디지탈-아날로그 변환기의 출력 중 어느 하나를 선택하기 위한 적어도 n개의 제3 멀티플렉서들을,

상기 디멀티플렉서 어레이는 상기 제3 멀티플렉서들 각각의 출력을 적어도 2개의 데이터라인에 나누어 공급하기 위한 적어도 n개의 디멀티플렉서들을 포함하고,

상기 제1 멀티플렉서들 각각의 출력은 상기 적어도 2개의 제2 멀티플렉서들의 입력으로 공유되며,

상기 디지탈-아날로그 변환기 각각의 출력은 상기 적어도 2개의 제3 멀티플렉서들의 입력으로 공유되는 것을 특징으로 하는 액정표시장치의 데이터 구동 장치.

청구항 6.

제 5 항에 있어서,

상기 적어도 n개의 제1 멀티플렉서들 중 기수번째 제1 멀티플렉서는 제1 선택제어신호에 응답하여 적어도 2개의 기수번째 화소데이터들 중 어느 하나를 선택하여 출력하고, 우수번째 제1 멀티플레서는 제2 선택제어신호에 응답하여 적어도 2개의 우수번째 화소데이터들 중 어느 하나를 선택하여 출력하고,

상기 적어도 n개의 디멀티플렉서들 중 기수번째 디멀티플렉서는 상기 제1 선택제어신호에 응답하여 기수번째 제3 멀티플렉서로부터의 화소신호를 적어도 2개의 기수번째 데이터라인에 시분할하여 공급하고, 우수번째 디멀티플렉서는 상기 제2 선택제어신호에 응답하여 우수번째 제3 멀티플렉서로부터의 화소신호를 적어도 2개의 우수번째 데이터라인에 시분할하여 공급하는 것을 특징으로 하는 액정표시장치의 데이터 구동 장치.

청구항 7.
제 6 항에 있어서,

상기 제1 및 제2 선택제어신호는 서로 상반된 극성을 가지며, 상기 화소데이터 및 화소신호의 출력순서를 수평기간 및 프레임 단위로 바꾸어 주기 위하여 수평기간 단위로 극성 반전되는 것을 특징으로 하는 액정표시장치의 데이터 구동 장치.

청구항 8.
입력 화소데이터들 중 4k-3(k는 양의 정수)번째 데이터 라인에 공급되어질 화소데이터와 4k-2번째 데이터 라인에 공급되어질 화소데이터를 상호 교환하여 재정렬하는 데이터 레지스터와;

상기 데이터 레지스터로부터의 화소데이터를 시분할하고 시분할된 화소데이터의 공급순서를 수평기간 단위 및 프레임 단위로 교번적으로 바꾸어 공급하는 제1 멀티플렉서 어레이와;

상기 화소데이터를 인접 채널의 화소데이터와 상반된 극성을 가지는 아날로그 화소신호로 변환하기 위한 디지탈-아날로그 변환 어레이와;

상기 화소신호의 출력채널을 적어도 2수평기간 단위로 교번적으로 바꾸어 주기 위한 제2 멀티플렉서 어레이와;

데이터라인들을 시분할하고 시분할된 데이터라인들에 상기 화소신호의 공급 순서를 적어도 수평기간 단위 및 프레임 단위로 교번적으로 바꾸어 공급하는 디멀티플렉서 어레이를 구비하는 것을 특징으로 하는 액정표시장치의 데이터 구동 장치.

청구항 9.
제 8 항에 있어서,

상기 데이터 레지스터부는

적어도 2수평기간에서는 상기 재정렬된 화소데이터들을 출력하고, 그 다음 적어도 2수평기간에서는 상기 재정렬된 화소데이터들을 2채널씩 지연시켜 출력하는 것을 특징으로 하는 액정표시장치의 데이터 구동 장치.

청구항 10.
제 8 항에 있어서,

샘플링신호를 순차적으로 발생하기 위한 쉬프트 레지스터 어레이와;

상기 샘플링신호에 응답하여 상기 데이터 레지스터로부터의 입력 화소데이터를 소정단위씩 순차적으로 래치하여 상기 제1 멀티플렉서 어레이로 동시에 출력하기 위한 래치 어레이와;

상기 디지탈-아날로그 변환 어레이로부터의 화소신호를 버퍼링하여 상기 제2 멀티플렉서 어레이로 공급하기 위한 위한 버퍼 어레이를 추가로 구비하는 것을 특징으로 하는 액정표시장치의 데이터 구동 장치.

청구항 11.
제 8 항에 있어서,

상기 제2 멀티플렉서 어레이는 상기 적어도 2수평기간 단위로 상기 화소신호들을 그대로 출력하거나 한 채널씩 왼쪽

으로 쉬프트시켜 출력하는 것을 특징으로 하는 액정표시장치의 데이터 구동 장치.

청구항 12.
제 8 항에 있어서,

상기 디멀티플렉서 어레이가 2n개의 데이터라인들을 구동하는 경우 상기 디지탈-아날로그 변환 어레이는 n+1 개의 정극성 및 부극성 디지탈-아날로그 변환기를 구비하고, 상기 정극성 디지탈-아날로그 변환기와 상기 부극성 디지탈-아날로그 변환기가 교번하여 배치된 것을 특징으로 하는 액정표시장치의 데이터 구동 장치.

청구항 13.
제 12 항에 있어서,

상기 제1 멀티플렉서 어레이는 선택제어신호에 응답하여 2n개의 화소데이터들을 적어도 n개씩 시분할하여 공급하기 위한 적어도 n개의 제1 멀티플렉서들을,

상기 제2 멀티플렉서 어레이는 극성제어신호에 응답하여 적어도 2개의 상기 디지탈-아날로그 변환기의 출력 중 어느 하나를 선택하기 위한 적어도 n개의 제2 멀티플렉서들을,

상기 디멀티플렉서 어레이는 상기 선택제어신호에 응답하여 상기 제2 멀티플렉서들 각각의 출력을 적어도 2개의 데이터라인에 나누어 공급하기 위한 적어도 n개의 디멀티플렉서들을 포함하고,

상기 디지탈-아날로그 변환기 각각의 출력은 상기 적어도 2개의 제2 멀티플 렉서들의 입력으로 공유되는 것을 특징으로 하는 액정표시장치의 데이터 구동 장치.

청구항 14.
제 6 항에 있어서,

상기 선택제어신호는 상기 화소데이터 및 화소신호의 출력순서를 수평기간 및 프레임 단위로 바꾸어 주기 위하여 수평기간 단위로 극성 반전되는 것을 특징으로 하는 액정표시장치의 데이터 구동 장치.

청구항 15.
선택제어신호에 응답하여 입력된 화소데이터를 시분할하고 시분할된 화소데이터의 공급순서를 적어도 수평기간 단위 및 프레임 단위로 교번적으로 바꾸어 공급하는 단계와;

적어도 2수평기간 단위로 극성반전되는 극성제어신호에 따라 상기 화소데이터의 출력채널을 그대로 유지하거나 한 채널씩 오른쪽으로 쉬프트시켜 출력하는 단계와;

상기 화소데이터를 아날로그 화소전압 신호로 변환하는 단계와;

상기 극성제어신호에 따라 상기 화소신호의 출력채널을 그대로 유지하거나 한 채널씩 왼쪽으로 쉬프트시켜 출력하는 단계와;

상기 선택제어신호에 응답하여 다수개의 데이터라인들을 시분할하여 상기 화소신호를 공급하고, 그 화소신호의 공급순서를 적어도 수평기간 단위 및 프레임 단위로 교번적으로 바꾸어 공급하는 단계를 포함하는 것을 특징으로 하는 액정표시장 치의 데이터 구동 방법.

청구항 16.
제 15 항에 있어서,

상기 화소데이터를 시분할하여 공급하는 단계 이전에,

샘플링신호를 순차적으로 발생하는 단계와;

상기 샘플링신호에 응답하여 상기 화소데이터들을 소정단위씩 순차적으로 래치하여 동시에 출력 단계를 추가로 포함하고,

상기 화소신호로 변환한 단계 이후에,

상기 화소신호를 버퍼링하는 단계를 추가로 포함하는 것을 특징으로 하는 액정표시장치의 데이터 구동 방법.

청구항 17.
제 15 항에 있어서,

상기 화소데이터를 시분할하는 단계는

기수번째 화소데이터들과 우수번째 화소데이터들을 분리하여 시분할하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 데이터 구동 방법.

청구항 18.
제 15 항에 있어서,

상기 데이터라인들을 시분할하는 단계는

기수번째 데이터라인들과 우수번째 데이터라인들을 분리하여 시분할하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 데이터 구동 방법.

청구항 19.
입력 화소데이터들 중 4k-3(k는 양의 정수)번째 데이터 라인에 공급되어질 화소데이터와 4k-2번째 데이터 라인에 공급되어질 화소데이터를 상호 교환하여 재정렬하는 단계와;

선택제어신호에 응답하여 상기 재정렬된 화소데이터를 시분할하고 시분할된 화소데이터의 공급순서를 수평기간 단위 및 프레임 단위로 교번적으로 바꾸어 공급하는 단계와;

상기 화소데이터를 인접 채널의 화소데이터와 상반된 극성을 가지는 아날로그 화소신호로 변환하는 단계와;

상기 적어도 2수평기간 단위로 극성반전되는 극성제어신호에 따라 상기 화소신호의 출력채널을 그대로 유지하거나 한 채널씩 왼쪽으로 쉬프트시켜 출력하는 단계와;

상기 선택제어신호에 응답하여 다수개의 데이터라인들을 시분할하여 상기 화소신호를 공급하고, 그 화소신호의 공급순서를 적어도 수평기간 단위 및 프레임 단위로 교번적으로 바꾸어 공급하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 데이터 구동 방법.

청구항 20.
제 19 항에 있어서,

상기 화소데이터를 시분할하여 공급하는 단계 이전에,

샘플링신호를 순차적으로 발생하는 단계와;

상기 샘플링신호에 응답하여 상기 재정렬된 화소데이터들을 소정단위씩 순차적으로 래치하여 동시에 출력 단계를 추가로 포함하고,

상기 화소신호로 변환한 단계 이후에,

상기 화소신호를 버퍼링하는 단계를 추가로 포함하는 것을 특징으로 하는 액정표시장치의 데이터 구동 방법.

청구항 21.
제 19 항에 있어서,

상기 화소 데이터를 재정렬하는 단계는

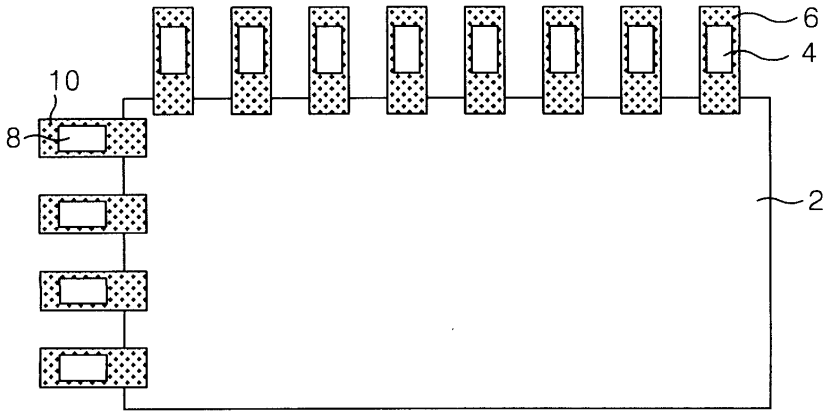
적어도 2수평기간에서는 상기 재정렬된 화소데이터들을 출력하고, 그 다음 적어도 2수평기간에서는 상기 재정렬된 화소데이터들을 2채널씩 지연시켜 출력하는 단계를 추가로 포함하는 것을 특징으로 하는 액정표시장치의 데이터 구동 방법.

청구항 22.
제 21 항에 있어서,

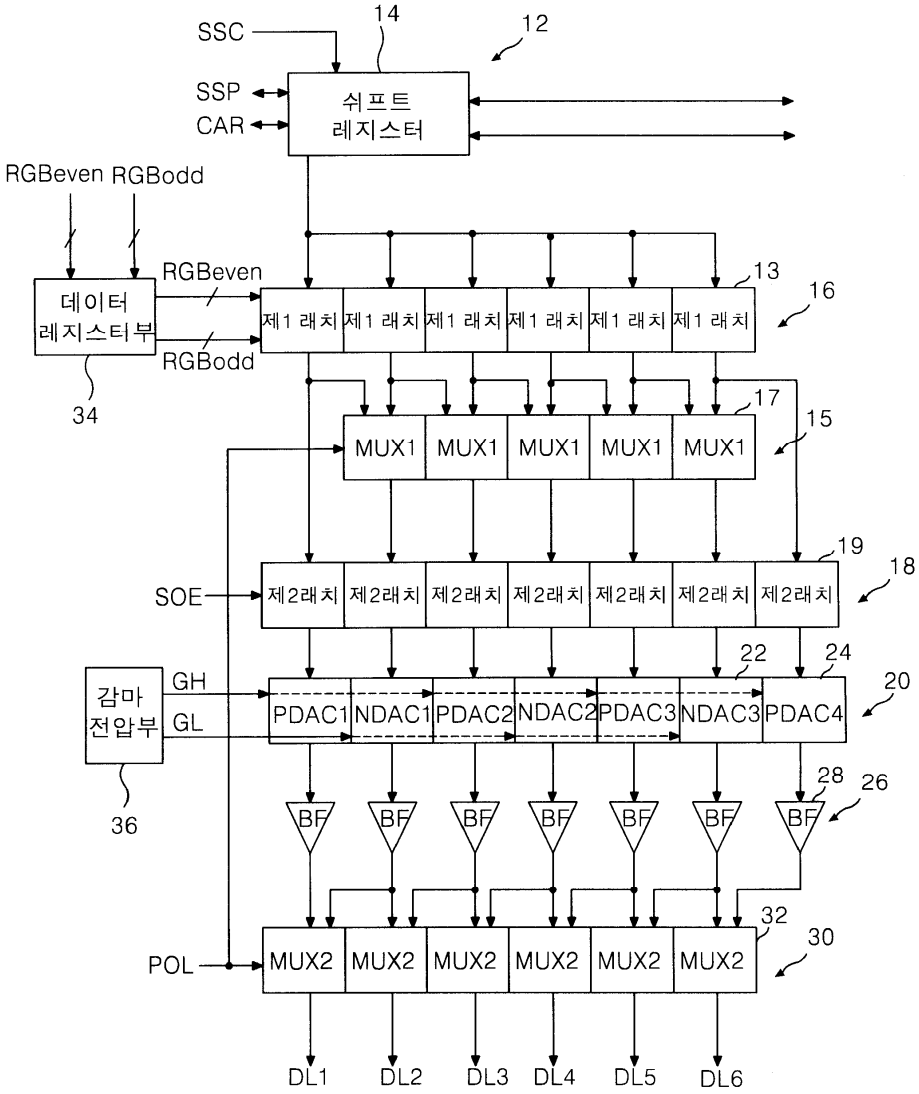
상기 선택제어신호는 수평기간 단위로 극성 반전되는 것을 특징으로 하는 액정표시장치의 데이터 구동 방법.

도면

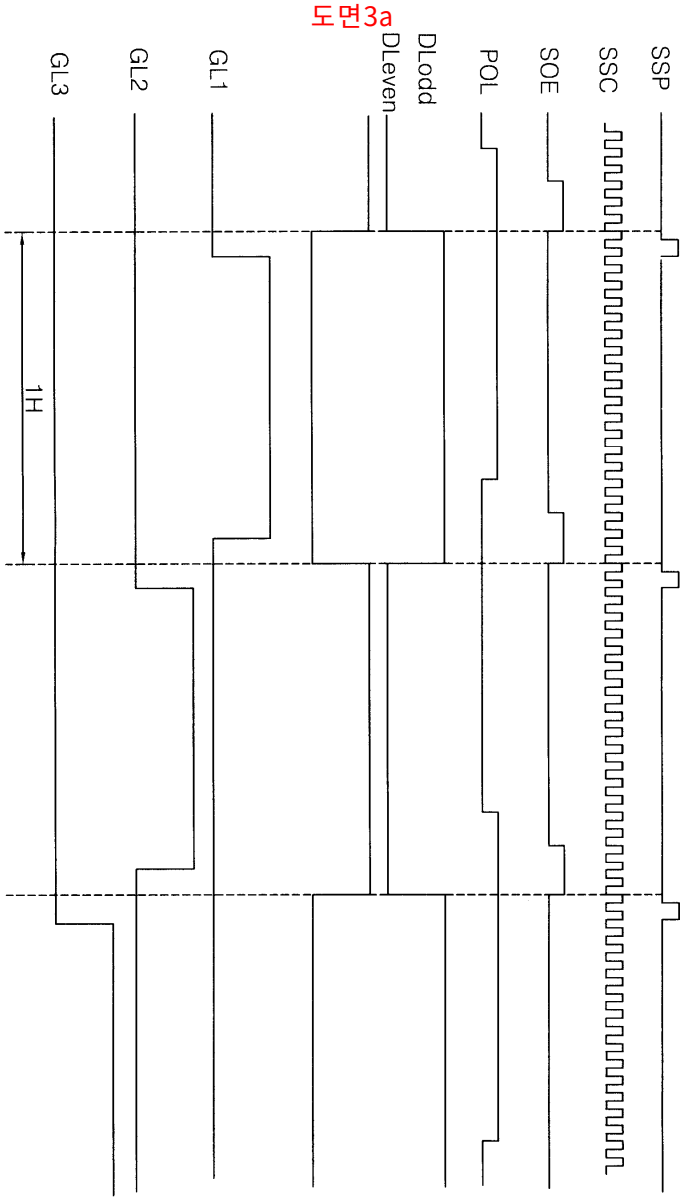
도면1



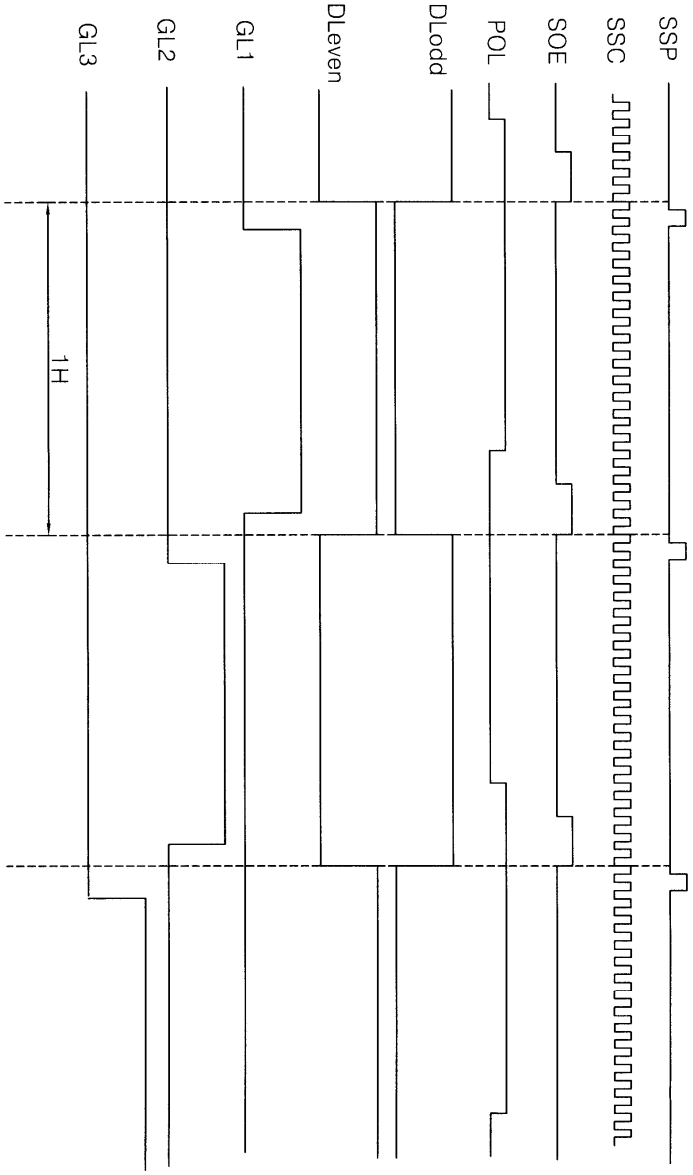
도면2



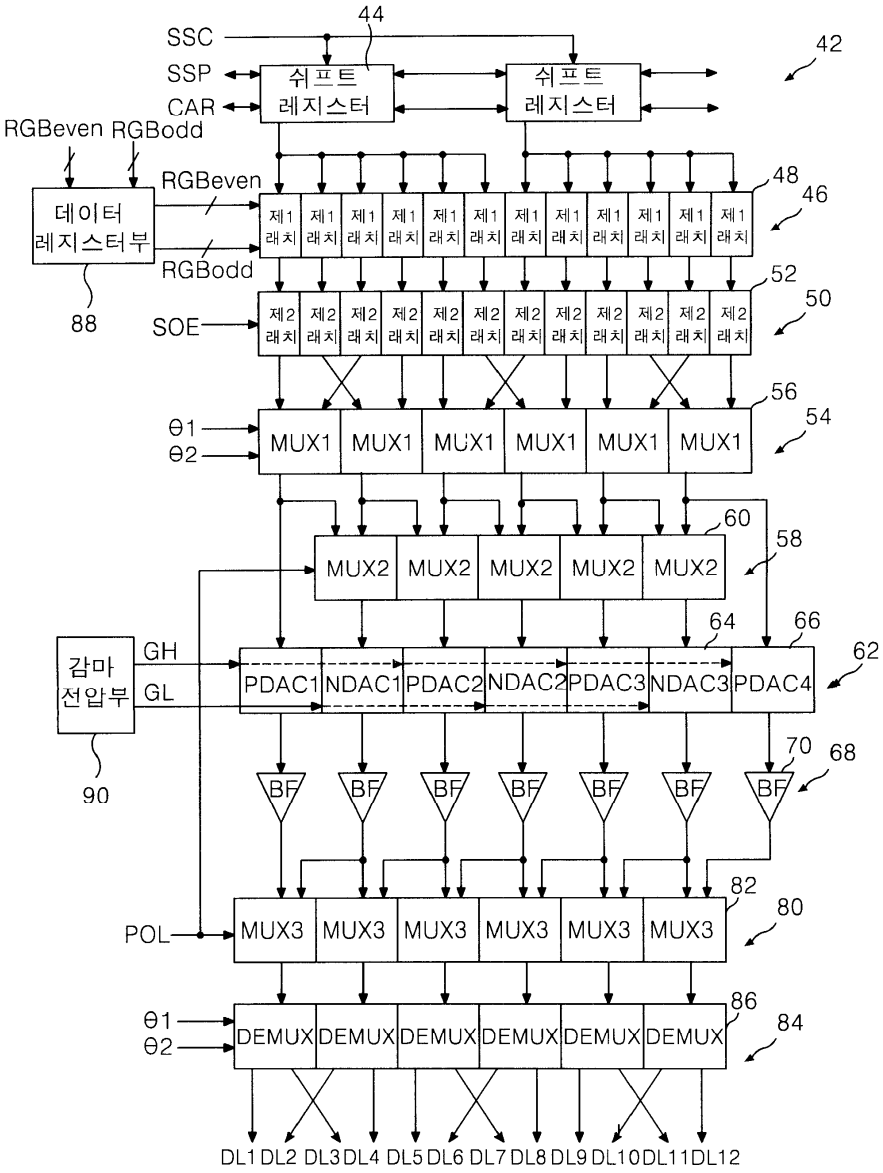
도면3a



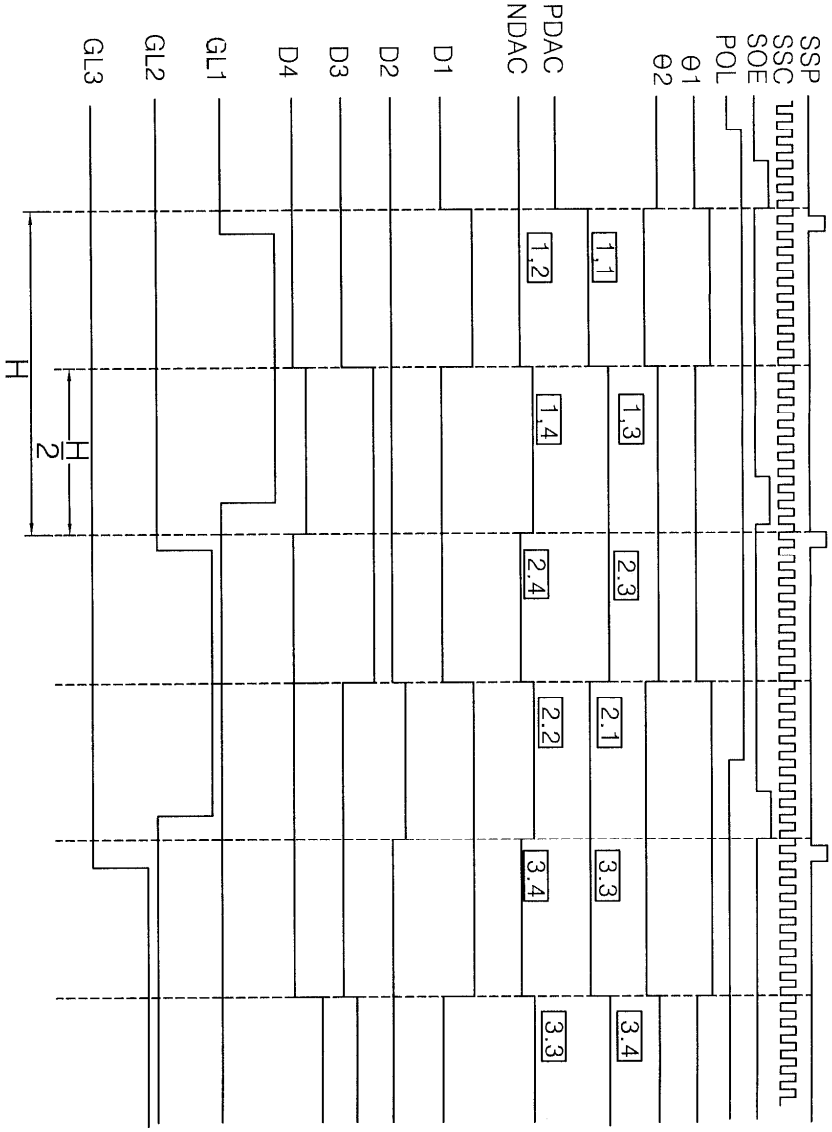
도면3b



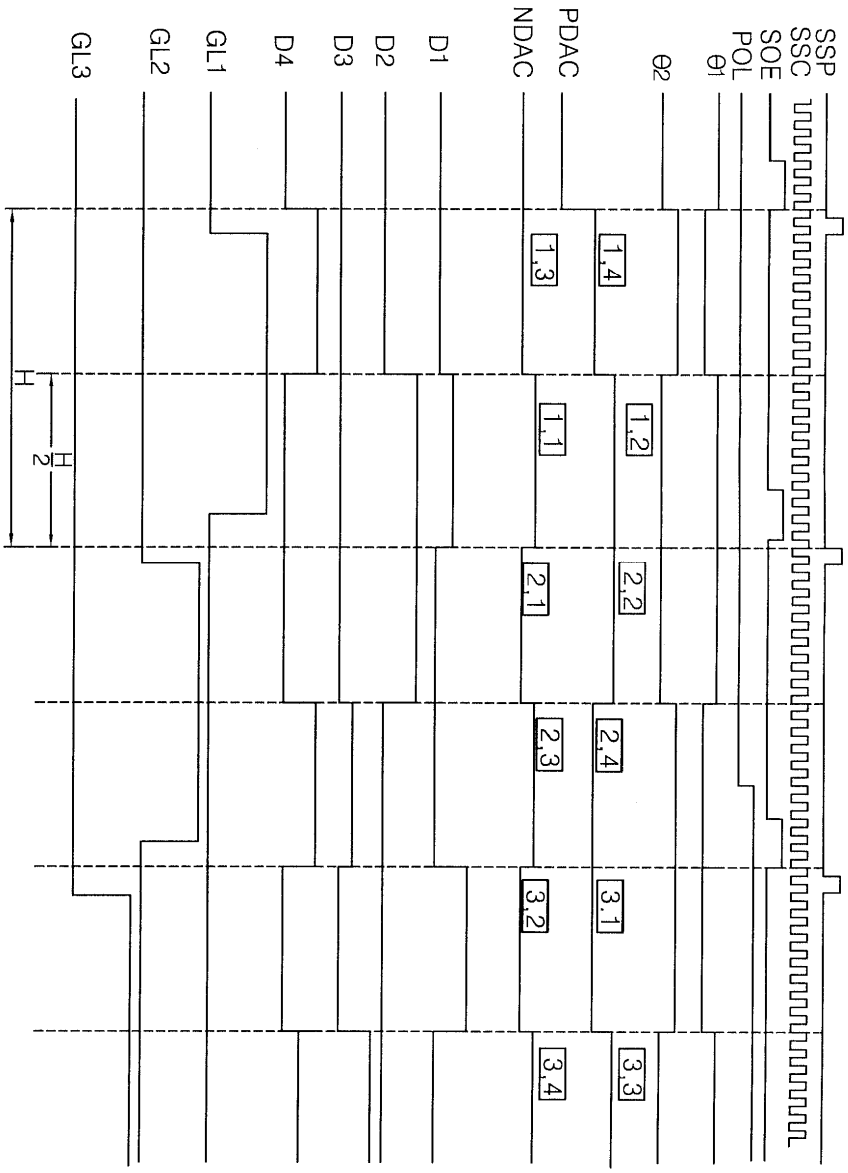
도면4


44
42
SSC
SSP
CAR
쉬프트 레지스터
쉬프트 레지스터
RGBeven RGBodd
RGBeven
RGBodd
데이터 레지스터부
88
48
46
제1 래치
52
50
제2 래치
SOE
θ1
θ2
MUX1
56
54
60
58
MUX2
64
66
62
감마 선압부
GH
GL
90
PDAC1
NDAC1
PDAC2
NDAC2
PDAC3
NDAC3
PDAC4
70
68
BF
82
80
POL
MUX3
86
84
DEMUX
DL1 DL2 DL3 DL4 DL5 DL6 DL7 DL8 DL9 DL10 DL11 DL12

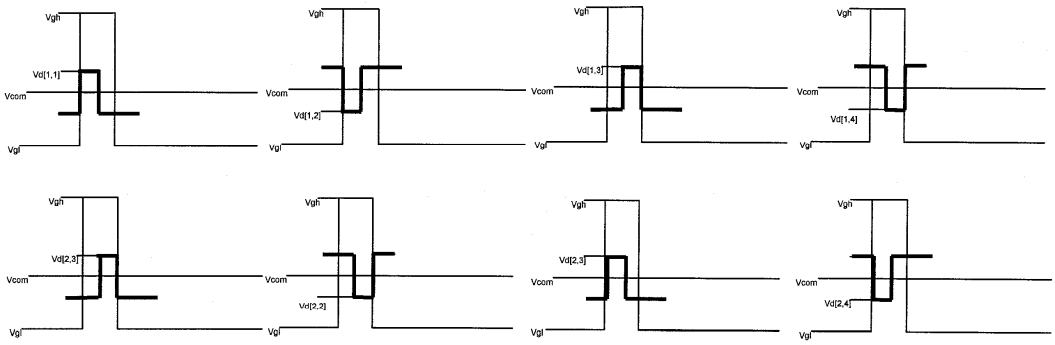
도면5a


SSP
SSC
SOE
POL
Θ1
Θ2
PDAC
NDAC
D1
D2
D3
D4
GL1
GL2
GL3
H
H/2
1,1
1,2
1,3
1,4
2,1
2,2
2,3
2,4
3,3
3,4

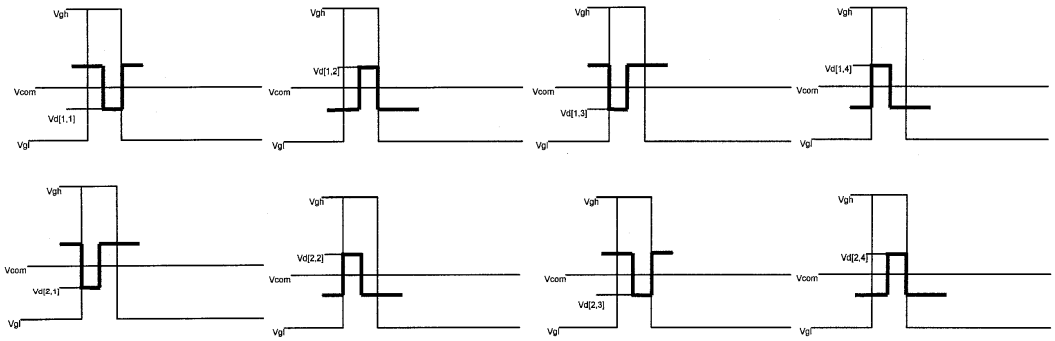
도면5b


SSP
SSC
SOE
POL
Θ1
Θ2
PDAC
NDAC
D1
D2
D3
D4
GL1
GL2
GL3
H
H/2
1,3
1,4
1,1
1,2
2,1
2,2
2,3
2,4
3,2
3,1
3,4
3,3

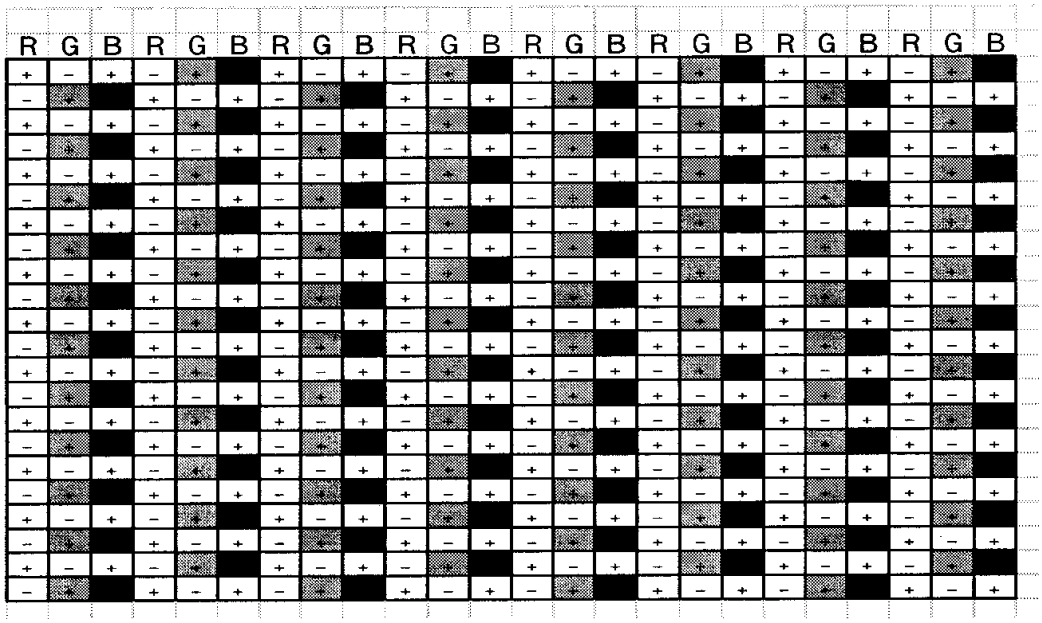
도면6a


Vgh
Vd[1,1]
Vcom
Vgl
Vd[1,2]
Vd[1,3]
Vd[1,4]
Vd[2,3]
Vd[2,2]
Vd[2,4]

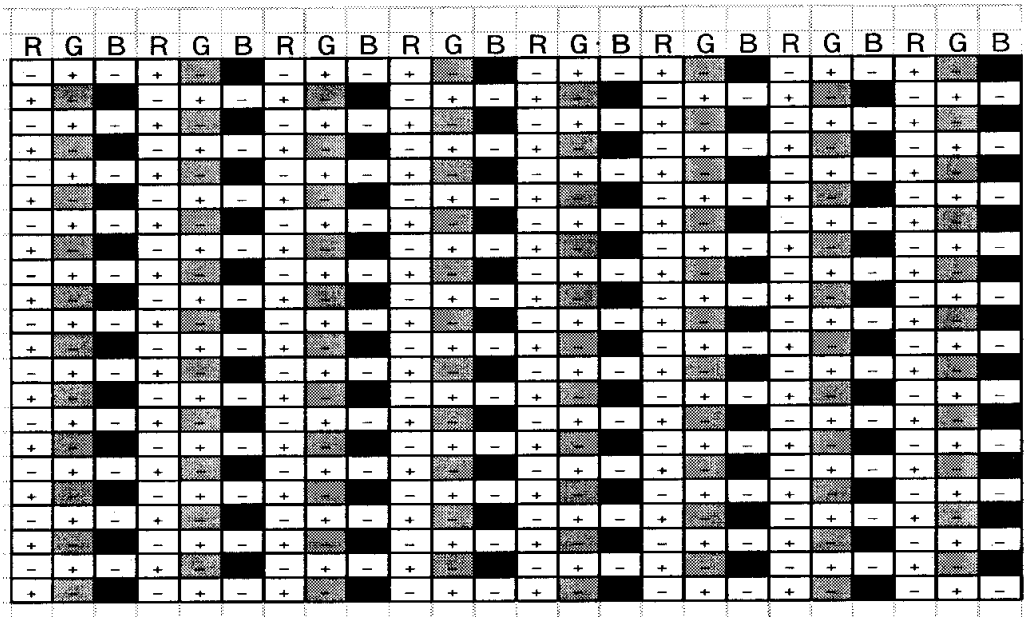
도면6b



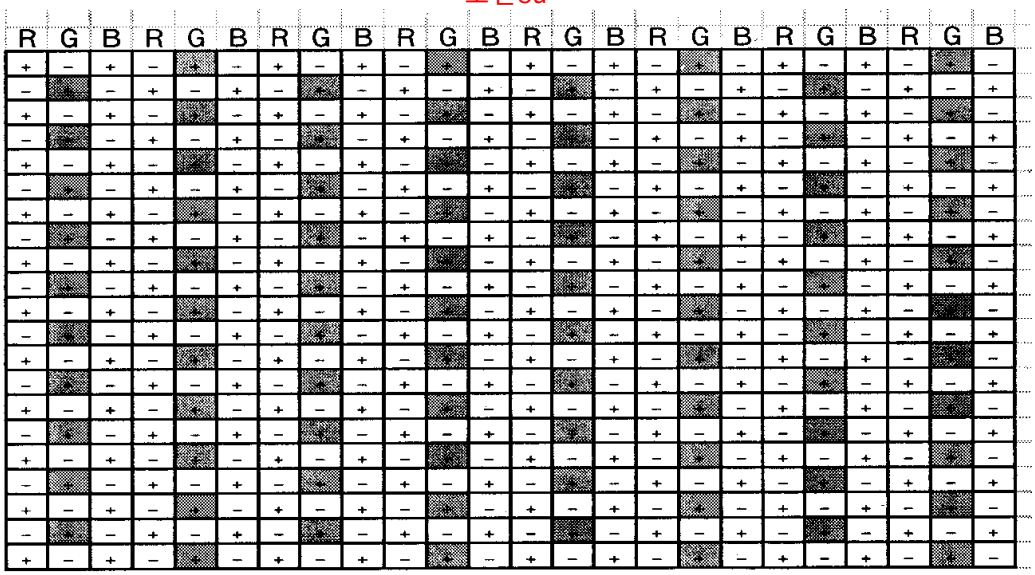
도면7a



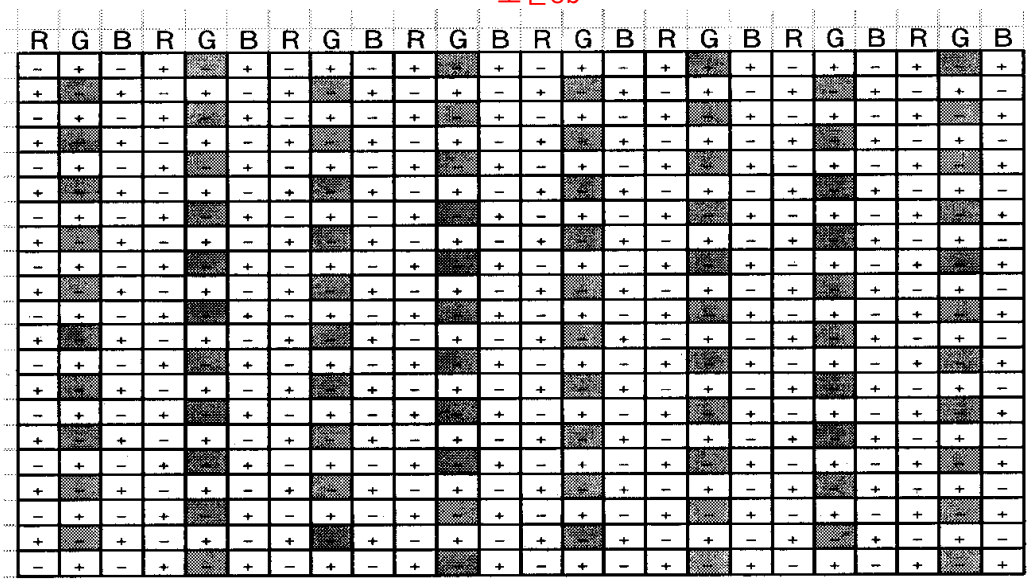
도면7b



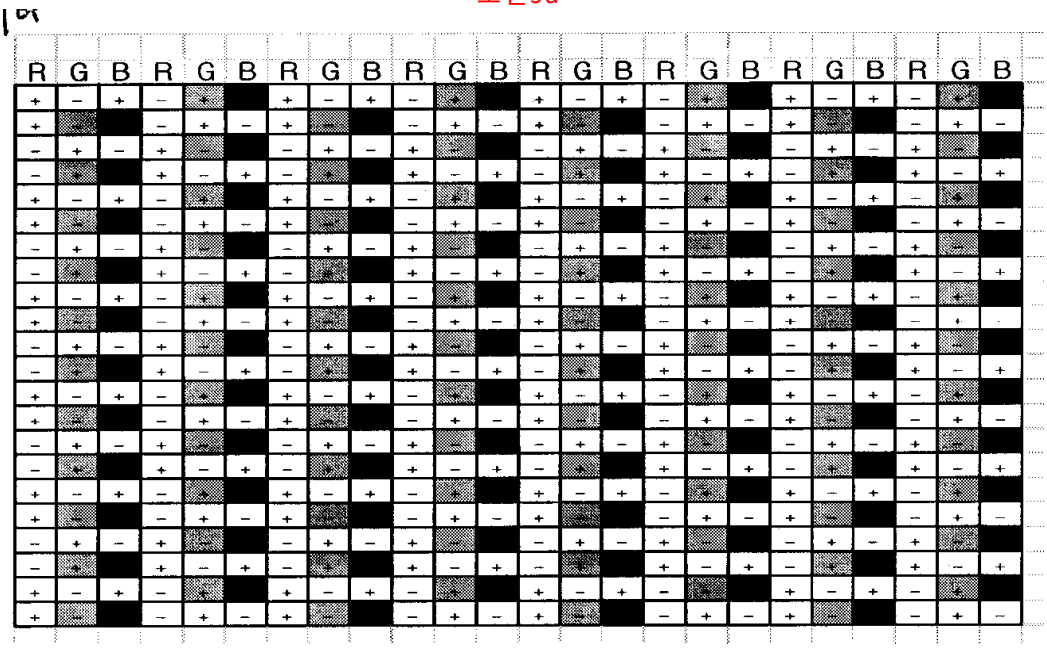
도면8a


R G B R G B R G B R G B R G B R G B R G B R G B R G B

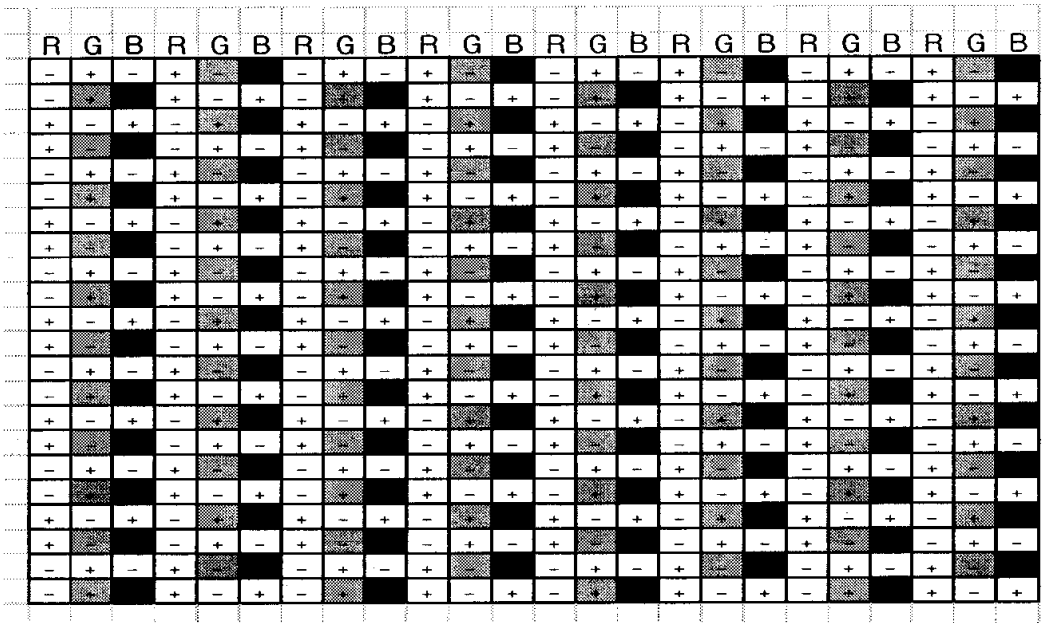
도면8b


R G B R G B R G B R G B R G B R G B R G B R G B R G B

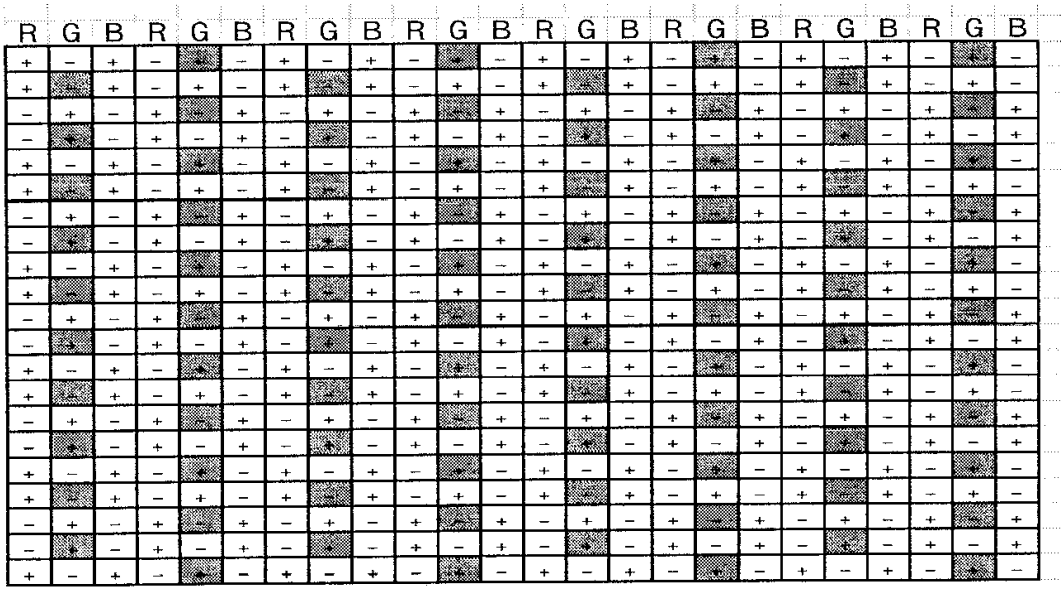
도면9a


R G B R G B R G B R G B R G B R G B R G B R G B R G B

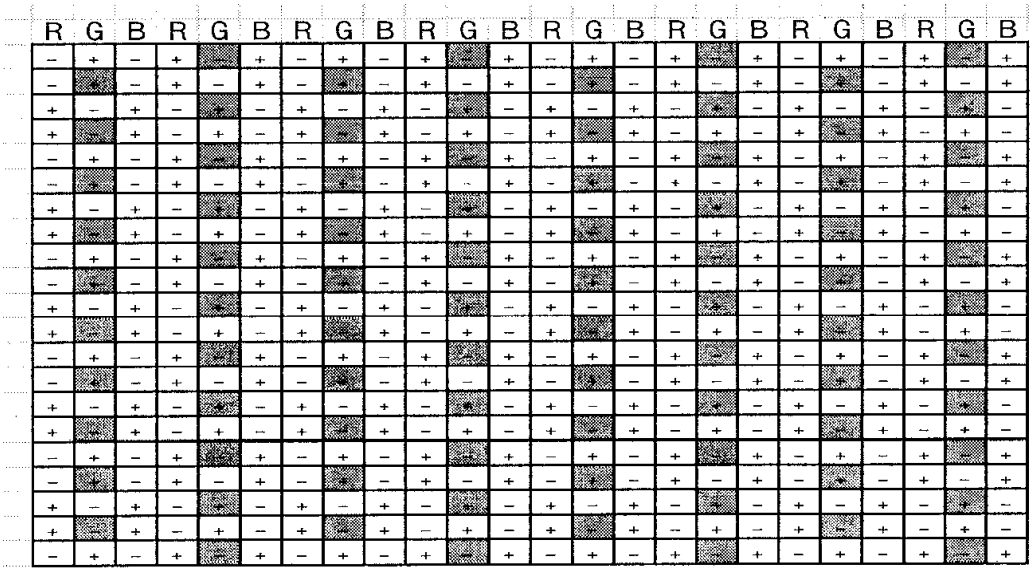
도면9b


R G B R G B R G B R G B R G B R G B R G B R G B R G B

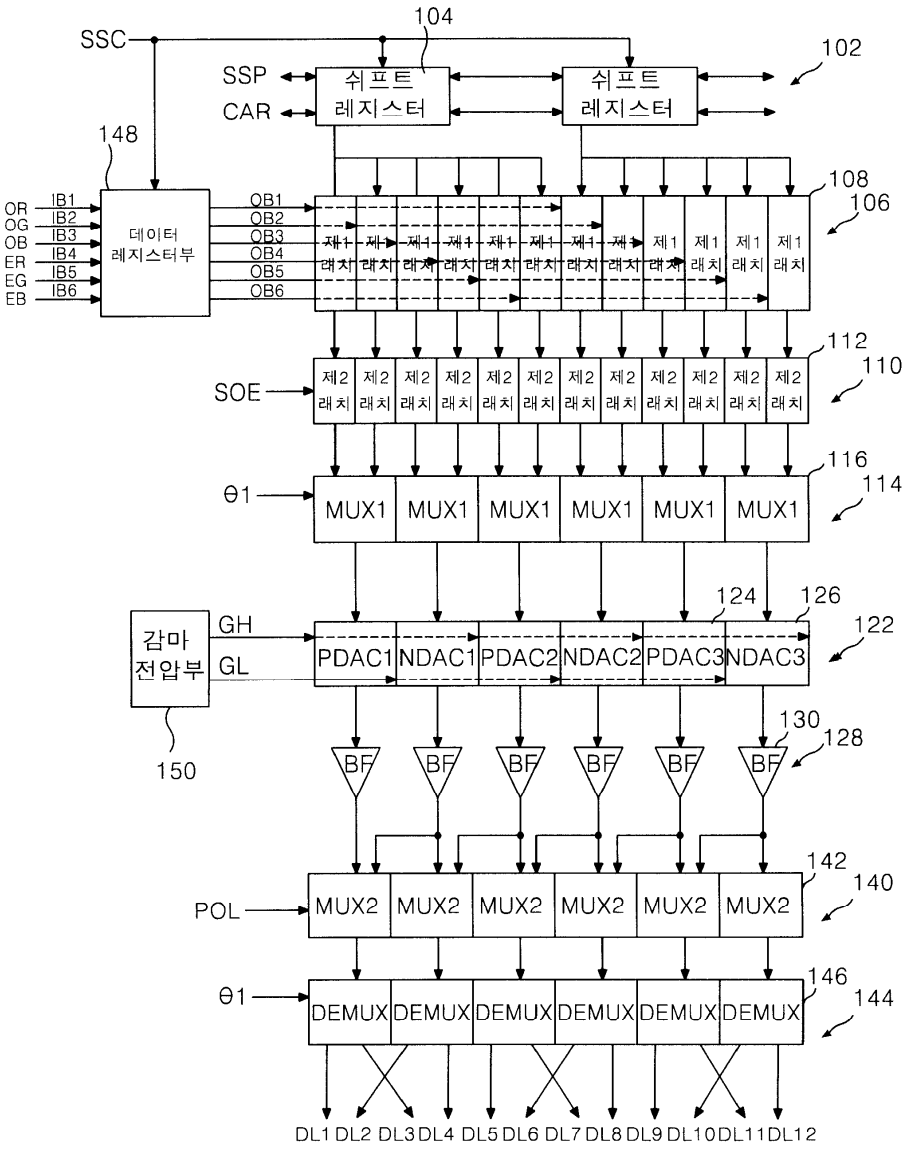
도면10a


R G B R G B R G B R G B R G B R G B R G B R G B R G B

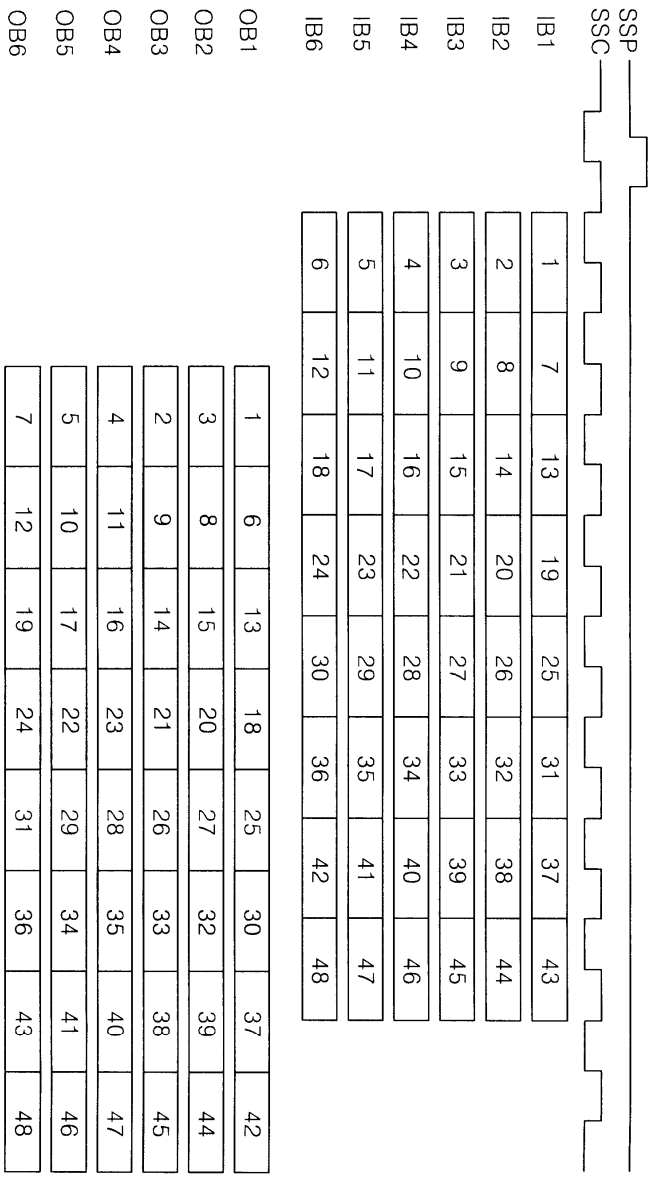
도면10b


R G B R G B R G B R G B R G B R G B R G B R G B R G B

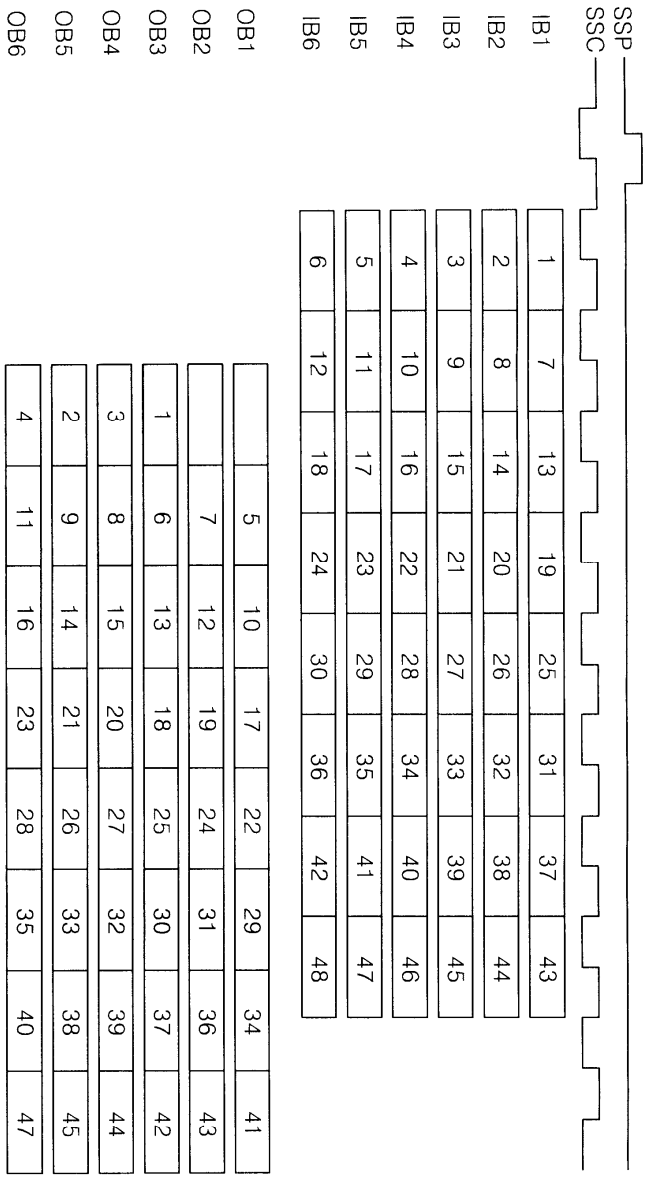
도면11


SSC
104
102
SSP
CAR
쉬프트 레지스터
쉬프트 레지스터
148
OR
OG
OB
ER
EG
EB
IB1
IB2
IB3
IB4
IB5
IB6
데이터 레지스터부
OB1
OB2
OB3
OB4
OB5
OB6
108
106
제1 래치
112
110
SOE
제2 래치
116
114
θ1
MUX1
124
126
122
감마 전압부
GH
GL
PDAC1
NDAC1
PDAC2
NDAC2
PDAC3
NDAC3
150
130
128
BF
142
140
POL
MUX2
146
144
θ1
DEMUX
DL1 DL2 DL3 DL4 DL5 DL6 DL7 DL8 DL9 DL10 DL11 DL12

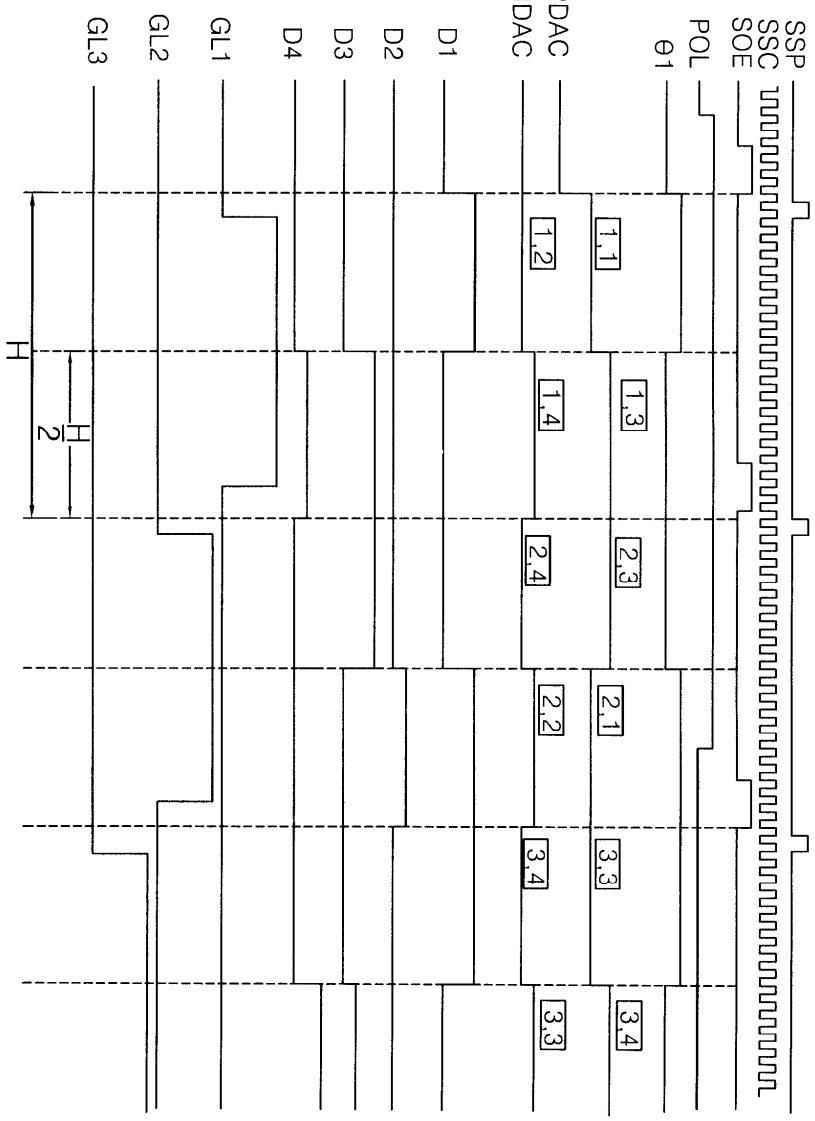
도면12a


SSP
SSC
IB1
IB2
IB3
IB4
IB5
IB6
OB1
OB2
OB3
OB4
OB5
OB6
1 7 13 19 25 31 37 43
2 8 14 20 26 32 38 44
3 9 15 21 27 33 39 45
4 10 16 22 28 34 40 46
5 11 17 23 29 35 41 47
6 12 18 24 30 36 42 48
1 6 13 18 25 30 37 42
3 8 15 20 27 32 39 44
2 9 14 21 26 33 38 45
4 11 16 23 28 35 40 47
5 10 17 22 29 34 41 46
7 12 19 24 31 36 43 48

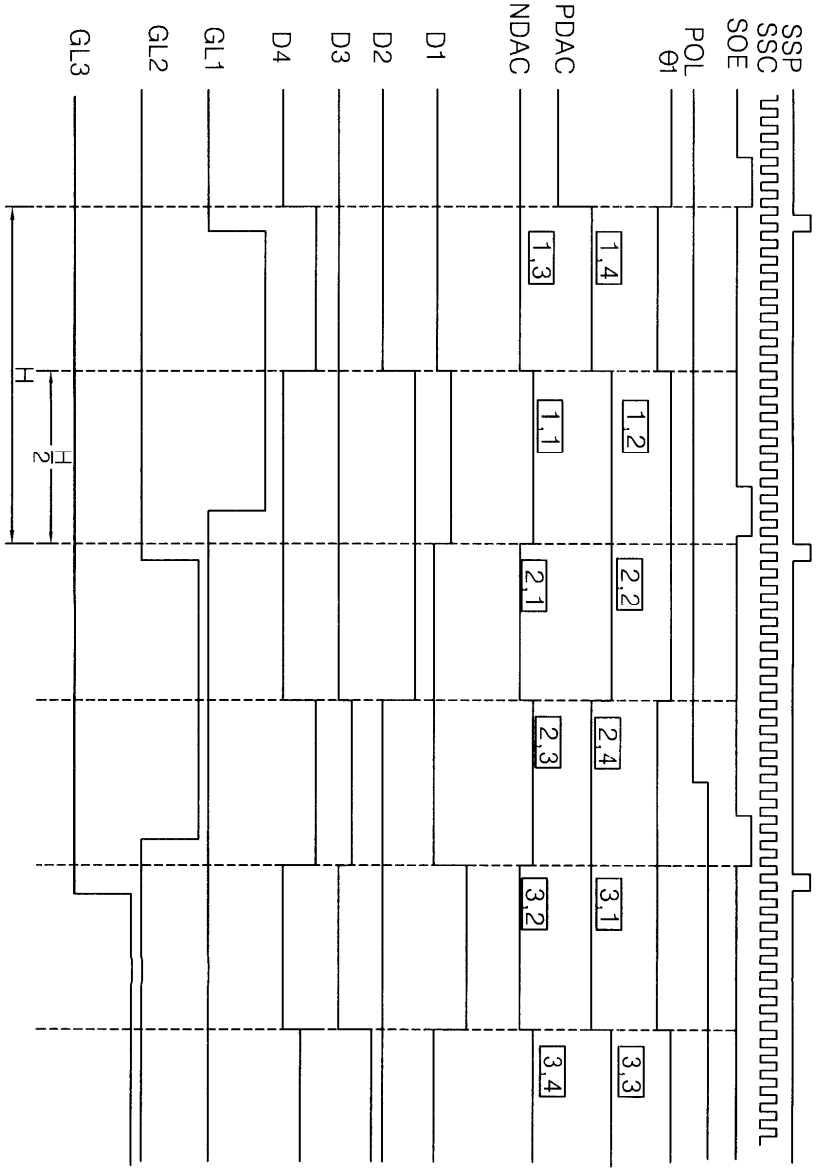
도면12b


SSP
SSC
IB1
IB2
IB3
IB4
IB5
IB6
OB1
OB2
OB3
OB4
OB5
OB6
1 7 13 19 25 31 37 43
2 8 14 20 26 32 38 44
3 9 15 21 27 33 39 45
4 10 16 22 28 34 40 46
5 11 17 23 29 35 41 47
6 12 18 24 30 36 42 48
5 10 17 22 29 34 41
7 12 19 24 31 36 43
1 6 13 18 25 30 37 42
3 8 15 20 27 32 39 44
2 9 14 21 26 33 38 45
4 11 16 23 28 35 40 47

도면13a


SSP
SSC
SOE
POL
Θ1
PDAC
NDAC
D1
D2
D3
D4
GL1
GL2
GL3
H
H/2
1,1
1,2
1,3
1,4
2,3
2,4
2,1
2,2
3,3
3,4
3,3
3,4

도면13b


SSP
SSC
SOE
POL
θ1
PDAC
NDAC
D1
D2
D3
D4
GL1
GL2
GL3
H
H/2
1,4
1,3
1,2
1,1
2,2
2,1
2,4
2,3
3,1
3,2
3,3
3,4

专利名称(译)	用于驱动液晶显示装置的装置和方法		
公开(公告)号	KR1020040049348A	公开(公告)日	2004-06-12
申请号	KR1020020076357	申请日	2002-12-03
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	AHN SEUNGKUK 안승국 KANG SINHO 강신호		
发明人	안승국 강신호		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G2310/027 G09G3/3614 G09G2310/0297 G09G3/3688		
其他公开文献	KR100905330B1		
外部链接	Espacenet		

摘要(译)

本发明涉及一种液晶显示器的数据传输装置，它提高了图像显示质量，降低了数据线数据驱动集成电路的时分驱动数。根据本发明的一个特征的用于液晶显示器的数据传输的装置配备有主复用器阵列：其供应顺序提供它，或者以水平周期为单位改变时分像素数据的供应顺序。单位和帧时间共享输入的像素数据数字模拟转换阵列：，用于将像素数据的输出通道转换为具有第二多路复用器阵列的模拟像素信号：用于交替改变和极性运行像素数据彼此相对于相邻信道的像素数据，以至少2个水平周期为单位，第三多路复用器阵列：用于交替地以至少2个水平周期为单位改变像素信号的输出通道，以及时间共享数据线的多路分解器阵列以至少水平周期单位和帧为单位改变像素信号的供应顺序并提供给时分数据线。