(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G02F 1/1343

(11) 공개번호 10-2004-0025512
(43) 공개일자 2004년03월24일

(21) 출원번호 10-2002-0082751
(22) 출원일자 2002년12월23일

(30) 우선권주장 10/245,336 2002년09월18일 미국(US)

(71) 출원인 한스타 디스플레이 코퍼레이션
타이완 타이페이 105 민생 이스트로드 섹션3, 115호 5층

(72) 발명자 이덕-수
대만히시엔,타유안,양메이첸,창칭이.로드,세크.3,넘버191,3층

(74) 대리인 서상욱

심사청구 : 있음

(54) 보상전극구조를 갖는 아이피에스-엘씨디 및 그의제조방법

요약

본 발명은 보상 전극 구조를 갖는 IPS-LC에 관한 것이다. 각각의 화소영역에서, 제 1 Y 축 방향으로 연장하는 적어도 2개의 일반전극 및 제 2 Y 축 방향으로 연장하는 적어도 하나의 화소전극은 서로 inter-digitated 되어 있다. 또한, Y 축 방향으로 연장하는 적어도 2개의 보상 전극은 화소 전극과 함께 동일한 평면위에서 패턴화되어 있고, 각각 두 개의 일반 전극을 중첩한다. 제1 보상 전극과 화소전극 사이의 제1 간격은 화소전극과 제 2 보상전극 사이의 제 2 간격과 같다.

대표도

도 3a

색인어

보상전극구조, IPS-LCD

명세서

도면의 간단한 설명

도 1A는 종래의 IPS-LCD의 오프(off) 상태에서 액정분자의 정렬을 보여주는 단면도이다.

도 1B는 종래의 IPS-LCD의 온(on) 상태에서 액정분자의 정렬을 보여주는 단면도이다.

도 1C는 종래의 기술에 따른 IPS-LCD의 화소영역안의 전극정렬을 보여주는 평면도이다.

도 2A는 종래의 빗살형상의 전극 정렬에 있어 일반전극과 화소전극의 첫번째 유형을 보여주는 단면도이다.

도 2B는 종래의 빗살 형상의 전극정렬에서 있어 일반전극과 화소전극의 두 번째 유형을 보여주는 단면도이다.

도 2C는 종래의 빗살 형상의 전극정렬에서 있어 일반전극과 화소전극의 세 번째 유형을 보여주는 단면도이다

도 3A는 일정한 간격이 일반전극과 화소전극사이에 형성될 때 이상적인 예를 보여주는 단면도이다.

도 3B는 도 3A에 도시된 전극 정렬에 따른 투과도이다.

도 4A는 서로 다른 간격이 일반 전극과 화소 전극사이에 형성되었을 때의 실제적인 예를 보여주는 단면도이다.

도 4B는 도 4A에 도시된 전극 정렬에 따른 투과도이다.

도 5A는 본 발명의 제1실시예에 따른 IPS-LCD의 화소영역 안의 전극정렬을 보여주는 평면도이다.

도 5B는 도 5A에 도시된 선 I-I'에 따른 단면도이다.

도 5C는 본 발명에 따른 IPS-LCD를 보여주는 단면도이다.

도 6 은 본 발명의 제1 실시예에 따른 바람직한 일예의 투과도이다.

도 7A에서 7C는 일반전극과 보상 전극 사이의 중첩 관계의 바람직한 일예를 보여주는 단면도이다.

도 8A는 본 발명의 제2 실시예에 따른 IPS-LCD의 화소 영역안의 전극 정렬을 보여주는 평면도이다.

도 8B는 도 8A에 도시된 선 I-I'에 따른 단면도이다.

도 9A는 본 발명의 제 3 실시예에 따른 IPS-LCD의 화소 영역안의 전극 정렬을 보여주는 평면도이다.

도 9B는 도 9A에 도시된 선 I-I'에 따른 단면도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 IPS-LCD(In-plane swtiching Liguid Crystal Display)에 관한 것이다. 더 상세하게는 본 발명은 보상 전극 구조를 갖는 IPS-LCD 및 그의 제조방법에 관한 것이다.

액정표시장치(Liquid crystal display; LCD)는 떨어져 있는 유리기판사이의 액정분자의 위치에 따라 분류될 수 있다. 종래의 비틀림 네마틱 방식 액정표시장치(twisted nematic LCD;TN-LCD)는, 액정분자가 두 기판사이에서 꼬여있다. 이와는 반대로, 면내절환 액정표시장치(In-plane swtiching Liguid Crystal Display , 이하 'IPS-LCD'라고 함)에서는, 일반 전극과 화소 전극은 하부 유리기판 (초박막 기판, TFT substrate) 상에 형성되고, 그 사이의 면내 전장(in-plane electric field)은 전장을 따라 액정 분자들을 재배열하기 위해 형성된다. 따라서, IPS-LCD는 매우 좁은 가시각과 낮은 대비율과 같은 종래의 비틀림네마틱 방식 액정표시장치의 결점을 개선하기 위해 사용되거나 추천되어 왔다.

면내 전장의 보다 나은 개선을 위해, 불충분한 구경비와 데이터 선과 일반 전극 사이에 발생되는 누화와 같은 문제점을 해결하기 위해서 빗살 형상(comb-shaped)의 전극 구조가 IPS-LCD 안에 내장된다. 도 1A 와 1B 는 종래의 IPS-LCD의 단면도이고, 도 1C는 종래의 기술에 따른 IPS-LCD의 화소 영역 안에 있는 전극 정렬을 보여주는 평면도이다. 도 1A는 오프(off) 상태에서 액정분자의 정렬 상태를 보여주고 도 1B 는 온(on) 상태에서 액정 분자의 정렬을 보여준다. IPS-LCD 에는 하부 유리 기판 (10), 상부 유리 기판(12)과 두 개의 평행한 유리 기판 사이에 있는 공간에 배치된 액정층(14)이 있다. 초박막 기판(TFT substrate)으로 알맞은 하부 유리기판(10)위에는, 빗살 형상의 구조로 정렬된 스트립 형상(strip-shaped)의 다수의 일반 전극(16)이 하부 유리 기판 (10)위에 패턴화되어 있고, 절연층(18)은 일반 전극(16)과 하부 유리기판 (10)위에 놓여있고, 빗살형상의 구조로 정렬된 스트립 형상(strip-shaped)의 다수의 화소

전극(20)은 절연층(18) 위에 패턴화되어 있다.

도 1A에서 볼 수 있듯이, 외부 전압이 IPS-LCD에 인가되기 전에, 액상분자(14A)는 하부 유리기판(10)과 평행한 방향으로 정렬된다. 도 1B에서 볼 수 있듯이, 외부 전압이 IPS-LCD에 인가될 때, 면내 전장은 일반 전극(16)과 화소 전극(20)사이에 형성되어, 면내 전장을 향해 액정분자(14B)가 회전하게 한다.

일반 전극(16)과 화소 전극(20)의 물질과 구조 디자인에 따라, 종래의 빗살 형상의 전극구조는 3가지 유형으로 분류된다. 도 2A 부터 도 2C는 종래의 빗살 형상의 전극 구조에 있어서 일반 전극(16)과 화소 전극(20)의 3가지 유형을 보여주는 단면도이다. 첫번째 유형에서, 도 2A에서 볼 수 있듯이, 일반 전극(16)과 화소 전극(20)은 동일한 평면 위에 패턴화 되어 있고, ITO 또는IZO와 같은 투명한 도전물질로 구성되어 있다. 두 번째 유형에서, 도 2B에서 볼 수 있듯이, Al 과 MoW와 같은 불투명한 도전 물질로 구성된 일반 전극(16) 은 절연층(18) 배치로 이어지는 하부 유리기판(10) 위에 패턴화 되어 있고, ITO 또는IZO 와 같은 투명한 물질로 구성된 화소 전극(20) 절연층(18)위에 패턴화되어 있다. 세 번째 유형에서, 도 2C에서 볼 수 있듯이, 일반 전극(16)과 화소 전극(20)은 동일한 평면 위에 패턴화되어 있고, Al와 MoW와 같은 불투명한 도전물질로 구성되어 있다. 비교해보면, 도 2A에 도시된 첫번째 유형은 도 2B에 도시된 두 번째 유형과 도 2C에 도시된 세 번째 유형보다 IPS-LCD에 보다 큰 휘도(luminance)를 제공할 수 있으나, 두 번째 유형과 세 번째 유형보다 악화된 가시각 특성을 제공한다. 또한, 세번째 유형은 빛의 대부분이 불투명한 도전물질에 의해 차단되기 때문에 IPS-LCD의 휘도(luminance)가 심하게 감소된다. 따라서, 도 2B에 도시된 두 번째 유형이 종래의 빗살형상의 전극구조에서 가장 일반적으로 사용되는 유형이다.

그러나, 두번째 유형과 관련하여, 일반전극(16)과 화소전극(20)은 다른 평면에 패턴화되기 때문에, 포토리소그래피(photolithography) 공정에서의 편향에 의해 유발되는 전극 정렬 위에 일반 전극(16)과 화소 전극(20)사이에 서로 다른 간격을 형성하는 것이 가능하다. 도 3A는 일반 전극(16)과 화소 전극(20) 사이에 일정한 간격이 형성되었을 때 이상적인 예를 보여주는 단면도이다. 도 3B는 도 3A에 도시된 전극 구조에 따른 투과도이다. 도 4A 는 일반 전극(16)과 화소 전극(20) 사이에 다른 간격이 형성되었을 때의 실질적인 예를 보여주는 단면도이다. 도 4B는 도 4A에 도시된 전극 구조에 따른 투과도이다. 도 3A와 3B에서 볼 수 있듯이, 일반 전극(16)과 화소 전극(20) 사이의 간격은 일정한 S1이고, 각각의 S1 공간 지역 은 동일한 정도의 면내 전장을 가지고 있어, 동일한 전기용량과 투과도를 나타낸다. 이와는 반대로, 도 4A와 4B에서 볼 수 있듯이, S1과 S2와 같이 일반 전극(16)과 화소 전극(20) 사이의 간격이 서로 다르고, S1 공간 지역과 S2 공간 지역이 서로 다른 정도의 면내전장을 가지기 때문에 전기용량과 투과도도 서로 다르게 된다. 이러한 실제적인 예에서, 트립 뮤라(trip mura), 숏 뮤라(shot mura)와 플리커와 같은 문제점이 종래의 IPS-LCD에서 일반적으로 발견된다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 종래 기술의 문제점을 해결하기 위해 정렬이 자유로운 전극구조를 형성하는 보상전극구조를 갖는 IPS-LCD를 제공하는 것이다.

보상전극구조를 갖는 IPS-LCD는 서로 평행하게 배치된 제1 유리기판과 제2 유리기판 및 제1 유리기판과 제2 유리기판 사이의 공간에 형성된 액정층을 포함한다. 제1 방향으로 연장하는 다수의 게이트 선은 제 1 유리기판 위에 형성되고, 제 1 방향과 수직하는 제2 방향으로 연장하는 다수의 데이터 선은 제 1 유리기판 위에 형성된다. 따라서 데이터 선과 게이트 선은 매트릭스 형태로 정렬된 화소영역의 정렬을 구성한다. 초박막(TFT)은 각각의 화소영역에 형성된다.

빗살 형상의 일반전극 구조, 빗살 형상의 화소전극 구조와 보상전극 구조는 제 1 유리기판 위의 각각의 화소영역에 배치된다. 빗살형상의 일반전극 구조는 게이트 선에 평행한 일반 선 및 제 2 방향으로 연장하는 적어도 2개의 일반 전극을 포함한다. 빗살 형상의 화소전극 구조는 게이트 선 부근의 바 및 제 2 방향으로 연장하고 두 개의 일반 전극과 깍지 끼워져 있는 하나의 화소 전극을 포함한다. 보상전극 구조는 적어도 하나의 보상 전극 및제 2방향으로 연장하고 화소 전극과 동일한 평면에 패턴화된 제 2 보상전극을 포함한다. 두 개의 보상 전극은 두 개의 일반 전극을 각각 중첩(overlap)하고, 제1 보상 전극과 화소 전극사이의 제1 간격은 화소전극과 제2 보상전극사이의 제2간격과 동일하다.

본 발명의 장점은 동일한 전기용량 과 투과도를 제공하기 위해 제1 간격과 제2 간격사이에 동일한 정도의 면내전장이 형성된다는 것이다. 이러한 점은 종래의 IPS-LCD에서 발견되는 트립 뮤라(trip mura), 숏뮤라(shot mura)와 플리커를 제거한다.

본 발명의 다른 목적 및 장점들은 하기에 설명될 것이며, 본 발명의 실시에 의해 알게 될 것이다. 또한, 본 발명의 목적 및 장점들은 특허 청구 범위에 나타낸 수단 및 조합에 의해 실현될 수 있다.

발명의 구성 및 작용

이하, 첨부된 도면을 참조로 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 이에 앞서, 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이거나 사전적인 의미로 한정해서 해석되어서는 아니되며, 발명자는 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원 칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다.

따라서, 본 명세서에 기재된 실시예와 도면에 도시된 구성은 본 발명의 가장 바람직한 실시예에 불과할 뿐이고 본 발명의 기술적 사상을 모두 대변하는 것은 아니므로, 본 출원 시점에 있어서 이들을 대체할 수 있는 다양한 균등물과 변형예들이 있을 수 있음을 이해하여야 한다.

[제1실시예]

도 5A는 본 발명의 제 1 실시예에 따른 IPS-LCD의 화소영역 안의 전극 정렬을 보여주는 평면도이다. 도 5B는 도 5A에 도시된 선 I-I'에 따른 단면도이다. 도 5C는 본 발명에 따른 IPS-LCD를 보여주는 단면도이다.

도 5C에 도시된 바와 같이, IPS-LCD는 서로 평행하게 정렬된 한 쌍의 유리 기판30, 50과 두 개의 기판(30,50)사이의 공간에 형성된 액정층을 포함한다.

도 5A와 5B에 도시된 바와 같이, 초박막(TFT) 기판으로 불리우는 바닥 기판(30) 위에는, X 축을 따라 연장하는 다수의 게이트 선(32)과 Y 축을 따라 연장하는 다수의 데이터 선(34)이 매트릭스 형상으로 정렬된 화소 영역(36)을 형성한다. 각각의 화소 영역(36)은 초박막(TFT, 38), 빗살형상의 일반전극 구조(40), 빗살형상의 화소전극 구조(42), 및 보상 전극 구조(44)를 포함한다. 이 경우에서, 초박막(TFT, 38)은 게이트 선 (32)과 데이터 선 (34)의 교차점 부근에 형성된다. 빗살 형상의 일반전극 구조(40)는 X축에 배치된 일반 선(40a)과 Y 축의 제1 방향에 따라 일반 선으로부터 떨어져서 연장하는 다수의 빗-치아를 포함한다. 바람직하게는, 도 5A에 도시된 바와 같이, Y 축의 제1방향을 따라 일반 선(40a)로부터 떨어져 연장하는 세 개의 빗-치아 $40b_1$, $40b_2$, $40b_3$ 가 있다. 빗살 형상의 화소 전극 구조(42)는 초박막(TFT, 38) 부근의 바(42a)와 Y 축의 제 2 방향을 따라 바(42a)로부터 떨어져서 연장하는 적어도 하나의 빗-치아를 포함한다. 바람직하게는, 도 5B에 도시된 바와 같이, Y 축의 제 2 방향을 따라 바(42a)로부터 떨어져서 확장하는 두 개의 빗-치아 $42b_1$, $42b_2$ 가 있다. 두 개의 화소 전극 $42b_1$, $42b_2$ 은 세 개의 일반 전극 $40b_1$, $40b_2$, $40b_3$ 와 깍지 끼워져 있고, 따라서 화소영역(36)은 4개의 공간 지역으로 나뉜다. 일반 전극 구조(40)의 세 개의 빗-치아 $40b_1$, $40b_2$, $40b_3$ 와 일치하여, 보상 전극 구조(44)는 Y 축을 따라 연장하고 화소 전극(42b)과 동일한 평면에 패턴화 된 세 개의 보상 전극 $44a_1$, $44a_2$, $44a_3$ 을 갖는다. 또한, 세 개의 보상 전극 $44a_1$, $44a_2$, $44a_3$ 은 각각 세 개의 일반전극 $40b_1$, $40b_2$, $40b_3$ 을 중첩한다.

도 5B에 도시된 바와 같이, 일반 전극(40b)의 폭 W1은 보상 전극(44a)의 폭 W3보다 작다. 바람직하게는, 폭 W1과 폭 W3은 식 W3-W1≥1㎛을 만족한다. 더이, 보상 전극($44a_1$)과 화소 전극($42b_1$) 사이의 제 1 간격, 화소 전극($42b_1$)과 보상 전극($44a_2$) 사이의 제2간격, 보상 전극(44a2)과 화소 전극($42b_2$)사이의 제 3간격 및 화소 전극($42b_2$)과 보상 전극($44a_3$) 사이의 제 4 간격은 일정 거리 D로 고정된다. 게다가, 각각의 보상 전극 $44a_1$, $44a_2$, $44a_3$ 은 관통홀(46)을 통해 일반 선(40a)와 전기적으로 연결되어 있다. 더이, 보상 전극 구조(44)의 프로필은 디자인에 따라 선택한다. 바람직하게는, 보상 전극 구조(44)는 다수의 스트립(strip) 또는 빗살 형상으로 디자인된다.

일반 전극(40b)은 Al 과 MoW와 같은 불투명한 물질을 사용할 수 있고, 일반 선(40a), 데이터 선(34) 또는 게이트 선(32)과 동일한 평면에 패턴화 될 수 있다. 화소 전극(42b)과 보상 전극(44a)은 ITO 또는 IZO와 같은 투명한 물질을 사용할 수 있고, 일반 전극(40b) 위에 놓여진 절연층(41)상에 패턴화 될 수 있다. 또한, 보상 전극(44a)과 화소 전극(42b)은 포토리소그래피 공정의 동일한 단계에 의해 동일한 평면에 패턴화 되기 때문에, 두 개의 근접한 보상 전극(44a)과 화소 전극(42b) 사이의 간격은 쉽게 일정 거리 D로 고정된다. 따라서, 거리 S1 (일반 전극($40b_1$)과 화소 전극($42b_1$) 사이), 거리 S2 (화소 전극($42b_1$)과 일반전극($40b_2$)), 거리 S3 (일반 전극($40b_2$)과 화소 전극($42b_2$)사이) 및 거리 S4 (화소 전극($42b_2$)과 일반 전극($40b_3$))가 동일한 것과 그렇지 않은 것에 상관없이, 각각의 D 공간 지역(보상 전극(44a)와 화소 전극(42)사이)은 동일한 정도의 면내 전장을 가지게 되어, 동일한 전기용량과 투과도를 나타낸다. 이 점은 종래의 IPS-LCD에서 발견되는 트립 뮤라(trip mura), 숏 뮤라(shot mura) 와 플리커(flicker)를 제거한다.

일반 전극(40b), 화소 전극(42b)과 보상 전극(44a)의 폭 W1, W2, W3 은 제한되지 않는다. 바람직하게, W1=2~3㎛, W2=4~5㎛, W3=4~5㎛, 및 D=9~15㎛이다. 바람직한 일예로, W1=3㎛, W2=4㎛, W3=4㎛ 및 D=9㎛인 경우 도 6에 도시된 바와 같이 각각의 D 공간 지역이 동일한 투과도를 가지는 좋은 결과를 나타낸다. 보상 전극(44a)과 일반 전극(40b) 사이의 중첩 관계는 제한되지 않는다. 바람직한 일예로, 도 7 A에 도시된 바와 같이, 일반 전극(40b)의 중앙은 보상 전극(44a)의 중앙으로 정렬되어 있다. 또 다른 바람직한 일예로, 일반 전극(40b)의 왼쪽 측면은 도 7B에 도시된 바와 같이, 보상 전극(44a)의 왼쪽 측면으로 정렬되어 있다. 다른 바람직한 일예로, 일반 전극(40b)의

오른쪽 측면은 도 7C에 도시된 바와 같이, 보상 전극(44a)의 오른쪽 측면으로 정렬되어 있다.

[제2 실시예]

도 8A는 본 발명의 제 2 실시예에 따른 IPS-LCD의 화소 영역안의 전극 정렬을 보여주는 평면도이다. 도 8B는 도 8A에 도시된 선 I-I'에 따른 단면도이다.

유리기판 (30)위에 화소 영역(36) 안의 전극 정렬은 제 1 실시예에서 설명한 것과 같이 거의 동일 하다. 유일한 차이는 일반 전극(40b)이 일반 선(40a)과 연결되지 않아 일반 전극(40b) 보상 전극(44a) 아래의 유동층(floating layer)이 된다는 것이다. 일반 전극(40b)은 Al 과 MoW와 같은 불투명한 물질을 사용할 수 있고, 일반 선(40a), 데이터 선(34) 또는 게이트 선 (32)과 동일한 평면위에 패턴화될 수 있다. 보상 전극(44a)은 역시 관통홀(46)을 통해 일반 선(40a)와 전기적으로 연결되어 있다.

도 8B에 도시된 바와 같이, 두 개의 근접한 보상 전극(44a)과 화소 전극(42b)사이의 간격은 쉽게 일정 거리 D로 고정된다. 따라서, 거리 S1, 거리 S2, 거리 S3, 및 거리 S4가 동일한 것과 그렇지 아니한 것에 관계없이, 각각의 D 공간 지역은 동일한 정도의 면내 전장을 가지게 되어 동일한 전기용량과 투과도를 나타낸다. 이러한 점들이 종래의 IPS-LCD에서 발견되는 트립 뮤라(trip mura), 숏 뮤라(shot mura)와 플리커(flicker)를 제거한다.

[제3 실시예]

도 9A는 본 발명의 제 3 실시예에 따른 IPS-LCD의 화소 영역안의 전극 정렬을 보여주는 평면도이다. 도 9B는 도 9A에 도시된 선 I-I'의 단면도이다.

유리기판 (30)위에 화소 영역(36) 안의 전극 정렬은 제 2실시예에서 설명한 것과 같이 거의 동일 하다. 유일한 차이는 일반 전극(40b)이 Al 과 MoW와 같은 불투명한 물질을 사용하고, 데이터 선(34) 동일한 평면 위에 패턴화된다는 것이다.

도 9B에 도시된 바와 같이, 두 개의 근접한 보상 전극(44a)과 화소 전극(42b)사이의 간격은 쉽게 일정 거리 D로 고정된다. 따라서, 거리 S1, 거리 S2, 거리 S3, 및 거리 S4가 동일하던지 그렇지 않던 지에 관계없이, 각각의 D 공간 지역은 동일한 정도의 면내 전장가지게 되어 동일한 전기용량과 투과도를 나타낸다. 이러한 점들이 종래의 IPS-LCD에서 발견되는 트립 뮤라(trip mura), 숏 뮤라(shot mura)와 플리커(flicker)를 제거한다.

이상과 같이, 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 이것에 의해 한정되지 않으며 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술 사상과 아래에 기재될 특허 청구범위의 균등 범위 내에서 다양한 수정 및 변형이 가능함은 물론이다.

발명의 효과

본 발명에 따른 정렬이 자유로운 전극구조를 형성하는 보상전극구조를 갖는 IPS-LCD는 동일한 전기용량 과 투과도를 제공하기 위해 제1 간격과 제2 간격사이에 동일한 정도의 면내전장이 형성된다는 이점이 있다. 이러한 점은 종래의 IPS-LCD에서 발견되는 트립 뮤라(trip mura), 숏뮤라(shot mura)와 플리커를 제거한다.

(57) 청구의 범위

청구항 1.

서로 평행하게 배치된 제 1 유리 기판과 제 2 유리 기판,

상기 제1 유리 기판과 상기 제 2 유리 기판 사이의 공간에 형성된 액정층,

제 1 방향으로 연장하는 상기 제1 유리기판 위에 형성되는 다수의 게이트 선,

상기 제 1 방향에 수직한 제 2 방향으로 연장하고, 상기 제 2 유리기판 위에 형성됨과 동시에 상기 게이트 선과 함께 매트릭스 형상으로 정렬되는 다수의 화소 영역을 형성하는 다수의 데이터 선,

상기 다수의 화소영역에 각각 형성되는 다수의 초박막(TFT),

상기 제1 유리기판 위의 각각의 복수 화소 영역에 배치되며, 상기 게이트 선과 평행한 일반 선과 제 2 방향으로 연장하는 적어도 2개의 일반 전극을 포함하는 빗살 형상의 다수의 일반 전극 구조.

상기 제1 유리기판 위의 각각의 다수의 화소 영역에 배치되며, 상기 게이트 선 부근의 바와 제 2 방향으로 연장하고 두 개의 일반 전극과 깍지 끼워져 있는 적어도 하나의 화소 전극을 포함하는 빗살 형사의 다수의 화소 전극 구조 및

상기 제1 유리기판 위의 각각의 다수의 화소 영역에 배치되며, 적어도 하나의 제 2 방향으로 연장하고, 상기 화소 전극과 함께 동일한 평면위에서 패턴화되는 제1 보상전극과 제2 보상전극을 포함하는 다수의 보상 전극 구조를 포함하여 구성되고,

상기 제 1, 제 2 보상 전극은 각각 두개의 일반 전극을 오버랩하고, 상기 제 1 보상전극과 상기 화소 전극사이의 제 1 간격은 상기 화소 전극과 상기 제2 보상전극사이의 제2 간격과 동일한 것을 특징으로 하는 보상 전극 구조를 갖는 IPS-LCD.

청구항 2.
제 1항에 있어서,

상기 일반 선 위에 적어도 2개의 관통 홀을 더 포함하고, 상기 제 1 및 제 2 보상전극은 각각 상기 2개의 관통 홀을 통해 일반 선과 전기적으로 연결되는 것을 특징으로 하는 보상 전극 구조를 갖는 IPS-LCD.

청구항 3.
제 1항에 있어서,

상기 보상 전극과 일반 전극 사이에 배치된 절연층을 더 포함하는 것을 특징으로 하는 보상 전극 구조를 갖는 IPS-LCD.

청구항 4.
제1항에 있어서,

상기 화소 전극과 상기 보상 전극은 투명 도전 물질로 구성되는 것을 특징으로 하는 보상 전극 구조를 갖는 IPS-LCD.

청구항 5.
제1항에 있어서,

상기 화소전극과 상기 보상 전극은 ITO 또는 IZO인 것을 특징으로하는 보상 전극 구조를 갖는 IPS-LCD.

청구항 6.
제1항에 있어서,

상기 일반 전극은 불투명한 도전 물질로 구성되는 것을 특징으로 하는 보상 전극 구조를 갖는 IPS-LCD.

청구항 7.
제1항에 있어서,

상기 일반 전극은 Al 또는 MoW로 구성되는 것을 특징으로 하는 보상 전극 구조를 갖는 IPS-LCD.

청구항 8.
제1항에 있어서,

상기 각각의 일반 전극은 동일한 물질로 구성되고 상기 일반 선과 동일한 평면위에 패턴화되는 것을 특징으로 하는 보상 전극 구조를 갖는 IPS-LCD.

청구항 9.
제1항에 있어서,

상기 각각의 일반전극은 동일한 물질로 구성되고, 상기 게이트 선과 동일한 평면위에 패턴화되는 것을 특징으로 하는 보상 전극 구조를 갖는 IPS-LCD.

청구항 10.
제1항에 있어서,

상기 각각의 일반전극은 동일한 물질로 구성되고, 상기 데이터 선과 동일한 평면 위에 패턴화되는 것을 특징으로 하는 보상 전극 구조를 갖는 IPS-LCD.

청구항 11.
제1항에 있어서,

상기 각각의 일반 전극은 상기 일반 선과 전기적으로 연결된 것을 특징으로 하는 보상 전극 구조를 갖는 IPS-LCD.

청구항 12.
제1항에 있어서,

상기 각각의 일반전극은 상기 일반 선과 전기적으로 결합되지 아니한 것을 특징으로 하는 보상 전극 구조를 갖는 IPS-LCD.

청구항 13.
제1항에 있어서,

상기 각각의 일반전극의 폭 W1 과 상기 각각의 보상 전극의 폭은 $W3-W1 \geq 1\mu m$을 만족하는 것을 특징으로 하는 보상 전극 구조를 갖는 IPS-LCD.

청구항 14.
유리기판을 제공하는 단계,

상기 유리기판위에 제 1 방향으로 연장하는 다수의 게이트 선을 형성하는 단계,

각각의 미리 계산된 화소 영역안에 상기 게이트 선과 평행한 일반 선 및 제 1방향과 수직한 제 2 방향으로 연장하는 적어도 두 개의 일반 전극을 포함하는 빗살 형상의 일반전극 구조를 형성하는 단계,

상기 게이트 선, 상기 빗살 형상의 일반 전극 구조 및 유리 기판을 덮는 절연 층을 형성하는 단계,

상기 절연층 위에서 제 2 방향으로 연장함과 아울러 상기 게이트 선과 함께 매트릭스 형상으로 정렬되어 다수의 화소 영역을 구성하는 다수의 데이터 선을 형성하는 단계,

상기 절연층 위의 각각의 화소 영역에 배치되며, 게이트 선 부근의 바 및 제 2 방향으로 연장하고 두개의 일반 전극과 깍지 끼워져 있는 빗살 형상의 화소 전극 구조를 형성하는 단계, 및

상기 각각의 화소 영역에 배치되며, 적어도 하나의 제1 보상 전극 및 제 2방향으로 연장하고 상기 화소 전극과 동일한 평면에서 패턴화되는 제 2 보상전극을 포함하는 보상 전극구조를 형성하는 단계,를 포함하여 구성되고,

상기 제 1 및 제 2 보상전극은 각각 상기 두 개의 일반 전극을 중첩하고, 상기 제 1 보상 전극과 화소전극사이의 제 1 간격과 상기 화소 전극과 상기 제2 보상 전극 사이의 제 2 간격이 동일한 것을 특징으로 하는 보상 전극 구조를 갖는 IPS-LCD의 제조방법.

청구항 15.
제14항에 있어서,

상기 각각의 화소 영역안에 초박막(TFT)를 형성하는 단계를 더 포함하는 것을 특징으로 하는 보상 전극 구조를 갖는 IPS-LCD의 제조방법.

청구항 16.
제14항에 있어서,

상기 일반 선위에 적어도 두개의 관통 홀을 형성하는 단계, 및

상기 제 1 및 제2 보상전극과 상기 일반 선을 상기 두개의 관통홀을 통해 전기적으로 연결하는 단계,

를 더 포함하는 것을 특징으로 하는 보상 전극 구조를 갖는 IPS-LCD의 제조방법.

청구항 17.
제 14항에 있어서,

상기 화소전극과 상기 보상 전극은 투명한 도전 물질로 구성되는 것을 특징으로 하는 보상 전극 구조를 갖는 IPS-LCD의 제조방법.

청구항 18.
제14항에 있어서,

상기 일반 전극은 불투명한 도전 물질로 구성되는 것을 특징으로 하는 보상 전극 구조를 갖는 IPS-LCD의 제조방법.

청구항 19.
제14항에 있어서,

상기 각각의 일반전극은 동일한 물질로 구성되고, 상기 일반 선, 상기 게이트 선 또는 상기 데이터 선과 동일한 평면에 패턴화되는 것을 특징으로 하는 보상 전극 구조를 갖는 IPS-LCD의 제조방법.

청구항 20.
제14항에 있어서,

상기 각각의 일반전극은 상기 일반 선과 전기적으로 연결되는 것을 특징으로 하는 보상 전극 구조를 갖는 IPS-LCD의 제조방법.

청구항 21.
제14항에 있어서,

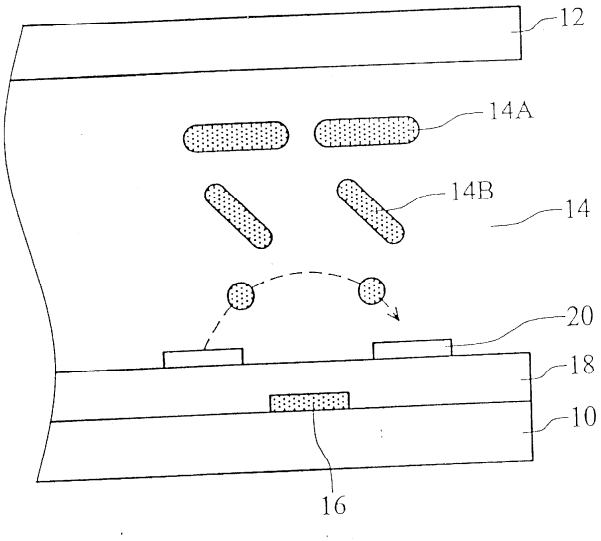
상기 각각의 일반전극은 상기 일반 선과 전기적으로 연결되지 아니하는 것을 특징으로 하는 보상 전극 구조를 갖는 IPS-LCD의 제조방법.

청구항 22.
제14항에 있어서,

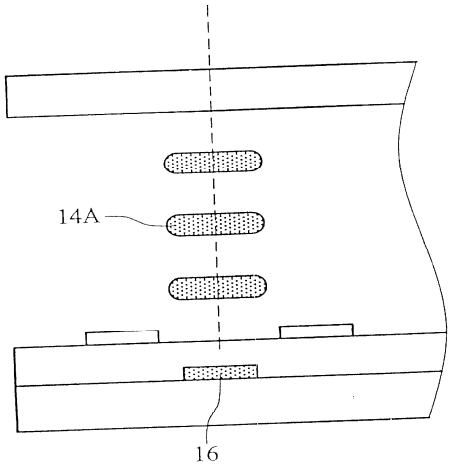
상기 각각의 일반전극의 폭 W1과 상기 각각의 보상 전극의 W3이 $W3-W1 \geq 1\mu m$을 만족하는 것을 특징으로 하는 보상 전극 구조를 갖는 IPS-LCD의 제조방법.

도면

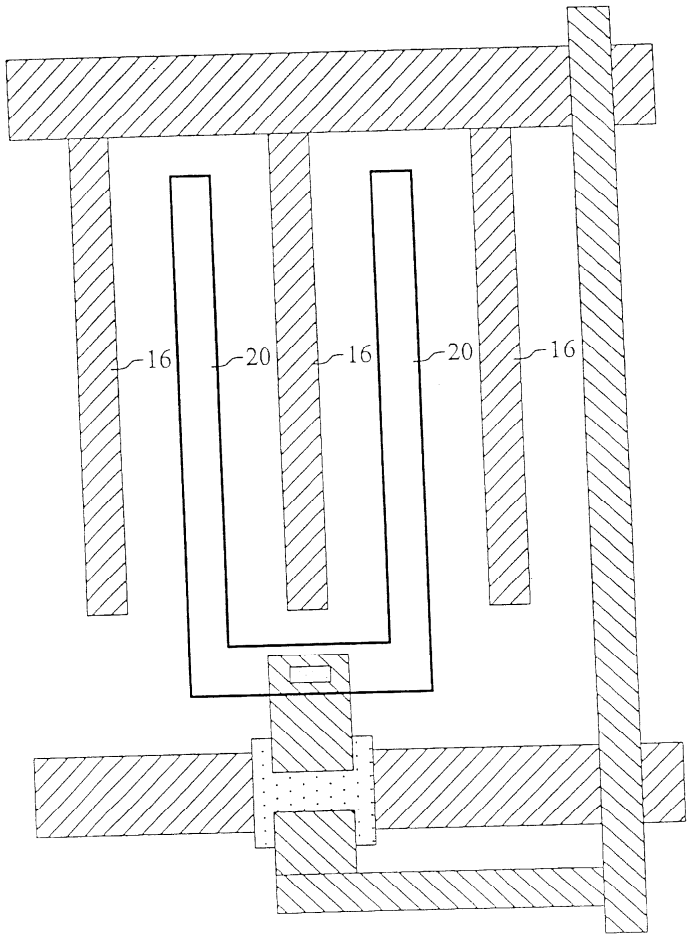
도면1a



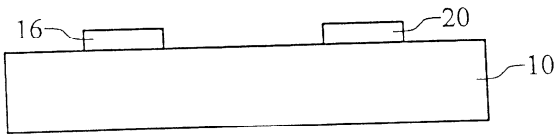
도면1b



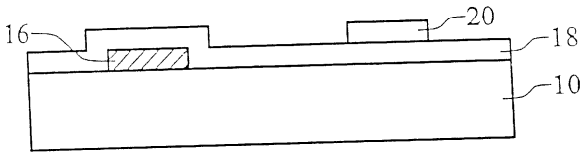
도면1c



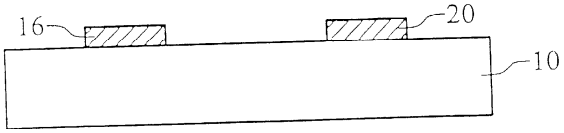
도면2a



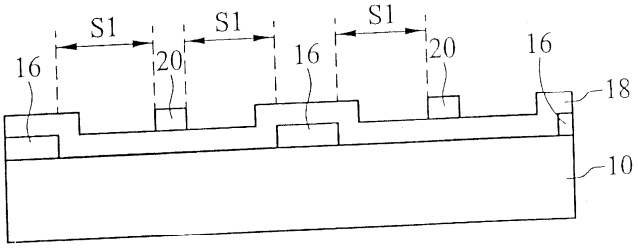
도면2b



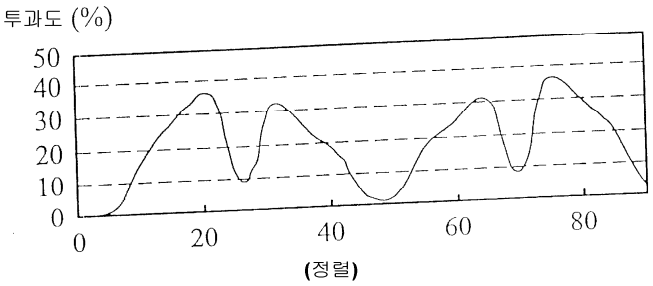
도면2c



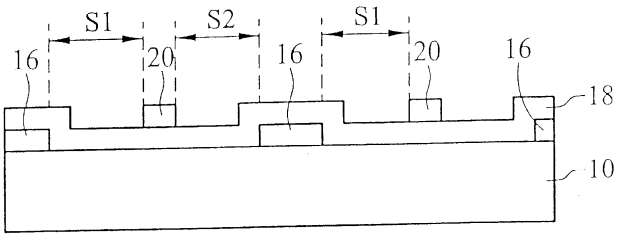
도면3a



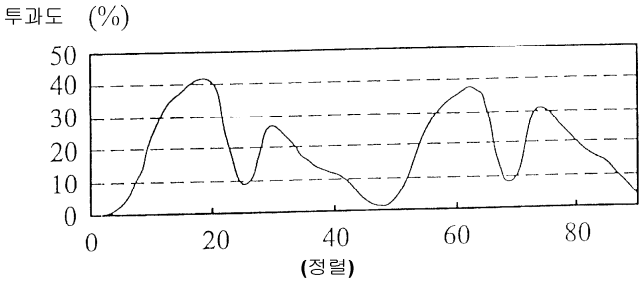
도면3b



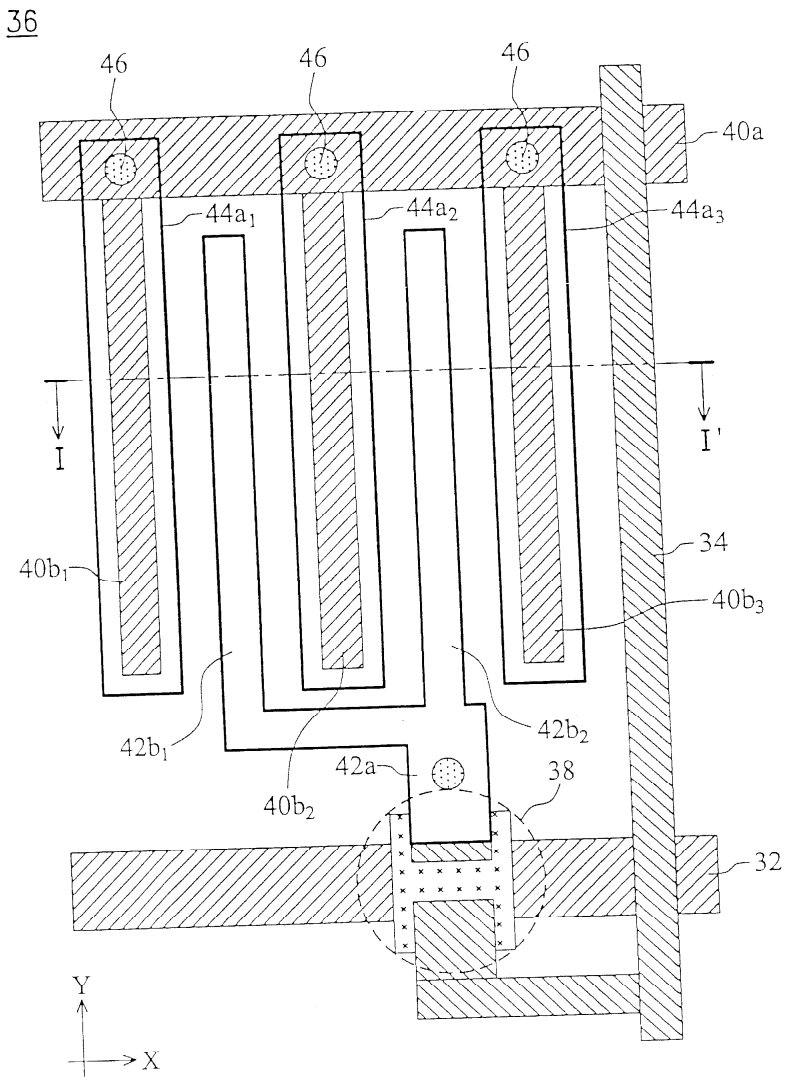
도면4a



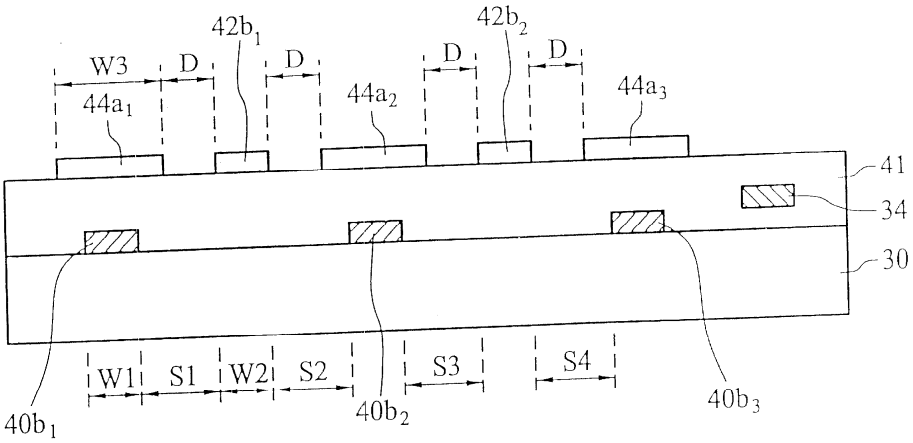
도면4b



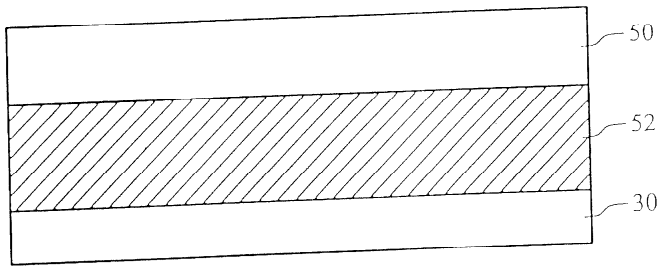
도면5a


36
46
46
46
40a
44a1
44a2
44a3
I
I'
40b1
34
40b3
42b1
42b2
42a
38
40b2
32
Y
X

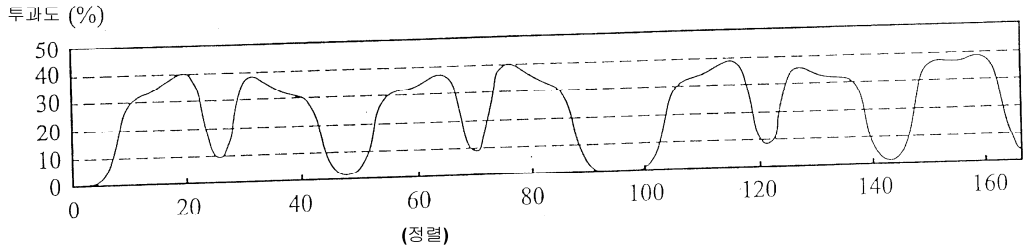
도면5b


42b1
42b2
W3
D
D
D
D
44a1
44a2
44a3
41
34
30
W1
S1
W2
S2
S3
S4
40b1
40b2
40b3

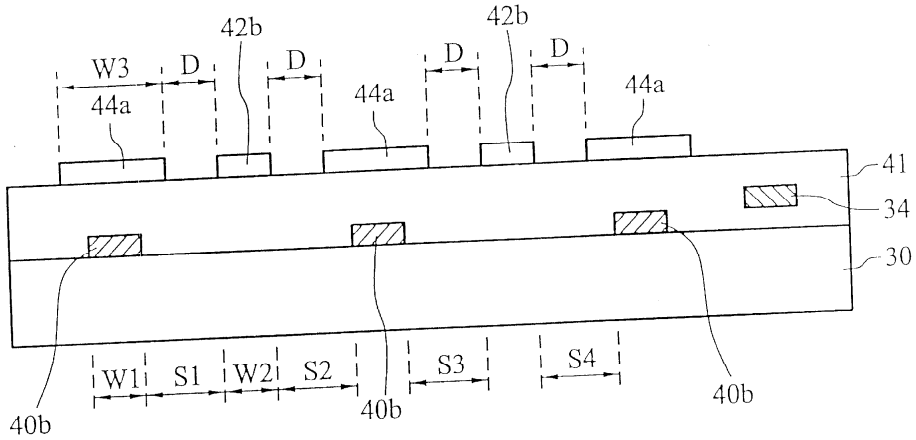
도면5c



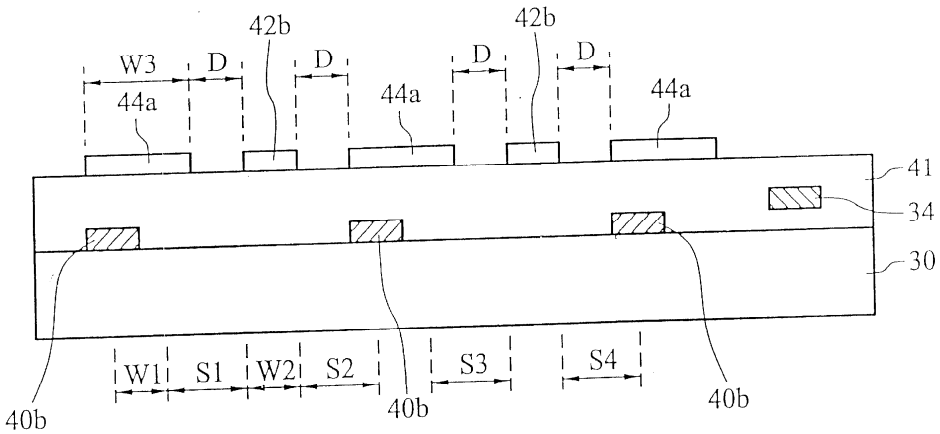
도면6



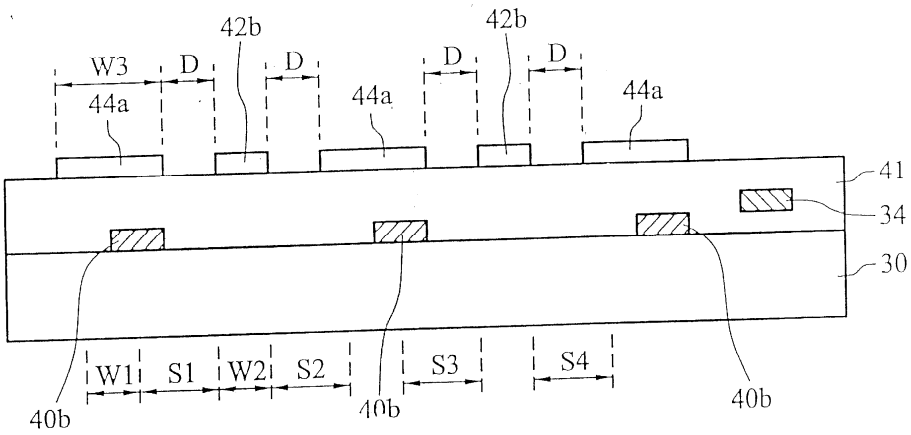
도면7a



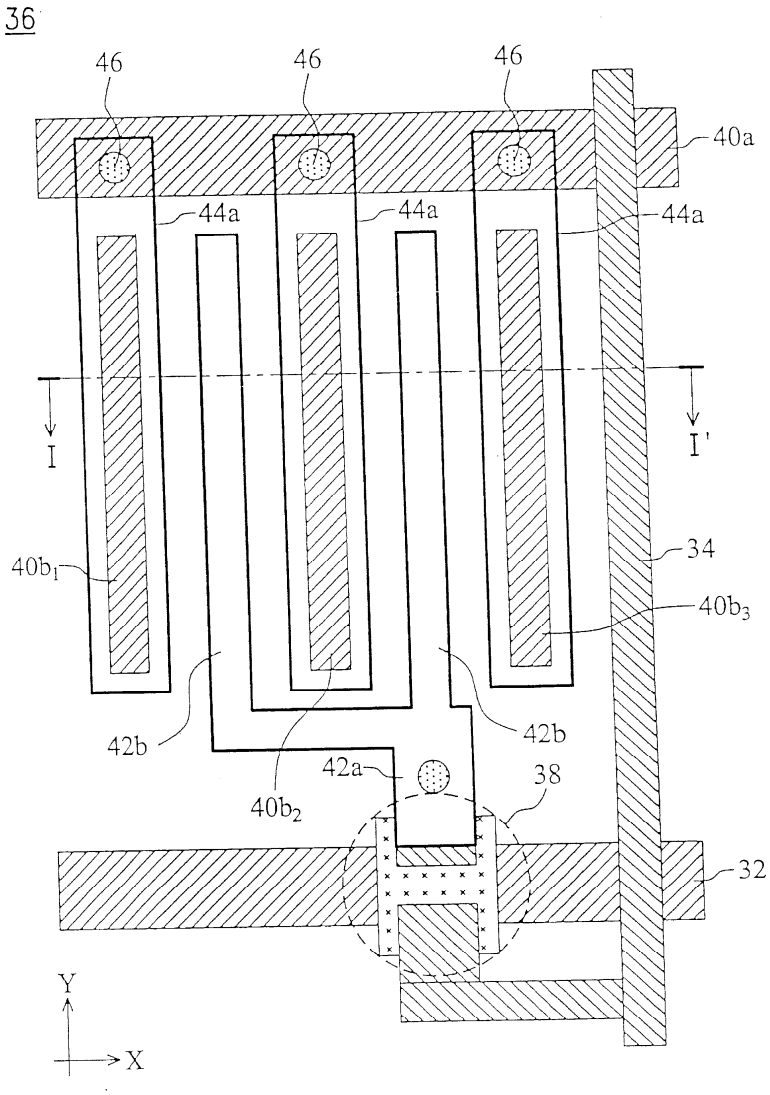
도면7b



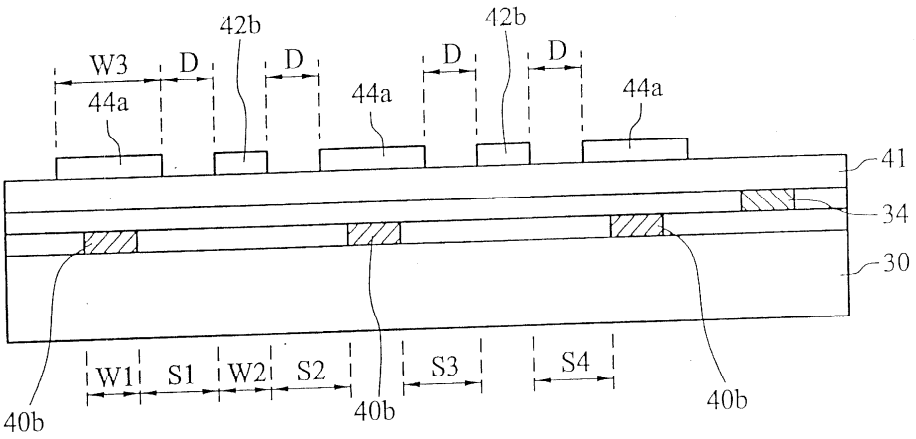
도면7c


42b
42b
W3
D
D
D
D
44a
44a
44a
41
34
30
W1
S1
W2
S2
S3
S4
40b
40b
40b

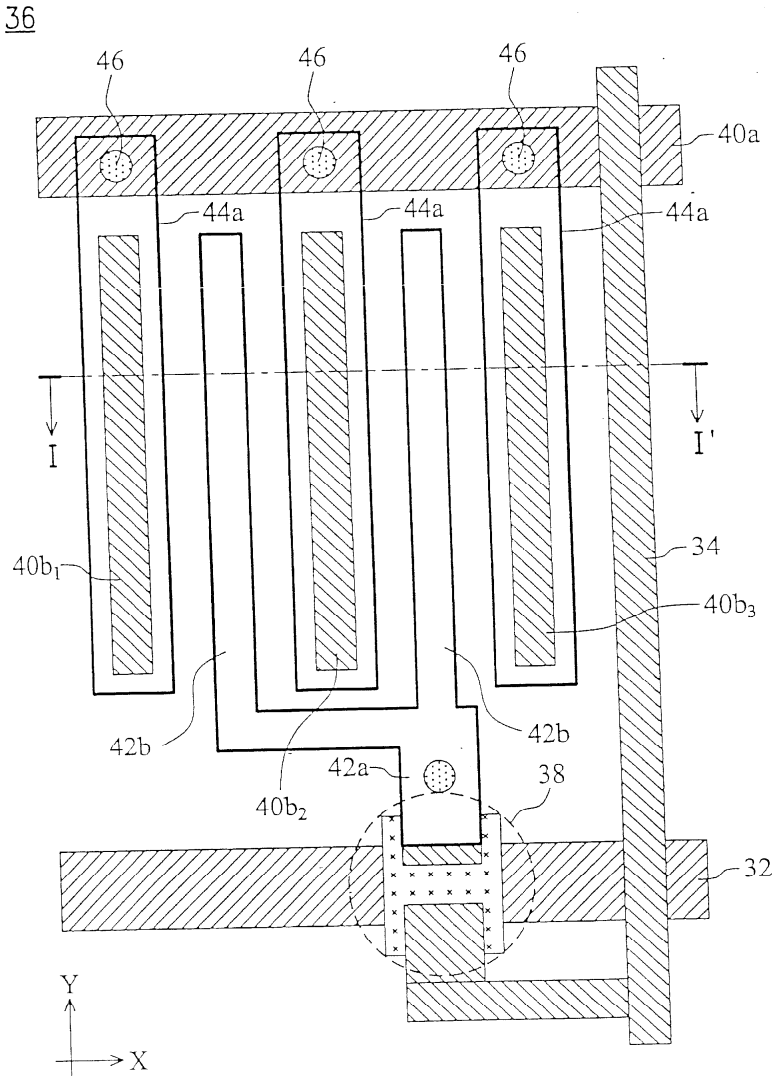
도면8a


36
46
46
46
40a
44a
44a
44a
I
I'
34
$40b_1$
$40b_3$
42b
42b
42a
38
$40b_2$
32
Y
X

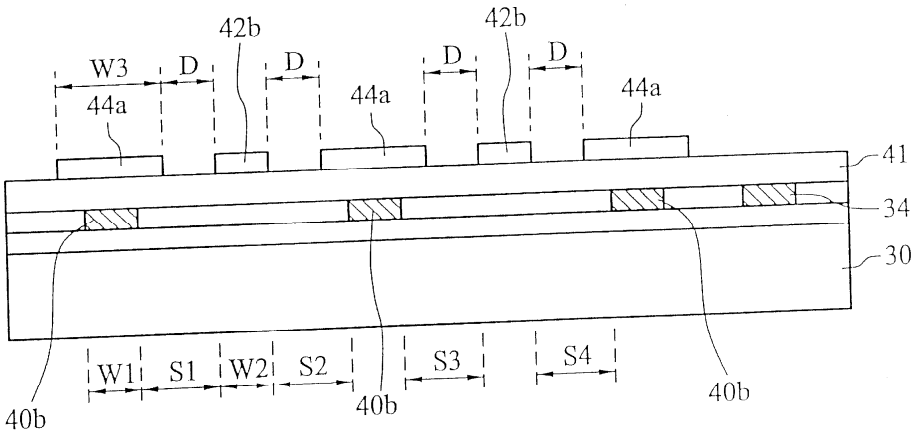
도면8b


42b
42b
W3
D
D
D
D
44a
44a
44a
41
34
30
W1
S1
W2
S2
S3
S4
40b
40b
40b

도면9a


36
46
46
46
40a
44a
44a
44a
I
I'
34
40b1
40b3
42b
42b
42a
38
40b2
32
Y
X

도면9b



专利名称(译)	具有补偿电极结构的IPC-LCD及其制造方法		
公开(公告)号	KR1020040025512A	公开(公告)日	2004-03-24
申请号	KR1020020082751	申请日	2002-12-23
[标]申请(专利权)人(译)	瀚宇彩晶股份有限公司		
申请(专利权)人(译)	瀚宇彩晶股份有限公司		
当前申请(专利权)人(译)	瀚宇彩晶股份有限公司		
[标]发明人	LEE DEUK SU		
发明人	LEE,DEUK SU		
IPC分类号	G02F1/1343 G02F1/1333		
CPC分类号	G02F1/133707 G02F1/134363		
代理人(译)	SUH，BONG SUK 先生，SANG WOOK		
优先权	10/245336 2002-09-18 US		
其他公开文献	KR100484411B1		
外部链接	Espacenet		

摘要(译)

IPS-LC技术领域本发明涉及具有补偿电极结构的IPS-LC。在每个像素区域中，在第一Y轴方向上延伸的至少两个公共电极和在第二Y轴方向上延伸的至少一个像素电极彼此交叉数字化。此外，在Y轴方向上延伸的至少两个补偿电极与像素电极一起在同一平面上图案化，并且两个公共电极中的每一个彼此重叠。第一补偿电极和像素电极之间的第一间隙等于像素电极和第二补偿电极之间的第二间隙。 图3A 指数方面 补偿电极结构，IPS-LCD