

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.⁷
G02F 1/136

(11) 공개번호 특2001-0040105
(43) 공개일자 2001년05월 15일

(21) 출원번호	10-2000-0061004
(22) 출원일자	2000년 10월 17일
(30) 우선권 주장	11-296555 1999년 10월 19일 일본(JP) 2000-260646 2000년 08월 30일 일본(JP)
(71) 출원인	샤프 가부시카가이샤 마찌다 가즈히코 일본 오사카후 오사카시 아베노구 나가이쵸 22방 22고
(72) 발명자	무라이아츠히토 일본교토후소라쿠군가모초이비라오기시노카미31 하라다케시 일본미에켄다키군다키초오오아자고사나1141-9라폴타키1456 오가타히데타케 일본미에켄마츠자카시구보초1887-30카사조이디201
(74) 대리인	백덕열, 이태희

심사청구 : 있음

(54) 액정표시소자 및 그의 제조방법

요약

본 발명은 액정표시패널이 대형 및 고정세(高精細)로 제조되더라도 화질이 좋고 값이 싸며 신뢰성이 높은 액정표시소자 및 그의 제조방법을 제공한다.

액정층과, 액정층을 사이에 두고 서로 대향하는 한 쌍의 투명 절연성 기판(1)을 구비하고, 한편의 투명 절연성 기판(1) 상에 게이트 신호선(2a) 및 게이트 전극(2b)과 절연막, 게이트 신호선(2a)과 직교하여 배선되는 소스 신호선(9a), 소스 전극(9b) 및 드레인 전극(9c), 게이트 신호선(2a)과 소스 신호선(9a)의 교차부 근방에 형성되어 채널 보호막(7a)을 갖는 반도체층으로 이루어지는 TFT와, TFT에 전기적으로 접속되는 화소전극(10)을 갖는 액정표시소자에 있어서, 채널 보호막(7a)은 막 측면의 형상이 역 테이퍼이다.

대표도

도 1

명세서

도면의 간단한 설명

- 도 1은 실시형태1의 액정표시소자에 대한 단위화소의 평면 및 단면 설명도.
- 도 2는 실시형태1의 액정표시소자에 대한 제조공정 전반의 설명도.
- 도 3은 실시형태1의 액정표시소자에 대한 제조공정 후반의 설명도.
- 도 4는 실시형태1의 액정표시소자에 있어서의 TFT 부의 평면 및 단면 설명도.
- 도 5는 실시형태1에 있어서 채널 보호막의 막 두께 및 테이퍼 각과 단절(段切) 발생과의 관계를 설명하는 도표.
- 도 6은 비교예의 액정표시소자에 있어서 TFT 부의 단면 설명도.
- 도 7은 종래예1의 액정표시소자에 있어서 단위화소의 평면 및 단면 설명도.
- 도 8은 종래예1의 액정표시장치에 대한 제조공정 전반의 설명도.
- 도 9는 종래예1의 액정표시장치에 대한 제조공정 후반의 설명도.
- 도 10은 종래예1의 액정표시소자에 있어서 TFT 부의 평면 및 단면 설명도.
- 도 11은 종래예1의 액정표시소자에 있어서 별도인 위치의 TFT 부의 평면 및 단면 설명도.

- 도 12는 종래예2의 액정표시장치에 있어서 TFT 부의 평면 및 단면 설명도.
 도 13은 종래예2의 액정표시소자에 대한 제조공정 전반의 설명도.
 도 14는 종래예2의 액정표시소자에 대한 제조공정 후반의 설명도.
 도 15는 종래예2의 액정표시소자에 있어서 TFT 부의 평면 및 단면 설명도.

도면 부호의 설명

1,21,41 투명 절연성 기판	2a,22a,42a 게이트 신호선
2b,22b,42b 게이트 전극	3,23,43 보조용량 신호선
4,24,44 양극 산화막	5,25,45 게이트 절연막
6,26,46 a-Si층	7,27,47 채널 보호막
71,72,273,473 채널 보호막 측면	8,28,48 n+-Si층
9 금속층	9a,29a,49a 소스 신호선
9b,29b,49b 소스 전극	9c,29c,49c 드레인 전극
10,30,50 화소전극	11,31,51 패시베이션 막
52 포지티브형 레지스트	

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시소자 및 그의 제조방법, 특히 대형 및 고정세로 제조되더라도 화질이 좋고 값이 싸며 신뢰성이 높은 액정표시소자의 구조 및 그의 제조방법에 관한 것이다.

정보화 사회가 도래함에 따라 노트북 컴퓨터, 정보휴대 단말기, 자동차 항법장치 등의 수요가 급증하고, 이에 따라 액정표시장치의 연구개발이 활발히 이루어지고 있다. 이 액정표시장치에 사용되고 있는 액정표시소자는 매트릭스 상으로 배열한 화소전극을 선택 구동함으로써 화면상에 표시패턴을 형성한다. 선택된 화소전극과 이에 대향하는 대향전극과의 사이에 전압이 인가되고, 이들 전극 사이에 놓인 액정 등의 표시매체의 광학적 변조가 행하여져 표시패턴으로서 인식된다. 화소전극의 구동방식으로서, 개개의 독립한 화소전극을 배열하고, 이 화소전극의 각각에 스위칭 소자를 연결하여 구동하는 방식이 액티브 매트릭스 구동 방식이다. 화소전극을 선택 구동하는 스위칭소자로서는 박막 트랜지스터(이하, 「TFT」라고 함), MIM(금속-제일 절연막-금속) 등이 일반적으로 알려져 있다.

근년, 액정표시패널은 대형 및 고정밀화 추세에 있고, 이에 관한 연구개발이 활발히 행하여지고 있다. 그러나, 유리기판 및 패널의 대형화가 진행함에 따라서, 제조 및 표시 균일성이 높은 패널을 제공하기가 어렵다.

그 요인의 하나로써, 액정표시소자를 형성할 때까지 수회 행하여지는 포토리소그래피 공정으로 인한 패턴의 중첩 어긋남이 있다. 즉, 포토리소그래피 공정을 반복하여 각 패턴을 적층하는 중에, 게이트 전극과 드레인 전극과의 중첩 면적 $L \cdot W$ 가 달라지는 영역($(L+\Delta x_1) \cdot W$, $(L+\Delta x_2) \cdot W$, ...)가 기판 면내에서 생기기 때문에, 그 면적($(L+\Delta x_1) \cdot W$, $(L+\Delta x_2) \cdot W$...)에 비례하는 기생 용량: 게이트 전극-드레인 전극간의 기생용량(C_{gd})도 기판면 내에서 변동된다.

또한, 이 변동의 정도는 유리기판 및 패널의 대형화가 진행함에 따라서 현저해 진다. 이는, 1) 포토리소그래피 공정에서 사용하는 노광 장치의 정밀도가 유리기판 및 패널의 대형화가 진행함에 따라서 저하되는 이유, 2) 유리기판이 커지면 유리가 휘어지는 등의 이유 때문이다.

그런데, TFT 소자를 일 구성요소로 하는 액티브 매트릭스형 액정표시장치에 있어서는, 어느 TFT 소자가 선택되어 소정의 신호 전위로 충전된 후, 게이트가 닫힌 순간, ΔV 분만 화소전위가 변동한다. 이것은 TFT 소자의 게이트 전극-드레인 전극간의 기생용량(C_{gd})과 액정용량(C_{lc}) 및 보조용량(C_{cs})의 사이에서의 용량 커플링에 의한 것으로, 그 크기는 다음(1)식으로 나타내진다.

$$\Delta V = \Delta V_g \cdot C_{gd} / (C_{gd} + C_{lc} + C_{cs}) \dots (1)$$

ΔV_g : 게이트전압의 변화량

C_{gd} : 게이트 전극-드레인 전극간의 기생용량

C_{cs} : 보조용량

따라서, (1)식의 C_{gd} 값이 패널면 내에서 변동된다는 것은 ΔV 가 변동된다는 것, 즉 화소전위가 변동된다는 것이고, 그 결과 패널의 표시 불균일성이나 플리커(flicker)를 야기하게 된다.

이를 이하의 종래예1 및 2에서 설명한다. 우선, 종래예1의 액정표시소자는, 도7a의 단위화소의 평면 설명도 및 도7b의 동 A-A' 단면 설명도에 나타난 바와 같이, 액정층(도시하지 않음)과, 액정층을 사이에 두고 서로 대향하는 한 쌍의 투명 절연성 기판(21)을 구비하고, 게이트 신호선(22a)과, 게이트

신호선(22a)과 직교하여 배선되는 소스 신호선(29a)과, 게이트 신호선(22a)과 소스 신호선(29a)의 교차부 근방에 형성되고, 또한 게이트 전극(22b), 게이트 절연막(25), 반도체층(a-Si층)(26a), 반도체 접합층(n+-Si층)(28), 채널 보호막(27), 소스 전극(29b), 드레인 전극(29c)으로 이루어지는 적층 반도체층과, 적층 반도체층에 전기적으로 접속되는 화소전극(30)을 투명 절연성 기판의 한편의 기판(21)상에 갖고 있다. 그리고, 채널 보호막(27)은 채널 보호막 측면(273)이 막 면에 대하여 예컨대 수직으로 되어 있다.

그리고, 종래예1의 제조방법에 대해서는 도8 및 도9에서 설명한다. 투명 절연성 기판(21)에 Al, Mo, Ta 등을 스퍼터링법으로 성막하고, 포토리소그라피 법에 의해, 게이트 배선(도시하지 않음), 게이트 전극(22b) 및 보조용량 배선(23)을 형성한다(도8a 참조).

다음에, 양극 산화법에 의해 양극 산화막(24)을 형성하고, 계속해서 CVD 법에 의해 게이트 절연막(SiNx)(25), a-Si 재료(26), 채널 보호막(27)의 3층을 연속하여 성막하고, 포지티브형 레지스트 막을 도포하고, 게이트 전극(22b)을 마스크로 하여 투명 절연성 기판(21)의 이면으로부터 전체 면을 노광하고, 현상 후에 형성된 포지티브형 레지스트 막의 패턴을 마스크로 하여 채널 보호막(27)을 에칭하여 성 모양으로 패턴닝한다(도8b 참조).

다음에, n+-Si층(28)을 성막하고, 포토리소그라피 법에 의해, 소스 전극(29b) 및 드레인 전극(29c)과의 콘택트층을 형성한다. 이 때, 하층의 a-Si 재료(26)는 n+-Si층(28)을 에칭할 때 성 모양으로 패턴닝되어 a-Si층(26a)이 된다(도8c 참조).

다음에, Mo, Ta 등의 금속막(소스/드레인 금속)을 성막하고, 포토리소그라피 법에 의해 소정의 형상으로 패턴닝하여 소스 신호선(29a), 소스 전극(29b) 및 트레인 전극(29c)을 형성한다(도9d 참조).

이상의 방법에 의해, 각 화소마다 스위칭 소자인 TFT부를 형성한다. 다음에 IT0 등의 투명성 도전막을 성막하고, 포토리소그라피 법에 의해 소정의 형상으로 패턴닝하여 화소전극(30)을 형성한다(도9e 참조).

다음에, SiNx 등으로 이루어지는 패시베이션 막(31)을 CVD 법에 의해 성막하여 소망의 패턴을 형성한다(도9f 참조).

종래예1의 제조방법에서는, 소스/드레인 전극의 패턴이 기판면 내에서 벗어난 경우, 게이트 전극(22b)과 드레인 전극(29c)과의 겹친 면적이 기판 및 패널면 내에서 다른 것을 의미한다. 즉, 기판의 어느 위치에서는, 도10a 및 도10b에서 나타난 바와 같이, 게이트 전극(22b)과 드레인 전극(29c)과의 겹친 면적이 $L \cdot W$ 로 되고, 어떤 위치에서는 도 11a 및 도11b에서 나타난 바와 같이, $(L+\Delta x) \cdot W$ 로 된 경우($W_1 \approx W_2 \approx W$), 이 증가분($\Delta x \cdot W$)에 비례하여 기생용량(Cgd)도 증가한다. 그 결과, 기판 및 패널면 내에서 화소 전위의 변동이 생겨 표시가 불균일하게 된다.

그 문제를 해결하기 위해서, 소스/드레인 전극을 자기 정합적으로 형성하고, 패턴의 어긋남에 의한 게이트 전극-드레인 전극간의 기생용량(Cgd)의 면내 변동을 줄이는 액정표시소자 및 그 제조법이 제안되어 있다.

그 종래예2를 도12~도15에서 설명한다. 종래예2의 액정표시소자에 대한 단위화소의 평면 설명도를 도12에 나타내고, 그 A-A' 단면에 있어서 각 공정의 제조방법을 도13 및 도14에 나타낸다. 종래예2의 액정표시소자는 종래예1과 동일하고, 액정층(도시하지 않음)과, 액정층을 사이에 두고 서로 대향하는 한 쌍의 투명 절연성 기판(41)을 구비하고, 게이트 신호선(42a), 게이트 신호선(42a)과 직교하여 배선되는 소스 신호선(49a), 게이트 신호선(42a)과 소스 신호선(49a)의 교차부 근방에 형성되고, 또 게이트 전극(42b), 게이트 절연막(45), 반도체층(a-Si층)(46a), 반도체 접합층(n+-Si층)(48), 채널 보호막(47), 소스 전극(49b), 드레인 전극(49c)으로 이루어지는 적층 반도체층과, 적층 반도체층에 전기적으로 접속되는 화소전극(50)을 투명 절연성 기판의 한편의 기판(41)상에 갖고 있다. 그리고, 채널 보호막(47)은 채널 보호막 측면(473)이 막 면에 대하여 예컨대 수직으로 되어 있다.

이하, 종래예2의 제조방법을 도13 및 도14에서 설명한다. 투명 절연성 기판(41)에 Al, Mo, Ta 등을 스퍼터링 법으로 성막하고, 포토리소그라피 법에 의해 게이트 배선(도시하지 않음), 게이트 전극(42b) 및 보조용량 배선(43)을 형성한다(도13a 참조).

다음에, 양극 산화법에 의해 양극 산화막(44)을 형성하고, 계속해서 CVD 법에 의해 게이트 절연막(SiNx)(45), a-Si 재료(46), 채널 보호막(47)의 3층을 연속하여 성막하고, 포지티브형 레지스트 막을 도포하고, 게이트 전극(42b)을 마스크로 하여 투명 절연성 기판의 이면으로부터 전체 면을 노광하고, 현상 후에 형성된 포지티브형 레지스트 막의 패턴(52)을 마스크로 하여 채널 보호막(47)을 에칭하여 성 모양으로 패턴닝한다(도13b 참조).

다음에, 상기 채널 보호막(47)을 패턴닝할 때 이용한 포지티브형 레지스트(52)를 남긴 채, 그 위층에, n+-Si층(48) 및 Mo, Ta 등의 금속막(소스/드레인 금속)을 연속하여 성막하고(도13c 참조), 포토리소그라피 법에 의해 소정의 형상으로 패턴닝하여 소스 신호선(49a), 소스 전극(49b) 및 드레인 전극(49c)을 형성한다(도14d 참조). 이 때, a-Si 재료(46), n+-Si층(48), 소스 신호선(49a), 소스 전극(49b) 및 드레인 전극(49c)은 동일형상으로 패턴닝하고, 채널 보호막(47)의 패턴닝 시에 이용한 포지티브형 레지스트를 리프트 오프(lift off) 함으로써 드레인 전극(49c)과 게이트 전극(42a)간의 기생용량(Cgd)이 소스 전극(49b), 드레인 전극(49c)의 패턴의 어긋남에 의해 영향을 받지 않은 구조로 될 수 있다(도15a 및 도15b 참조).

이상의 방법에 의해, 각 화소마다 스위칭 소자인 TFT를 형성한다. 다음에 IT0 등의 투명성 도전막을 성막하고, 포토리소그라피 법에 의해 소정의 형상으로 패턴닝하여 화소전극(50)을 형성한다(도14e 참조).

다음에, SiNx 등으로 이루어지는 패시베이션 막(51)을 CVD 법에 의해 성막하여 소망의 패턴을 형성한다(도14f 참조).

그러나, 상기 종래예2의 방법에서는, 종래예1에서 문제가 된 패턴의 중첩 어긋남에 의한 표시의 면내 불균일성이나 플리커는 줄어들고, 또한 포토리소그래피 공정 수가 줄어들 수 있지만, 채널 보호막(47)의 패터닝 시에 이용한 포지티브형 레지스트를 남긴 채로, 그 위층에 CVD 법에 의해 n+-Si층을 성막하면, 1) 유기 화합물인 레지스트와 성막 가스와의 반응생성물이라고 생각되는 화합물이 더스트로서 챔버 내나 막중에 혼입하고, 2) n+-Si 막중에 기포가 발생하는 등 TFT 소자의 특성상 제조 상에 큰 문제가 있었다.

또한, 드레인 전극의 양측에 소스 전극을 형성함으로써, 패턴의 중첩 어긋남에 의한 기생용량의 변동을 방지하는 것이나(일본 특허출원 공개 제6-67199호 공보 참조), 레지스트 막을 제거하여 반도체 접합층이나 소스/드레인 금속막을 리프트 오프하는 것(일본 특허출원 공개 제5-55567호 공보 참조)도 제안되어 있지만, 채널 보호막의 측면 형상을 역 테이퍼로 함으로써, 소스/드레인 전극을 자기 정합적으로 패터닝하는 것은 고려되고 있지 않다.

발명이 이루고자하는 기술적 과제

본 발명의 목적은 종래 기술의 문제점을 해결하기 위해, 액정표시패널이 대형 및 고정세로 제조되더라도 화질이 좋고 값이 싸며 신뢰성이 높은 액정표시소자 및 그 제조방법을 제공하는 데 있다.

발명의 구성 및 작용

본 발명은 액정층을 사이에 두고 서로 대향하는 한 쌍의 투명 절연성 기판; 한편의 투명 절연성 기판 상에 형성되는 게이트 전극, 상기 게이트 전극 상에 형성되는 게이트 절연막, 상기 게이트 절연막 상에 형성되는 반도체층, 상기 반도체 층에 배치되는 채널 보호막, 상기 채널 보호막 상에 형성되는 반도체 접합층, 소스 전극 및 드레인 전극으로 이루어지는 박막 트랜지스터; 및 화소전극을 갖고 있고, 상기 박막 트랜지스터는 복수 개의 게이트 신호선과 소스 신호선의 각 교점 부근에 배치하고, 또 상기 교점 부근에서 상기 게이트 전극이 상기 게이트 신호선과 상기 소스 전극의 일단부가 상기 소스 신호선과 각각 접속하고, 또 상기 드레인 전극의 일단부가 상기 화소전극과 접속되는 액정표시소자에 있어서, 상기 반도체 접합층과, 그 위에 형성되는 상기 드레인 전극의 타단부 및 상기 소스 전극의 타단부가 상기 반도체층 상에서 채널 보호막에 의해서 격리되어 있고, 상기 채널 보호막은 채널 보호막 측면의 형상이 역 테이퍼인 액정표시소자를 제공한다.

또한, 본 발명은 상기 반도체층이 진성 반도체층인 액정표시소자를 제공한다.

본 발명은 또한 상기 채널 보호막의 막 두께가 350 nm 이상인 액정표시소자를 제공한다.

본 발명은 또한 상기 채널 보호막이 위에 적층되는 패시베이션 막과 접합하는 면의 면적과, 아래에서 적층되는 반도체층과 접합하는 면의 면적과의 비(패시베이션 막과의 접합면의 면적/반도체층과의 접합면의 면적)가 1.05이상인 액정표시소자를 제공한다.

또한, 본 발명은 투명 절연성 기판 상에 게이트 신호선 및 게이트 전극을 형성하는 공정; 상기 게이트 신호선, 게이트 전극의 표면에 게이트 절연막, 반도체층, 채널 보호막을 순차 적층하는 공정; 적층한 투명 절연성 기판의 표면에 포지티브형 레지스트 막을 도포하고, 상기 게이트 전극을 마스크로 하여 상기 투명 절연성 기판의 이면으로부터 상기 포지티브형 레지스트 막 전체를 노광하고, 현상 후에 형성된 포지티브형 레지스트 막의 패턴을 마스크로 하여 상기 채널 보호막 측면을 역 테이퍼가 되도록 에칭하는 공정; 상기 채널 보호막 측면이 역 테이퍼인 채널 보호막을 마스크로 하여 반도체층을 에칭하는 공정; 및 투명 절연성 기판에 반도체 접합층 및 소스 신호선, 소스 전극, 드레인 전극의 재료를 순차 적층하고, 레지스트 도포, 노광, 현상에 의해 형성한 레지스트 막을 마스크로 하여, 상기 소스 신호선, 소스 전극, 드레인 전극을 형성하는 공정을 포함하는 액정표시소자의 제조방법을 제공한다.

상기 구성에 의해, 소스/드레인 전극은 모두 자기 정합적으로 형성되고, 드레인 전극과 게이트 전극간의 기생용량(Cgd)이 소스/드레인 전극의 패턴이 어긋남에 의해 영향받지 않는 구조를 가질 수 있다. 즉, 표시의 면내 불균일성이나 플리커가 줄어든다. 또한, 본 발명에 의하면, 채널 보호막과 반도체층의 패터닝을 1회의 포토리소그래피 공정으로 하기 위해서, 종래에 비해 포토리소그래피 공정 수를 줄일 수 있다.

[발명의 실시의 형태]

본 발명에 따른 실시형태에 관해서 설명한다.

본 발명의 액정표시소자 및 그 제조방법의 실시형태를 도1~도5에서 설명한다. 도1a는 실시형태1의 액정표시소자에 있어서 단위화소의 평면 설명도이다. 도1b는 동 A-A'선 단면 설명도이다. 도2는 실시형태1의 액정표시소자에 대한 제조공정 전반의 설명도이다. 도3은 실시형태1의 액정표시소자에 대한 제조공정 후반의 설명도이다. 도4a는 실시형태1의 액정표시소자에 대한 TFT부의 평면 설명도이다. 도4b는 동 B-B'선 단면 설명도이다. 도5는 실시형태1에 있어서 채널 보호막의 막 두께 및 테이퍼 각과 단절 발생과의 관계를 설명하는 도표이다.

실시형태1을 설명한다. 본 실시형태의 액정표시소자는 도1a 및 b에 나타난 바와 같이, 액정층(도시하지 않음)과, 액정층을 사이에 두고 서로 대향하는 한 쌍의 투명 절연성 기판(1)을 구비하고, 게이트 신호선(2a), 게이트 신호선(2a)과 직교하여 배선되는 소스 신호선(9a), 게이트 신호선(2a)과 소스 신호선(9a)의 교차부 근방에 형성되고, 게이트 전극(2b), 게이트 절연막(5), 반도체층(a-Si층)(6), 반도체 접합층(n+-Si층)(8a), 채널 보호막(7), 소스 전극(9b), 드레인 전극(9c)으로 이루어지는 박막 트랜지스터, 박막 트랜지스터의 드레인 전극(9c)에 전기적으로 접속되는 화소전극(10)을 투명 절연성 기판의 한편의 기판(1) 상에 갖고 있다. 채널 보호막(7)은 채널 보호막 측면(71)이 사면으로 되어 있고, 그 사면은 상부가 하부보다도 돌출된 「역 테이퍼」로 되어있다. 이에 의해, 게이트 전극(2b)과 드레인

전극(9c)과의 겹친 면적을 소정 치로 할 수 있고, 제조 시 패턴의 중첩 어긋남에 의한 표시의 면내 불균일성이나 플리커를 줄일 수 있다.

실시형태1의 액정표시소자에 대한 제조방법을 도2~도4에서 설명한다. 투명 절연성 기판(1)에 Ta를 200 nm 정도 스퍼터링 법으로 성막하고, 포토리소그래피 법에 의해, 게이트배선(2a), 게이트 전극(2b) 및 보조용량 신호선(3)을 형성하여 양극 산화법에 의해 양극 산화막(4)을 형성한다(도2a 참조).

다음에, 플라스마 CVD 법에 의해 게이트 절연막(질화실리콘: SiNx)(5)을 300 nm정도, a-Si층(6a)이 되는 a-Si 재료(6)를 150 nm정도, 채널 보호막(7)이 되는 채널 보호막재료를 350 nm이상, 예컨대 500 nm정도 연속하여 성막한다. 그 때, 그 후 도포하는 포지티브형 레지스트 막과 채널 보호막(7)의 표면(포지티브형 레지스트 막과의 접합면 측)과의 밀착력이, a-Si층(6a)과 채널 보호막(7)의 하면(a-Si층(7)과의 접합면측)과의 밀착력보다도 강해지는 조건(성막조건 예; SiH₄:150 sccm, N₂H₄:750 sccm, N₂:2000 sccm, 2000 mT, 700 W)에서 채널 보호막 재료를 성막한다. 그 위에 포지티브형 레지스트 막(도시하지 않음)을 도포하고, 게이트 전극(2b)을 마스크로 하여 투명 절연성 기판(1)의 이면으로부터 포지티브형 레지스트 막 전체를 노광하고, 현상 후에 형성된 포지티브형 레지스트 막의 패턴을 마스크로 하여 채널 보호막 재료를 불산 계의 에칭액을 이용하여 습식 에칭(단지 오바 에칭) 함으로써 채널 보호막 측면(71)을 역 테이퍼로 한다(도2b 참조). 습식 에칭조건은 몰락:완충 불산(BHF), 온도:24℃, 시간: 560 sec(막 두께가 500 nm일 때)이다.

계속해서, 채널 보호막(7)을 마스크로 하여, a-Si 재료(6)를 SF₆-HCl계 가스를 이용하여 건식 에칭함으로써 섬 모양의 a-Si층(6a)을 형성한다(도2c 참조). 이 때, 액정표시소자에 있어서 TFT부의 평면 및 단면 설명도를 도4a 및 도4b에 나타냈다. 채널 보호막 측면(71)은 상부가 하부보다도 돌출된 「역 테이퍼」로 되어 있다.

여기서, 도6의 비교예에 나타난 바와 같이, 채널 보호막(7)의 채널 보호막 측면(72)이, 하부가 상부보다도 돌출된 「순 테이퍼」이면, a-Si층(6a)과 n⁺-Si층(8)과의 접촉 면적이 지극히 작게 되고, TFT 소자의 특성 불량(특히 ON 전류불량)을 일으키기 때문에 바람직하지 못하다.

그러나, 본 실시형태에서는 채널 보호막 측면(71)을 역 테이퍼로 하고 있기 때문에, 도4b에 나타난 바와 같이, a-Si층(6a)과 n⁺-Si층(8)과의 접촉 면적을 확보할 수 있기 때문에, TFT 소자의 특성 불량이 발생하지 않는다.

다음에, 게이트 신호선(2a) 및 소스 신호선(9a)의 배선 인출단자 패드부(도시하지 않음)를 형성하기 위해서, 양극 산화막(4) 및 게이트 절연막(5)을 포토리소그래피 법에 의해 소정의 패턴으로 에칭한다.

다음에, 도3d 및 도3e에 나타난 바와 같이, n⁺-Si층(50 nm 정도)(8) 및 Ta로 이루어지는 금속층(9)(250 nm 정도)을 연속하여 성막하고, 포토리소그래피 법에 의해 소정의 형상으로 패터닝하여, 반도체 접합층인 n⁺-Si층(8), 소스 신호선(9a), 소스 전극(9b) 및 드레인 전극(9c)을 형성한다.

여기서, 본 실시예에서는 채널 보호막 측면(71)의 형상을 역 테이퍼로 하기 때문에, 소스 전극(9b) 및 드레인 전극(9c)이 채널 보호막(7)상을 커버하지 않고 단절되는, 즉 채널 보호막(7), 소스 전극(9b) 및 드레인 전극(9c) 모두가 자기 정합적으로 형성되기 때문에, 포토리소그래피 공정에 의한 게이트 전극(2b)-드레인 전극(9c) 간의 기생용량(Cgd)의 기판 및 패널면 내에서의 변동이 줄어든다.

본 실시예에 있어서 채널 보호막의 막 두께 및 테이퍼 각과 단절 발생과의 관계를 도5에서 설명한다. 또, 테이퍼 각 $\theta(^{\circ})$ 은 역 테이퍼 면이 수평면과 이루는 각도이다. 사용 기판(1)의 크기는 5인치 각이다. 도5에 있어서, ◎:전체 면 단절, ?? :면내 일부에서 단절되지 않은 곳이 있음, △: 면내 일부에서 단절, ×:단절 없음을 나타내고 있다. 도5에 나타난 바와 같이, 역 테이퍼로 되어있는 채널 보호막(7)의 막 두께를 350 nm 이상으로 함으로써 n⁺-Si층(8)과 소스, 드레인 전극을 형성하기 위한 금속층(9)이 채널 보호막(7)을 커버하지 않고 단절을 일으키는 것이 밝혀졌다. 즉, 소스/드레인 전극(9b,9c)의 패턴의 어긋남에 의해 영향받지 않은 구조를 가질 수 있다. 즉, 표시의 면내 불균일성이나 플리커가 줄어든다.

또한, 일반적으로 액티브 매트릭스 기판으로 사용되는 채널 길이(L)가 L:5~10 μ m, 폭(W)이 W:10~50 μ m 인 것을 고려하면, 도5에서와 같이 채널 보호막(7)은 위에 적층되는 패시베이션 막(11)과의 접합면의 면적과, 아래에 적층되는 반도체층(예, 진성 반도체층 등)(6)과의 접합면의 면적 비(패시베이션막과의 접합면의 면적/반도체층과의 접합면의 면적)가 1.05이상인 경우에, 전체 면에 걸쳐 단절이 발생한다. 즉, 소스/드레인 전극(9b,9c)은 모두 자기 정합적으로 형성되고, 드레인 전극(9c)과 게이트 전극(2b)과의 기생용량(Cgd)이 소스/드레인 전극(9b,9c)의 패턴의 어긋남에 의해 영향받지 않은 구조를 가질 수 있다. 즉, 표시의 면내 불균일성이나 플리커가 줄어든다.

그리고, 역 테이퍼로 되어있는 채널 보호막(7)의 테이퍼 각을 45° 이하로 함으로써, n⁺-Si층과 소스/드레인 전극을 형성하기 위한 금속층(9)이 채널 보호막(7)을 커버하지 않고 단절을 일으킨다는 것이 밝혀졌다. 즉, 소스/드레인 전극(9b,9c)은 모두 자기 정합적으로 형성되고, 드레인 전극(9c)과 게이트 전극(2b)과의 기생용량(Cgd)이 소스/드레인 전극(9b,9c)의 패턴의 어긋남에 의해 영향받지 않은 구조를 가질 수 있다. 즉, 표시의 면내 불균일성이나 플리커가 줄어든다.

이상의 방법에 의해, 각 화소마다 스위칭 소자인 TFT부를 형성한다. 다음에, IT0로 이루어지는 투명도전막을 100 nm 정도 스퍼터링법에 의해 성막하여 포토리소그래피 법에 의해 화소전극(10)을 형성한다(도3f 참조).

다음에, 패시베이션 막(11)으로서 질화실리콘 막을 30~200 nm 정도 성막한다(도3g 참조). 이 때, 질화실리콘 막 대신에 산화실리콘 막, 산화 탄탈 막, 산화알루미늄 등을 사용하여도 좋다. 이상의 방법에 의해, 액정표시소자를 제조할 수 있다. 또, 배선 및 전극재료로서 실시예에서는 Ta를 이용하지만, Al이

나 Mo, Ti 등의 재료를 사용해도 좋다.

본 실시형태에서는, 채널 보호막, 소스 전극 및 드레인 전극은 모두 자기 정합적으로 형성되고, 드레인 전극과 게이트 전극간의 기생용량(Cgd)이 소스/드레인 전극의 패턴의 어긋남에 의해 영향받지 않는 구조를 가질 수 있다. 즉, 표시의 면내 불균일성이나 플리커가 줄어든다. 또한, 본 실시형태에 의하면, 채널 보호막과 반도체층의 패턴닝을 1회의 포토리소그래피 공정에서 하기 때문에, 종래에 비해 포토리소그래피의 공정 수를 줄일 수 있다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 의하면 액정표시패널이 대형 및 고정세로 제조되더라도 화질이 좋고 값싸며 신뢰성이 높은 액정표시장치를 얻을 수 있다.

(57) 청구의 범위

청구항 1

액정층을 사이에 두고 서로 대향하는 한 쌍의 투명 절연성 기판; 한편의 투명 절연성 기판 상에 형성되는 게이트 전극, 상기 게이트 전극 상에 형성되는 게이트 절연막, 상기 게이트 절연막 상에 형성되는 반도체층, 상기 반도체 상에 배치되는 채널 보호막, 상기 채널 보호막 상에 형성되는 반도체 접합층, 소스 전극 및 드레인 전극으로 이루어지는 박막 트랜지스터; 및 화소전극을 갖고 있고, 상기 박막 트랜지스터는, 복수 개의 게이트 신호선과 소스 신호선의 각 교점 부근에 배치하고, 또 상기 교점 부근에서, 상기 게이트 전극이 상기 게이트 신호선과, 상기 소스 전극의 일단부가 상기 소스 신호선과 각각 접촉하고, 또 상기 드레인 전극의 일단부가 상기 화소전극과 접촉되는 액정표시소자에 있어서,

상기 반도체 접합층과 그 위에 형성되는 상기 드레인 전극의 타단부 및 상기 소스 전극의 타단부가 상기 반도체층 상에서 채널 보호막에 의해 격리되어 있고, 채널 보호막 측면의 형상이 역 테이퍼인 것을 특징으로 하는 액정표시소자.

청구항 2

제 1항에 있어서, 상기 반도체층이 진성 반도체층인 액정표시소자.

청구항 3

제 1항에 있어서, 상기 채널 보호막의 막 두께가 350 nm 이상인 액정표시소자.

청구항 4

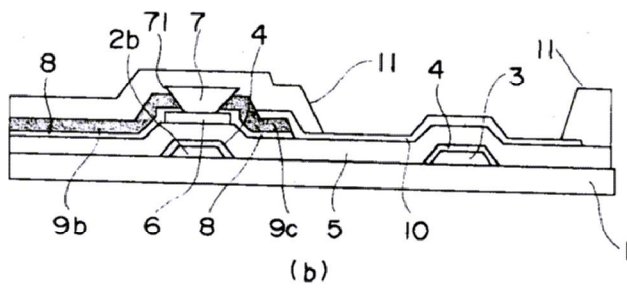
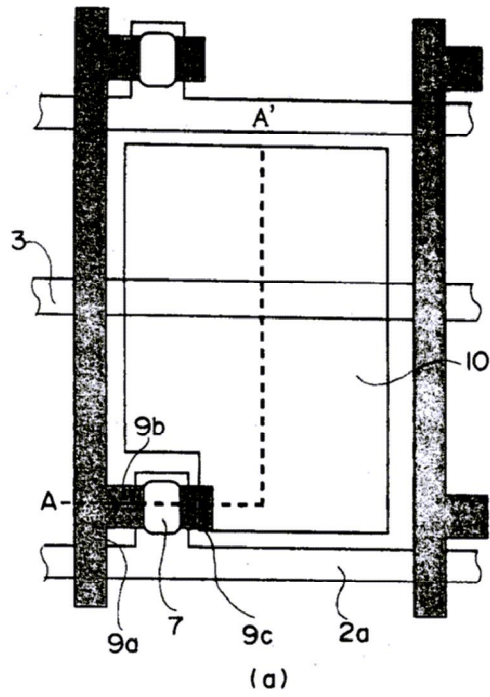
제 1항에 있어서, 상기 채널 보호막은 위에 적층되는 패시베이션 막과의 접합면의 면적과, 아래에 적층되는 반도체층과의 접합면의 면적과의 비(패시베이션 막과의 접합면의 면적/반도체층과의 접합면의 면적)가 1.05이상인 액정표시소자.

청구항 5

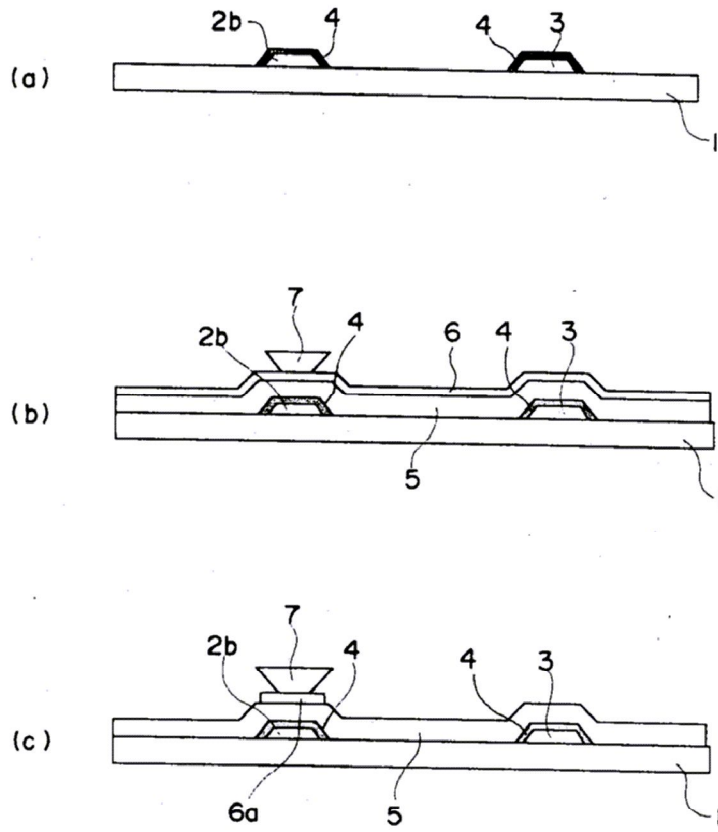
투명 절연성 기판 상에 게이트 신호선 및 게이트 전극을 형성하는 공정; 상기 게이트 신호선, 게이트 전극의 표면에 게이트 절연막, 반도체층, 채널 보호막을 순차 적층하는 공정; 적층한 투명 절연성 기판의 표면에 포지티브형 레지스트 막을 도포하여, 상기 게이트 전극을 마스크로 하여 상기 투명 절연성 기판의 이면으로부터 상기 포지티브형 레지스트 막의 전체 면을 노광하고, 현상 후에 형성된 포지티브형 레지스트 막의 패턴을 마스크로 하여 상기 채널 보호막 측면을 역 테이퍼가 되도록 에칭을 하는 공정; 상기 채널 보호막 측면이 역 테이퍼인 채널 보호막을 마스크로 하여 반도체층을 에칭하는 공정; 및 투명 절연성 기판에 반도체 접합층 및 소스 신호선, 소스 전극, 드레인 전극의 재료를 순차 적층하고, 레지스트 도포, 노광, 현상에 의해 형성한 레지스트 막을 마스크로 하여, 상기 소스 신호선, 소스 전극, 드레인 전극을 형성하는 공정을 포함하는 것을 특징으로 하는 액정표시소자의 제조방법.

도면

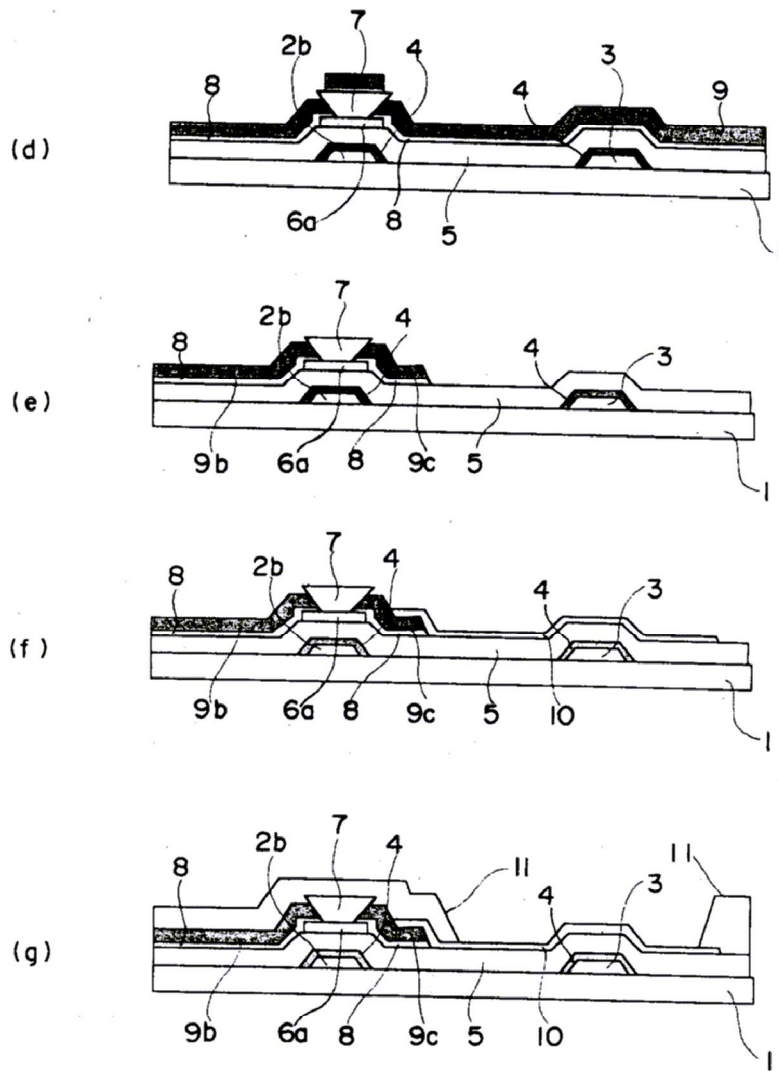
도면1



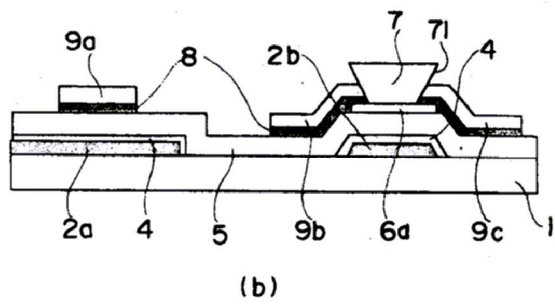
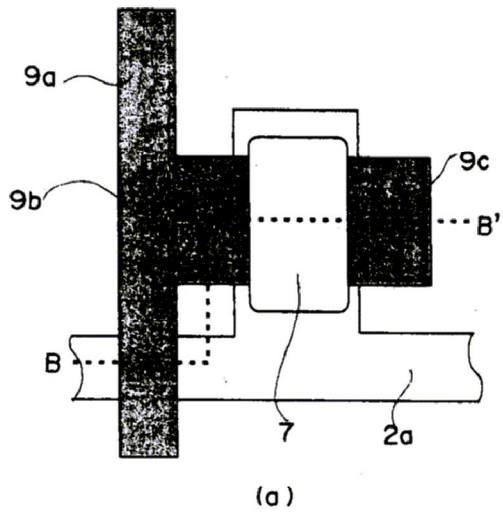
도면2



도면3



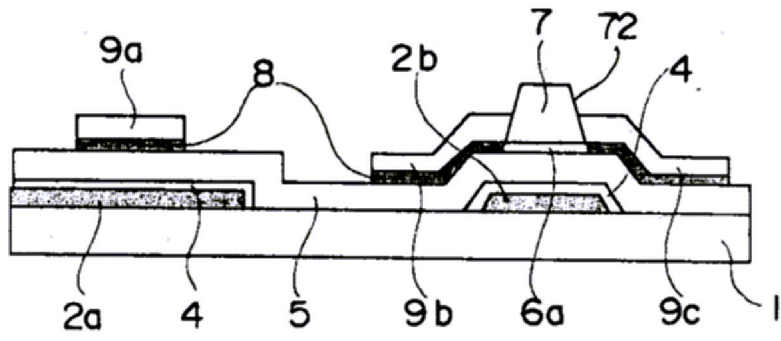
도면4



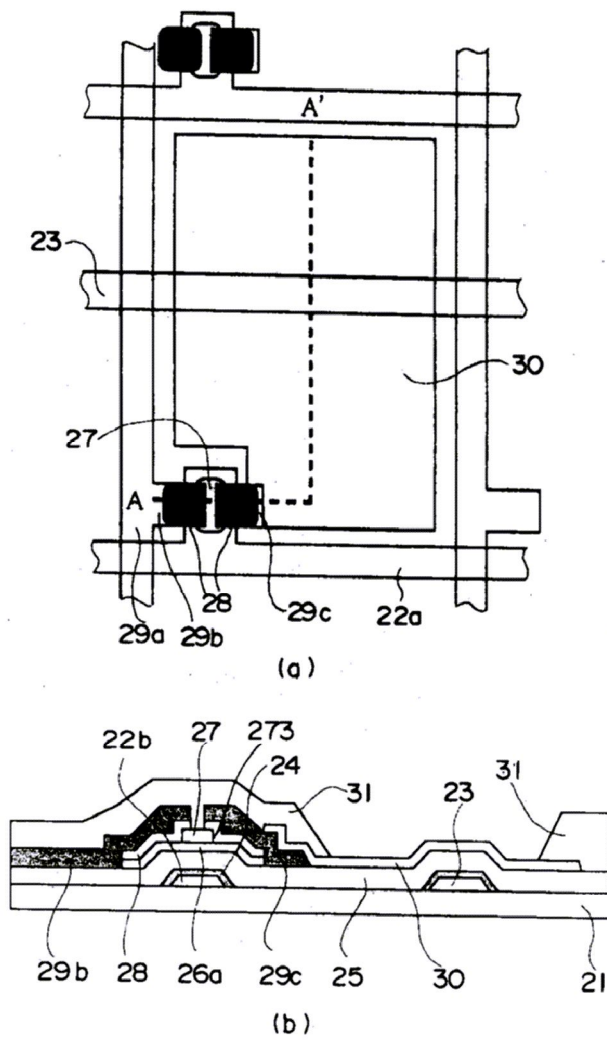
도면5

막두께 (nm)	테이퍼각 θ ($^{\circ}$)	단절발생의 유무
200	70	×
	60	×
	45	◎
300	75	△
	60	○
	45	◎
350	90	△
	75	◎
	60	◎
	45	◎
450	90	◎
	75	◎
	60	◎
	45	◎

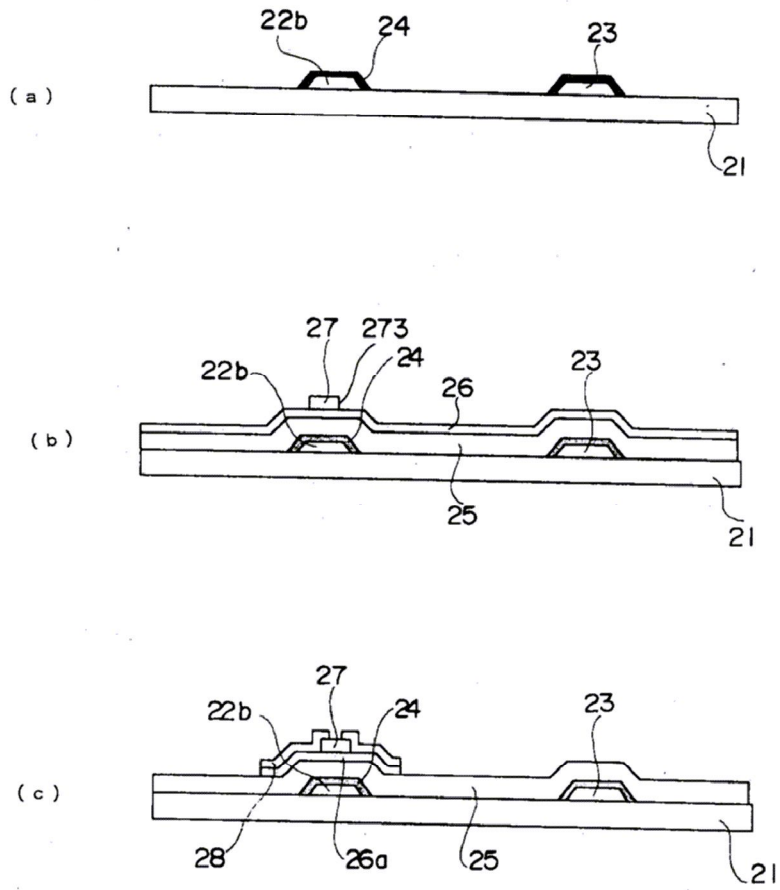
도면6



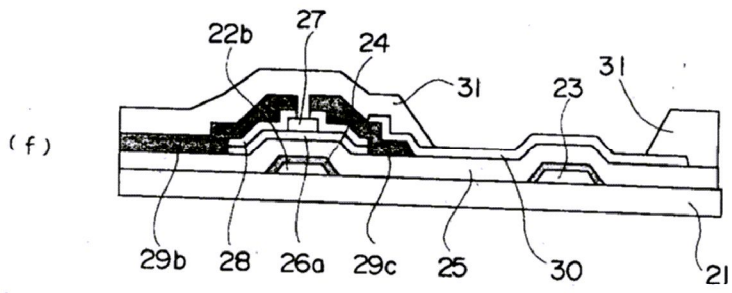
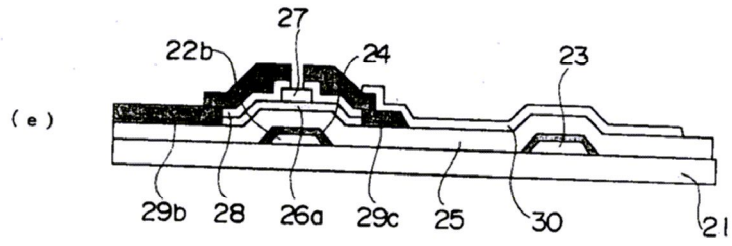
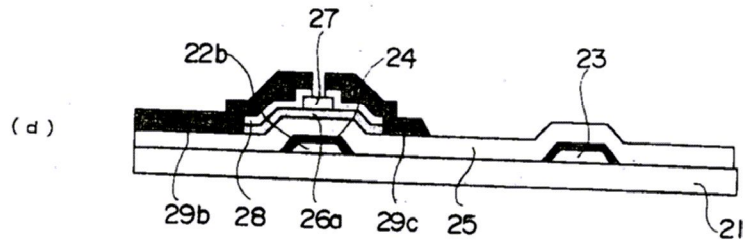
도면7



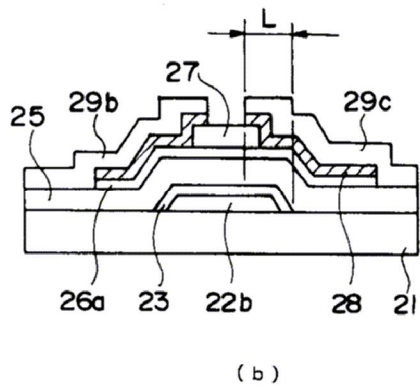
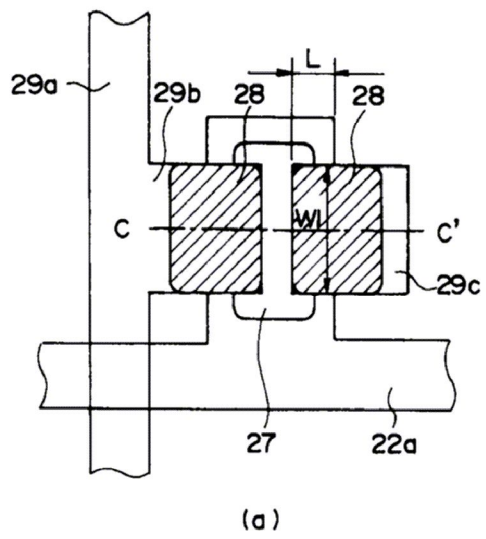
도면8



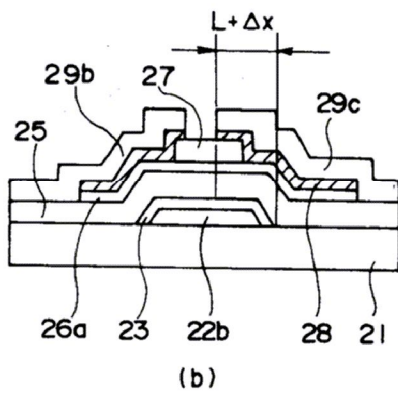
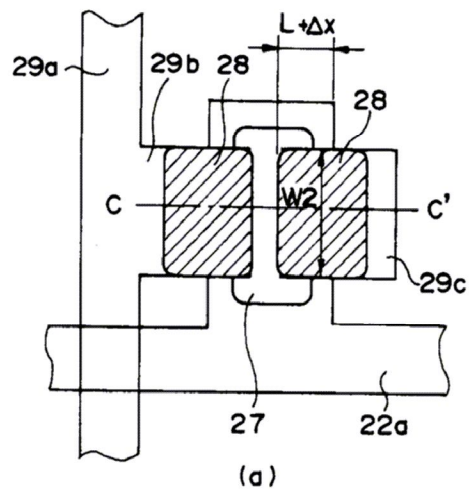
도면9



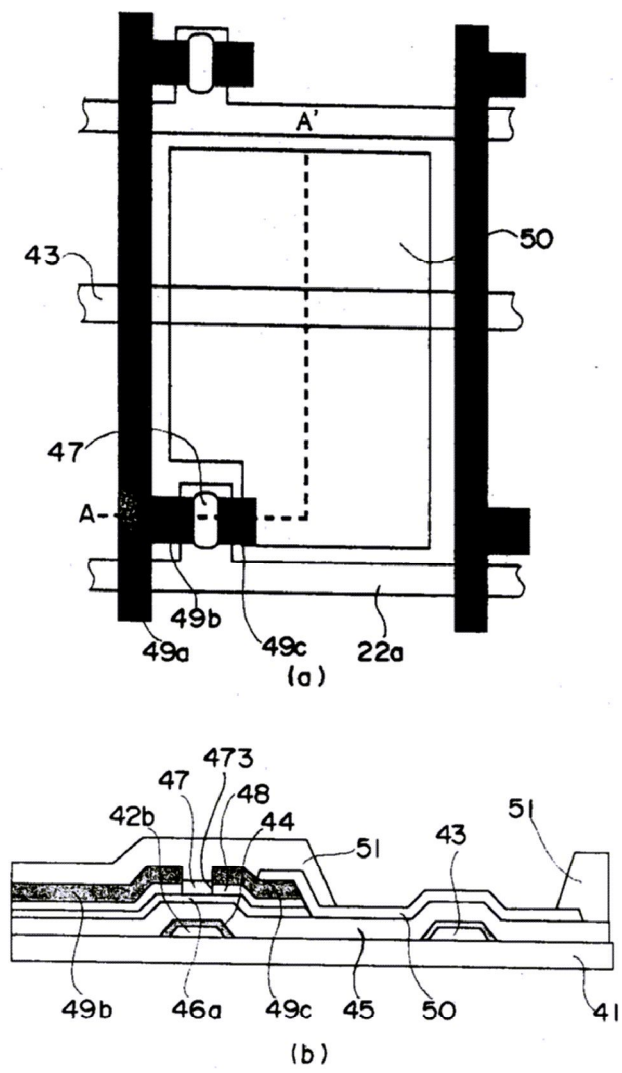
도면10



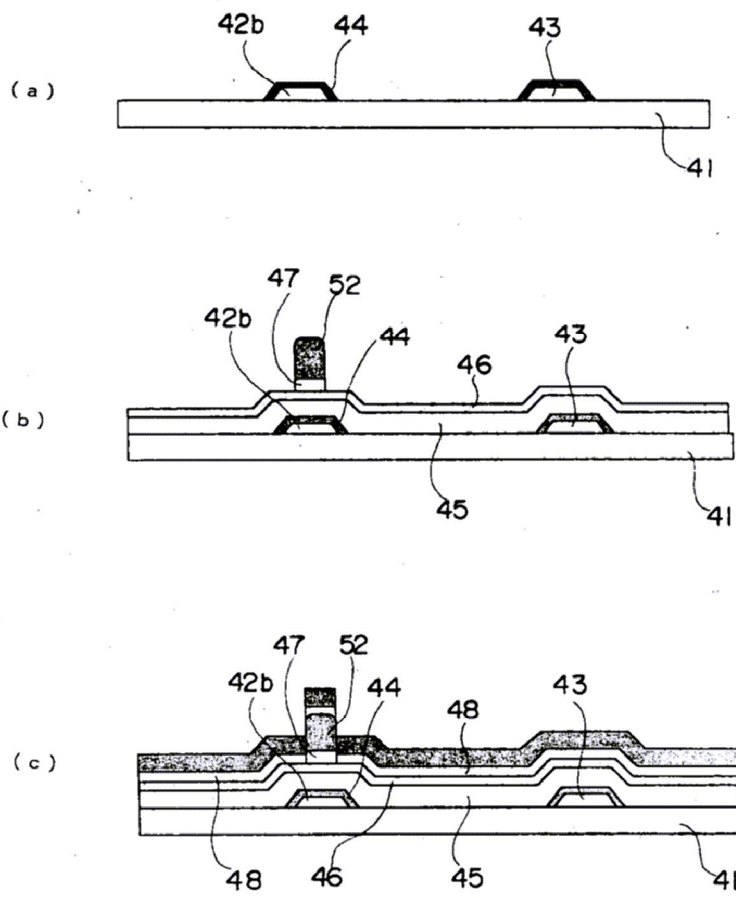
도면11



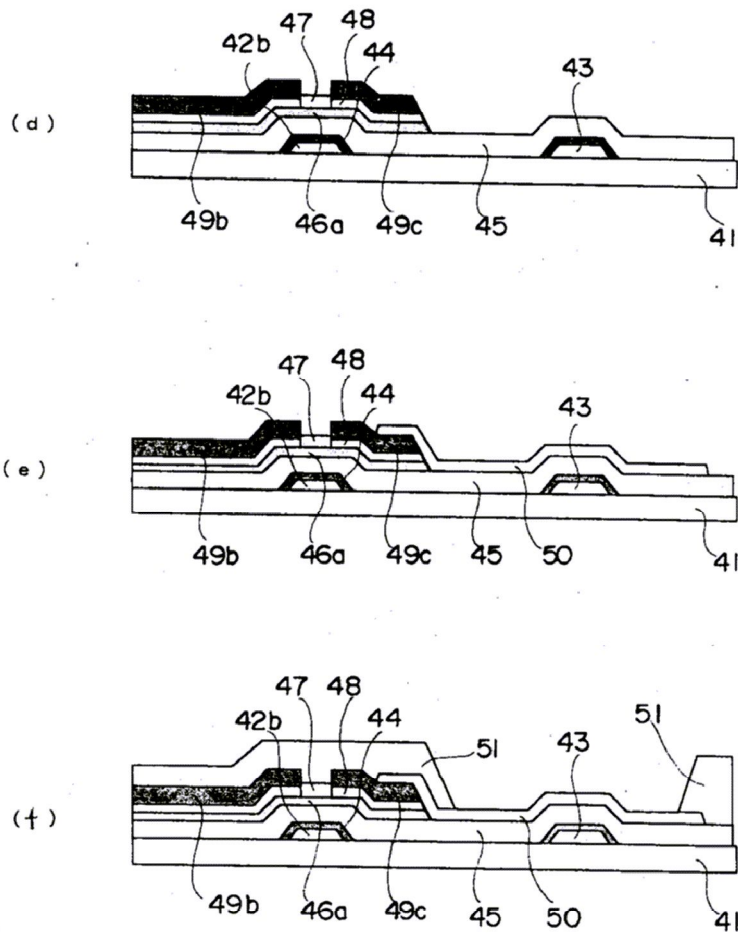
도면 12



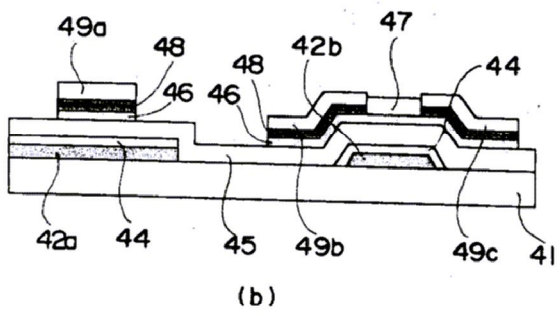
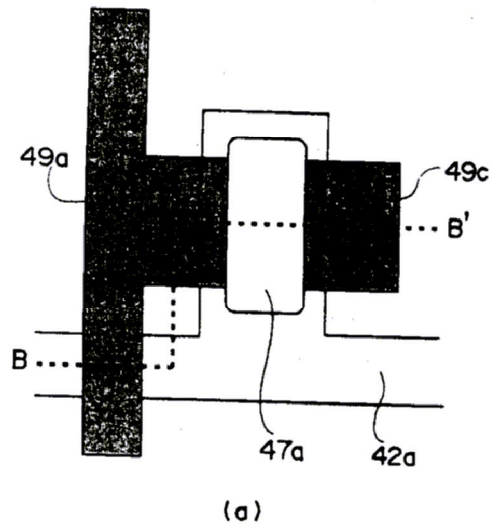
도면13



도면14



도면 15



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020010040105A	公开(公告)日	2001-05-15
申请号	KR1020000061004	申请日	2000-10-17
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	MURAI ATSUHITO 무라이아츠히토 HARA TAKESHI 하라다케시 OGATA HIDETAKE 오가타히데타케		
发明人	무라이아츠히토 하라다케시 오가타히데타케		
IPC分类号	G02F1/13 H01L21/336 G02F1/136 G02F H01L29/786 G02F1/1368 H01L		
CPC分类号	G02F1/1368		
代理人(译)	LEE, 金泰熙		
优先权	1999296555 1999-10-19 JP 2000260646 2000-08-30 JP		
其他公开文献	KR100499280B1		
外部链接	Espacenet		

摘要(译)

本发明提供的液晶显示装置是具有高可靠性的液晶显示装置，虽然大尺寸和高分辨率制造的大尺寸和高分辨率，图像质量好，价格便宜及其制造方法。关于在另一方面在透明绝缘板（1）上具有栅极信号线（2a）的半导体层和栅电极，液晶层和液晶层可以称为沟道钝化层（7a）。2b）和绝缘层，以及它在间隔绝缘层中放置的栅极信号线（2a）和沟道钝化层（7a）在有线源信号线（9a），源电极（9b）和漏电极（如图9c）所示，与源极信号线（9a）和栅极信号线（2a）的交叉点附近的液晶显示装置具有TFT，并且像素电极（10）与TFT电连接，薄膜侧的形状为倒锥形。

