

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.⁷
G02F 1/133

(11) 공개번호 특2001-0030176
(43) 공개일자 2001년04월16일

(21) 출원번호 10-2000-0050829
(22) 출원일자 2000년08월30일
(30) 우선권주장 99-244019 1999년08월30일 일본(JP)
(71) 출원인 닛뽕덴끼 가부시끼가이샤 가네꼬 히사시
일본 도오쿄도 미나토꾸 시바 5초메 7방 1고
(72) 발명자 다께다히로시
일본도오쿄도미나토꾸시바5초메7방1고닛뽕덴끼가부시끼가이샤나이
기요마쯔신지
일본도오쿄도미나토꾸시바5초메7방1고닛뽕덴끼가부시끼가이샤나이
(74) 대리인 특허법인코리아나 박해선, 특허법인코리아나 조영원

심사청구 : 있음

(54) 액정 디스플레이 장치

요약

액정 디스플레이 장치는 매트리스내에 배치된 다수의 픽셀들과, 다수의 픽셀들의 각각의 열에 대하여 설치된 드레인 라인과, 다수의 픽셀들의 각각의 행에 대하여 설치되는 게이트 라인과 상기 드레인 라인에 공급되는 비디오 신호를 출력하는 출력 버퍼를 포함한다. 또한 상기 출력 버퍼의 출력 신호상에 보정 신호를 중첩시키는 비디오 보정 신호 발생기가 설치된다.

대표도

도2

색인어

미분기, 적분기, 반전 적분기, 가산기, 소스 드라이버

명세서

도면의 간단한 설명

도 1 은 종래 액정 장치의 구조에 대한 회로도.

도 2 는 본 발명의 제 1 실시예에 따른 액정 디스플레이 장치의 구조에 대한 블록도.

도 3 은 도 2 의 미분기의 특정 구조에 대한 회로도.

도 4 는 본 발명의 제 1 실시예에 따른 액정 디스플레이 장치의 동작을 설명하는데 사용하기 위한 파형 테이블.

도 5 는 본 발명의 제 2 실시예에 따른 액정 디스플레이 장치의 구성에 대한 블록도.

도 6 은 본 발명의 제 3 실시예에 따른 액정 디스플레이 장치의 구성에 대한 블록도.

도 7 은 본 발명의 제 3 실시예에 따른 액정 디스플레이 장치의 동작을 설명하는데 사용하기 위한 타이밍 차트.

도 8a 은 제 1 실시예에서 중첩될 신호의 개략도.

도 8b 는 제 3 실시예에서 중첩될 신호의 개략도.

도 9 는 본 발명의 제 5 실시예에 따른 액정 디스플레이 장치의 구조에 대한 블록도.

도 10 은 본 발명의 제 5 실시예에 따른 액정 디스플레이 장치의 동작을 설명하는데 사용하기 위한 파형 테이블.

※도면의 주요 부분에 대한 부호의 설명※

1,3,4 : 미분기

2 : 가산기

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 다수의 박막 트랜지스터들을 포함하는 능동 매트릭스형 장치들과 같은 액정 디스플레이 장치들에 관한 것이다. 특히, 본 발명은 비디오 신호들의 파형을 라운딩(rounding) 함에 의해 생기는 명도의 저하와 같은 비디오 영상들의 변형을 방지할 수 있는 액정 디스플레이 장치에 관한 것이다.

종래의 능동 매트릭스형 액정 디스플레이 장치들에 있어서, 하나의 픽셀 베이스상에 설치된 박막 트랜지스터를 구동하는 소스 드라이버가 존재한다. 도 1은 종래의 액정 디스플레이 장치의 구조에 대한 회로도이다. 종래의 액정 디스플레이 장치에 있어서, 박막 트랜지스터는 매트릭스에 배치된 각각의 픽셀들에 대하여 설치된다. 제 1 열을 형성하는 다수의 박막 트랜지스터들($T_{11}, \dots, T_{m1}, \dots, T_{n1}, \dots$)은 드레인 라인(D1)에 공통으로 연결된 드레인들을 가진다. 유사하게도, 제 2 열을 형성하는 다수의 박막 트랜지스터들($T_{12}, \dots, T_{m2}, \dots, T_{n2}, \dots$)은 드레인 라인(D2)에 공통으로 연결되는 드레인들을 가진다. 따라서, 제 a 열을 형성하는 다수의 박막 트랜지스터들($T_{1a}, \dots, T_{ma}, \dots, T_{na}, \dots$)은 드레인 라인(Da)에 공통으로 연결된 드레인들을 가진다.

상기 드레인 라인들은 소스 드라이버(11)에 설치된 출력 버퍼들($B_1, B_2, B_3, B_4, \dots$)과 연결된다.

제 1 행을 형성하는 다수의 박막 트랜지스터들($T_{11}, T_{12}, T_{13}, T_{14}, \dots$)은 게이트 라인(G_1)에 공통적으로 연결된 게이트들을 가진다. 유사하게도, 제 m 행을 형성하는 다수의 박막 트랜지스터들($T_{m1}, T_{m2}, T_{m3}, T_{m4}, \dots$)은 게이트 라인(G_m)에 공통으로 연결된 게이트들을 가지며, 제 n 행을 형성하는 다수의 박막 트랜지스터들($T_{n1}, T_{n2}, T_{n3}, T_{n4}, \dots$)은 게이트 라인(G_n)에 공통으로 연결된 게이트들을 가진다. 따라서, 제 b 행을 형성하는 다수의 박막 트랜지스터들($T_{b1}, T_{b2}, T_{b3}, T_{b4}, \dots$)은 게이트 라인(G_b)에 공통으로 연결된 게이트들을 가진다.

상술된 구조를 가지는 종래의 액정 디스플레이 장치에 있어서, 비디오 신호가 출력 버퍼들($B_1, B_2, \dots$)로부터 드레인 라인들($D_1, D_2, \dots$)로 각각 공급된다. 게이트 라인들($G_1, \dots, G_m, \dots, G_n, \dots$)에 수직 드라이버(도시되지 않음)로부터의 제어 신호가 공급되며, 각각의 박막 트랜지스터는 상기 제어 신호에 응답하여 턴 온/오프된다. 상기 박막 트랜지스터가 턴 온될 때, 대응하는 드레인 라인에 공급되는 상기 비디오 신호가 상기 픽셀에 대하여 액정에 인가되어, 상기 비디오 신호에 근거한 비디오 영상이 상기 디스플레이 상에 디스플레이된다.

발명이 이루고자하는 기술적 과제

그러나 상술된 종래의 디스플레이 장치에 있어서, 드레인 라인에 기생하는 저항 및 커패시턴스가 존재하며, 그 시간 상수는 출력 버퍼측상의 입력단으로부터 반대측상의 말단으로 증가한다. 결과적으로, 상기 비디오 신호의 파형이 라운딩된다.

특히, 도 1에 도시된 바와 같이, 하나의 비디오 신호가 출력 버퍼(B_1)으로부터 드레인 라인(D_1)으로 출력되는 경우에, 제 1 행의 게이트 라인(G_1)에 연결된 상기 박막 트랜지스터(T_{11})에 사각형의 정상 신호가 제공되지만, 제 m 행의 게이트 라인에 연결된 박막 트랜지스터(T_{m1})에 라운딩된 파형을 가진 신호가 제공된다. 또한, 출력 버퍼(B_1)으로부터 더 멀리서 제공되며 제 n 행의 게이트 라인(G_n)에 연결된 박막 트랜지스터(T_{n1})에 더 라운딩된 파형을 가지는 신호가 제공된다. 출력 버퍼(B_1)로부터의 거리가 소정의 값을 초과하는 경우에, 하락의 시점에서의 파형 높이는 소정의 레벨보다 낮다.

픽셀은 상기 신호의 하락의 시점에서의 신호전압을 저장하므로, 상기 값이 증가하는 경우에, 휘도가 변하며, 이는 비디오 영상들을 변형시킨다. 만일, 예를 들어 하얀색의 영상이 전체 디스플레이 스크린상에 디스플레이 되는 경우에, 휘도는 출력 버퍼로부터의 거리가 증가함에 따라서 감소한다.

따라서, 상기 소스 드라이버로부터의 거리에 의존하여 비디오 영상들의 그러한 변형들을 방지하기 위해서, 드레인 라인의 양측으로부터 비디오 신호를 출력하는 액정 디스플레이 장치가 제안되었다(일본 특허평 10-274762).

이 공보에서 기술된 종래의 액정 디스플레이 장치는 이전에 상기 장치들에 비교하여 비디오 영상들의 변형을 감소시키지만 파형 라운딩에 대한 결점이 해결되지 않는다. 드레인 라인의 중심 부분에 있어서, 비디오 영상 변형들이 존재한다. 부가적으로, 이러한 기술은 몇몇 경우에 있어서 2개의 드라이버를 필요로 하므로, 영역 및 비용의 감소에 대하여 충분히 고려될 필요가 없다.

본 발명의 목적은 드레인 라인의 기생 저항 및 기생 커패시턴스에 의해 발생하는 비디오 영상 변형들을 방지할 수 있는 액정 디스플레이 장치를 설치하는 것이다.

발명의 구성 및 작용

본 발명에 따른 액정 디스플레이 장치는 매트릭스내에 배치된 다수의 픽셀들, 다수의 픽셀들의 각 열에 대하여 설치된 드레인 라인, 다수의 픽셀들의 각 행에 대하여 설치된 드레인 라인, 상기 드레인 라인에 공급되는 비디오 신호를 출력하는 출력 버퍼, 상기 출력 버퍼의 출력 신호상에 보정 신호를 중첩시키는 비디오 보정 신호 발생기를 포함한다.

본 발명에 따라서, 파형 라운딩이 상기 드레인 라인에 기생하는 저항 및 커패시턴스에 의해 발생되더라도 상기 비디오 보정 신호 발생기가 상기 출력 버퍼의 출력 신호상에 보정 신호를 중첩시키며, 하락의 시점에서의 비디오 신호의 파형 높이는 상기 신호가 소망의 픽셀로 공급될 때 적절히 조정될 수 있다. 결과적으로, 비디오 영상 변형들이 방지될 수 있다.

상기 픽셀은 상기 드레인 라인에 연결된 드레인을 가지는 박막 트랜지스터와 상기 박막 트랜지스터의 소스와 직렬로 연결된 저항 소자를 포함 할 수 있다. 상기 저항 소자의 저항 값은 바람직하게도 상기 픽셀과 비디오 보정 신호 발생기사이의 드레인 라인의 길이가 증가할 수록 감소된다. 소정의 저항 값을 가지는 저항 소자가 상기 박막 트랜지스터의 소스에 직렬로 연결되는 경우에, 상기 액정에 인가된 전압은 큰 비디오 신호가 상기 픽셀에 입력되는 경우에도 적절히 조정될 수 있다.

상기 비디오 보정 신호 발생기는 각각의 상기 출력 버퍼들의 출력 신호를 미분하는 미분기. 각각의 상기 미분기들의 출력 신호와 각각의 상기 출력 버퍼들의 출력 신호를 가산하는 가산기를 포함할 수 있고, 상기 드레인 라인들중 대응하는 하나에 각각의 상기 가산기들의 출력을 출력할 수 있다. 대안적으로, 상기 비디오 보정 신호 발생기는 외부로부터 입력되는 기준 펄스를 미분하는 미분기, 상기 미분기의 출력 신호와 각각의 상기 출력 버퍼들의 출력 신호를 가산하는 가산기를 포함할 수 있고, 상기 드레인 라인들중 대응하는 하나에 각각의 상기 가산기들의 출력 신호를 출력할 수 있다.

상기 미분기는 기준 펄스 또는 적어도 상기 출력 버퍼의 출력 신호의 상승 및 하락중 어느 하나에서 적절한 피크를 가지는 신호를 발생시킬 수 있다. 미분기가 드레인 라인들 사이에 공유되는 경우에, 상기 회로에 의해 점유된 영역은 감소될 수 있다.

상술된 비디오 보정 신호 발생기는 바람직하게도 상기 비디오 신호가 공급되는 상기 픽셀들 사이에 드레인 라인의 길이에 대하여 상기 보정 신호의 파형을 변경시키는 보정 신호 변경 시스템을 가진다.

상기 비디오 보정 신호 발생기에 이와 같이 상기 보정 신호 변경 시스템을 설치함으로써 상기 드레인 라인에 기생하는 저항 및 커패시턴스에 의존하여 각각의 게이트 라인에 대하여 설치되는 픽셀에 적절한 비디오 신호를 공급할 수 있다.

상기 비디오 보정 신호 발생기는 상기 출력 버퍼의 출력 신호를 미분 하는 미분기; 상기 미분기의 출력 신호를 적분하여, 입력되는 제 1 디스인에이블 (disenable) 신호에 대하여 적분의 결과를 출력하는 적분기; 상기 미분기의 출력 신호를 반전 및 적분하여, 입력되는 제 2 디스인에이블 신호에 대하여 적분의 결과를 출력하는 반전 적분기; 상기 적분기의 출력 신호와 상기 반전 적분기의 출력신호를 가산하는 제 1 가산기; 상기 제 1 가산기의 출력 신호와 상기 출력 버퍼의 출력 신호를 가산하는 제 2 가산기를 포함할 수 있다.

상기 비디오 보정 신호 발생기는 또한 외부로부터 입력되는 기준 펄스를 미분하는 미분기; 상기 미분기의 출력 신호를 적분하여, 입력되는 제 1 디스인에이블 신호에 대하여 적분의 결과를 출력하는 적분기; 상기 미분기의 출력 신호를 반전 및 적분하여, 입력되는 제 2 디스인에이블 신호에 대하여 적분의 결과를 출력하는 반전 적분기; 상기 적분기의 출력 신호와 상기 반전 적분기의 출력 신호를 가산하는 제 1 가산기; 상기 제 1 가산기의 출력 신호와 상기 출력 버퍼의 출력 신호를 가산하는 제 2 가산기를 포함할 수 있다.

그러한 미분기들과 적분기들이 드레인들 사이에 공유되는 경우에, 상기 회로에 의해 점유된 영역은 감소될 수 있다.

본 발명의 특성, 원리, 유용성은 같은 참조 번호들로 표시되는 같은 부분들이 첨부된 도면들과 함께 읽혀질 때 다음의 상세한 설명으로부터 더 명백하게 될 것이다.

본 발명의 실시예들에 따른 액정 디스플레이 장치들이 이제 첨부된 도면들을 참조하여 기술될 것이다. 도 2 는 본 발명의 제 1 실시예에 따른 액정 디스플레이 장치의 구성에 대한 블록도이다. 도 3 은 도 2 에 도시된 미분기 (1) 의 특정 구조에 대한 회로도이다.

제 1 실시예에 있어서, 도 2 에 도시된 바와 같이, 박막 트랜지스터는 매트릭스내에 배치된 각각의 픽셀들에 대하여 설치된다. 제 1 열을 형성하는 다수의 박막 트랜지스터들 ($T_{11}, \dots, T_{m1}, \dots, T_{n1}, \dots$) 은 드레인 라인 (D1) 에 공통으로 연결된 드레인들을 가진다. 유사하게도, 제 2 열을 형성하는 다수의 박막 트랜지스터들 ($T_{12}, \dots, T_{m2}, \dots, T_{n2}, \dots$) 이 드레인 라인 (D2) 에 공통으로 연결된 드레인들을 가진다. 제 4 열을 형성하는 다수의 박막 트랜지스터 ($T_{14}, \dots, T_{m4}, \dots, T_{n4}, \dots$) 는 드레인 라인에 공통으로 연결된 드레인들을 가진다. 따라서, 제 a 열을 형성하는 다수의 박막 트랜지스터 ($T_{1a}, \dots, T_{ma}, \dots, T_{na}, \dots$) 는 드레인 라인 (Da) 에 공통으로 연결된 드레인들을 가진다.

제 1 행을 형성하는 다수의 박막 트랜지스터 ($T_{11}, T_{12}, T_{13}, T_{14}, \dots$) 는 게이트 라인 (G1) 에 공통으로 연결된 게이트들을 가진다. 유사하게도, m 번째 행을 형성하는 다수의 박막 트랜지스터 ($T_{m1}, T_{m2}, T_{m3}, T_{m4}, \dots$) 는 게이트 라인 (Gm) 에 공통으로 연결된 게이트들을 가지며, 제 n 열을 형성하는 다수의 박막 트랜지스터 ($T_{n1}, T_{n2}, T_{n3}, T_{n4}, \dots$) 는 게이트 라인 (Gn)에 공통으로 연결된 게이트들을 가진다. 따라서, 제 b 행을 형성하는 다수의 박막 트랜지스터 ($T_{b1}, T_{b2}, T_{b3}, T_{b4}, \dots$) 는 게이트 라인 (Gb) 에 공통으로 연결되는 게이트들을 가진다.

가산기 (2) 는 각각의 드레인 라인들에 연결된다. 가산기 (2) 는 출력 버퍼들 ($B_1, B_2, B_3, B_4, \dots$) 중 임의의 것에 그리고 미분기 (1) 의 출력단에 연결되는 입력단을 가진다. 상기 미분기 (1) 는 출력 버퍼들 ($B_1, B_2, B_3, B_4, \dots$) 의 출력 단들중 임의의 것에 연결된 입력단을 가진다. 각각의 가산기 (2) 로부터의 출력 신호는 각각의 드레인 라인에 연결된 박막 트랜지스터에 공급된다. 제 1 실시예에 있어서, 상기 미분기 (1)와 가산기 (2) 는 비디오 보정 신호 발생기를 구성한다.

상기 미분기 (1) 에는 도 3 에 도시된 바와 같이, 출력 버퍼 (Ba)와 가산기 (2) 사이에 연결된 용량성 소자 (C) 가 설치된다. 또한 공통 전압 즉, 상기 액정에 인가된 전압의 중간 전압, 을 공급하도록 DC

전원 (V) 이 설치된다. 다수의 저항 소자(R) 는 가산기 (2) 의 측상에 DC 전원 (V)과 용량성 소자 (C) 사이에 서로 직렬로 연결된다. 예를 들어 트랜지스터로 형성된 스위치 소자 (S) 는 서로 저항 소자 (R) 들 사이에 그리고 용량성 소자 (C)의 측상의 상기 용량성 소자 (C)에 가장 근접한 위치의 저항 소자 (R) 에 연결된다. 상기 스위치 소자 (S) 의 다른 단은 DC 전원 (V) 에 연결되고, 스위치 소자 (S)를 스위치 온/오프 하기 위한 시프트 레지스터 (SR) 가 설치된다.

도 3 에 도시된 것에 주목하면, 샘플-홀드 (sample-hold) 회로 (SH) 는 각각의 출력 버퍼 (Ba) 의 입력단에 연결된다.

시프트 레지스터 (SR)를 사용하면, 다수의 스위치 소자 (S) 는 클럭 신호 (VCK) 와 시프트 펄스 (VSP) 에 근거하여 턴 온/오프 된다. 특히, 입력으로서 비디오 신호가 제공되는 픽셀과 출력 버퍼 (Ba) 사이에 드레인 라인의 길이가 길면 길수록, 턴 오프되는 스위치 소자들 (S) 의 수는 더 커지며, 미분의 양이 증가한다.

상술된 구조를 가지는 제 1 실시예에 따른 액정 디스플레이 장치의 동작이 이제 기술될 것이다. 도 4 는 본 발명의 제 1 실시예에 따른 액정 디스플레이 동작을 설명하는데 사용하기 위한 파형들의 테이블이다. 비교하기 위해, 도 4 는 또한 도 1 에 도시된 종래의 액정 디스플레이 장치의 드레인 라인의 파형을 도시한다.

샘플-홀드 회로 (SH)에서부터 상기 출력 버퍼들 (B1,B2,B3,B4,...) 로 비디오 신호가 입력되면, 상기 출력 버퍼 (B1,B2,B3,B4,...) 는 각각 비디오 신호를 출력한다. 상기 출력 버퍼들 (B1,B2,B3,B4,...) 의 각각으로부터 출력된 상기 비디오 신호는 미분기 (1) 와 가산기 (2)로 입력된다. 예를 들어 제 1 행에서 게이트 라인 (G1)에 연결된 박막 트랜지스터들 (T11,T12,T13,T14,...) 이 구동되는 경우에, 모든 스위치 소자들 (S) 이 미분기 (1)에서 턴 온 되어 미분이 실행되지 않는다. 따라서, 가산기 (2) 로부터 출력된 신호는 출력 버퍼들 (B1,...) 로부터 출력된 비디오 신호와 같다. 그러나 이 경우에 있어서, 게이트 라인 (G1) 과 출력 버퍼들 (B1,...) 사이의 드레인 라인들 (D1,D2,D3,D4,...) 의 길이가 짧음으로, 신호가 박막 트랜지스터들로 공급되기 전에 파형의 라운딩이 발생되지 않는다. 결과적으로, 도 4에 도시된 바와 같이, 정상 파형은 게이트 라인 (G1) 에 연결된 박막 트랜지스터들 (T11,T12,...)을 통해 각각의 픽셀에 입력된다.

한편, 제 m 행의 게이트 라인 Gm 에 연결된 박막 트랜지스터들 (Tm1,Tm2,Tm3,Tm4,...) 이 구동될 때, 미분기 (1) 내에서, 용량성 소자 (C) 측면의 다수의 스위치 소자들 (S) 은 턴 오프되며, 소정량의 미분이 실행된다. 결과적으로, 미분기 (1) 의 출력 파형은 도 4 에 도시된 바와 같이 그 비디오 신호에 상기 비디오 신호의 상승 및 하락에서의 몇몇 피크 (peak)를 가지는 신호를 가산함에 의해 생성되는 파형이다. 따라서, 가산기 (2) 로부터 출력된 신호는 상기 출력 버퍼 (B1,...) 로부터 출력된 비디오 신호에 몇몇 피크를 가지는 신호를 가산함에 의해 생성되는 신호이다. 상기 신호는 그 후에 드레인 라인으로 출력되고, 파형은 상기 신호가 게이트 라인 (Gm) 에 연결된 박막 트랜지스터들 (Tm1,...) 에 도달하기 전에 게이트 라인 (Gm) 에 기생하는 저항 및 커패시턴스에 의해 라운드된다. 결과적으로, 비디오 신호는 이러한 박막 트랜지스터들 (Tm1,...) 에 공급되고, 파형은 도 4 에 도시된 바와 같이 정상 파형으로 복귀된다. 그 후에 정상 파형은 게이트 라인 (Gm) 에 연결된 박막 트랜지스터들 (Tm1,Tm2,...)를 통하여 각각의 픽셀에 입력된다.

제 n 행의 게이트 라인 Gn 에 연결된 박막 트랜지스터들 (Tn1,Tn2,Tn3,Tn4,...) 이 구동될 때, 미분기 (1) 내에서, 용량성 소자 (C)측면의 다수의 스위치 소자들 (S) 은 턴 오프되며, 소정량의 미분이 실행된다. 이 경우에, 턴 오프되는 스위치 소자들의 수는 제 m 행의 게이트 라인 (Gm) 의 경우의 소자들의 수보다 크다. 결과적으로, 미분기 (1) 의 출력 파형은 도 4 에 도시된 바와 같이 비디오 신호의 상승 및 하락에 제 m 행의 게이트 라인 (Gm) 의 경우의 피크보다 높은 피크를 가지는 신호를 가산함에 의해 생성되는 파형을 얻는다. 따라서 상기 가산기 (2) 로부터 출력된 신호는 출력 버퍼들 (B1,...) 로부터 출력된 비디오 신호에 더 높은 피크를 가지는 신호를 가산함에 의해 생성되는 신호이다. 상기 신호는 그 후에 드레인 라인으로 출력되고, 상기 신호가 게이트 라인 (Gn) 에 연결된 박막 트랜지스터들 (Tn1,...) 에 도달하기 전에 게이트 라인 (Gn) 에 기생하는 저항 및 커패시턴스에 의해 라운드되는 파형을 가진다. 게이트 라인 (Gn)은 게이트 라인 (Gm) 보다 출력 버퍼 (Ba)에서 부터 먼 위치에 존재하므로, 라운딩의 정도가 커진다. 결과적으로, 비디오 신호가 박막 트랜지스터들 (Tn1,...) 로 공급될 때, 상기 파형은 도 4 에 도시된 바와 같이 정상 파형으로 복귀된다. 정상 파형은 게이트 라인 (Gn) 에 연결된 박막 트랜지스터들 (Tn1,Tn2,...)를 통하여 각각의 픽셀에 입력된다.

따라서, 이러한 실시예에 따라서, 상기 미분기 (1) 에 의해 실행되는 미분의 양은 비디오 신호가 공급되는 박막 트랜지스터가 연결되는 게이트 라인에 기초하여 조정된다. 그 후에, 미분기 (1) 의 출력 신호와 상기 출력 버퍼 (Ba) 의 출력 신호가 드레인 라인으로 출력되기 위해 가산기 (2) 에 의해 가산된다. 결과적으로, 소망의 파형은 상기 비디오 신호가 소정의 박막 트랜지스터에 도달하기 전에 얻어진다. 이는 비디오 영상들에서의 변형들을 방지하며, 소망의 휘도를 가지는 영상은 상기 픽셀과 출력 버퍼사이의 거리에 상관없이 얻어질 수 있다.

본 발명의 제 2 실시예에가 이제 기술될 것이다. 제 1 실시예에 있어서, 미분기 (1) 와 가산기 (1) 는 각각의 드레인 라인에 설치되지만, 그것의 동작은 드레인 라인들사이에서 공통적이므로, 미분기는 드레인 라인들사이에서 공유될 수 있다. 제 2 실시예에 있어서, 미분기는 드레인 라인들사에서 공유된다. 제 2 실시예는 도트 반전 타입의 액정 디스플레이 장치에 의해 성취됨을 주목하자. 도 5 는 본 발명의 제 2 실시예에 따른 액정 디스플레이 장치의 구조에 대한 블록도이다. 도 5 에 도시된 제 2 실시예에 있어서, 도 2 와 도 3 에 도시된 제 1 실시예의 소자들과 같은 소자들은 같은 참조 부호들로 표시되며 이것의 상세한 설명은 제공되지 않는다.

제 2 실시예에 있어서, 출력 버퍼의 출력신호라기 보다는 오히려 기준 신호로서 극성 반전 신호 (PL/NL) 가 제공되는 미분기(2)가 존재한다. 미분기 (3) 에 있어서, 제 1 실시예의 공통 전압대신에 접지 전위가 제공된다. 미분기 (3) 는 반전 증폭기 (AMP1)와 비반전 증폭기 (AMP2) 에 연결된 출력단을 가진다.

상기 반전 증폭기 (AMP1)와 상기 비반전 증폭기 (AMP2)의 이득은 같다.

드레인 라인들 (D1,D2,D3,D4,D5,D6,...) 은 상기 제 1 실시예와 유사하게도 가산기 (2) 의 출력단에 각각 연결된다. 상기 가산기 (2) 는 샘플-홀드 회로 (도시되지 않음) 에 각각 연결되는 출력 버퍼들 (B1,B2,B3 ,B4,B5,B6,...) 에 연결된 각각 하나의 입력단들을 가진다. 상기 가산기 (2) 들은 제 1 열로부터 반전 증폭기 (AMP1)와 비반전 증폭기 (AMP2) 에 선택적으로 연결되는 다른 입력단들을 가진다. 제 2 실시예에 있어서, 미분기 (3), 가산기 (2), 반전 증폭기 (AMP1)와 비반전 증폭기 (AMP2)는 비디오 보정 신호 발생기를 구성한다.

상술된 구조를 가지는 제 2 실시예에 따른 액정 디스플레이 장치의 동작이 이제 기술될 것이다.

시프트 레지스터 (SR) 는 클럭 신호 (VCK)와 시프트 펄스 (VSP) 에 기초하여 구동되는 박막 트랜지스터가 연결되는 게이트 라인의 위치에 의존하여 다수의 스위치 소자들을 턴 온/오프 시킨다. 이것의 특정 동작은 제 1 실시예의 동작과 같으므로, 여기에서 기술되지 않는다. 결과적으로, 극성 반전 신호 (PL/NL) 가 미분되며, 결과적인 신호는 상기 반전 증폭기 (AMP1)와 비반전 증폭기 (AMP2)에 입력된다. 상기 반전 증폭기 (AMP1)와 비반전 증폭기 (AMP2)에 입력되는 신호의 크기는 게이트 라인의 위치가 출력 버퍼로부터 멀리 떨어져 있을 수록 더 크다.

반전 증폭기 (AMP1)는 그 후에 소정의 이득으로 입력을 증폭하고 출력에 대한 극성을 반전시킨다. 한편, 비반전 증폭기 (AMP2) 는 출력에 대하여 소정의 이득을 가진 입력 신호를 증폭한다.

반전 증폭기 (AMP1) 로부터 출력된 신호는 우수 열들에 배치된 가산기(2) 들에 입력되는 반면에 비반전 증폭기 (AMP2) 로부터 출력된 신호는 기수 열들에 배치되는 가산기(2) 들에 입력된다. 상기 가산기 (2) 들에는 입력으로서 출력 버퍼들 (B1,...) 로부터의 비디오 신호가 각각 제공된다. 상기 미분기 (3) 에 의한 미분 신호를 상기 비디오 신호에 가산함으로써 생기는 신호는 기수 열들에 배치된 가산기(2)들로부터 드레인 라인들 (D1,D3,D5,...) 로 출력된다. 미분기 (3) 에 의한 반전된 미분 신호를 비디오 신호에 가산함으로써 생기는 신호는 우수 열들에 배치되는 가산기(2)들로부터 드레인 라인들(D2,D4,D6,...)로 출력된다.

가산기(2)들로부터 드레인 라인들 (D1,...)로 출력되는 신호들의 파형은 드레인 라인들에 기생하는 저항 및 커패시턴스에 의해 라운딩되어, 상기 신호가 소정의 게이트 라인에 연결된 박막 트랜지스터에 도달할 때 정상 파형이 얻어진다. 상기 정상 파형은 게이트 라인에 연결된 박막 트랜지스터를 통하여 각각의 픽셀에 입력된다.

따라서, 제 1 실시예와 유사한 상기 제 2 실시예에 따라서, 비디오 신호는 상기 신호가 소정의 박막 트랜지스터에 도달할 때 소정의 파형을 얻는다. 이는 비디오 영상들의 변형을 방지하며, 소정의 휘도를 가진 영상이 상기 픽셀과 출력 버퍼사이의 거리에 상관없이 얻어질 수 있다. 미분기 (3)가 드레인 라인들사이에 공유되므로, 상기 비디오 보정 신호 발생기에 의해 점유되는 영역은 제 1 실시예의 영역보다 작을 수 있다.

본 발명의 제 3 실시예가 이제 기술될 것이다. 제 3 실시예에 있어서, 출력 버퍼와 가산기사이의 배치는 제 1 실시예의 배치와 다르다. 도 6 은 본 발명의 제 3 실시예에 따른 액정 디스플레이 장치의 구조에 대한 블록도이다. 도 6 에 도시된 제 3 실시예에 있어서, 도 2 및 도 3에서 도시되는 제 1 실시예의 소자들과 같은 소자들은 같은 참조 부호들로 표시되며, 그것의 상세한 설명은 제공되지 않는다.

제 3 실시예에 있어서, 출력 버퍼 (Ba) 는 미분기 (4) 에 연결된 출력단을 가진다. 이러한 미분기 (4) 에 의한 미분의 양은 제 1 및 제 2 실시예와 유사하게도 드레인 라인의 길이에 대하여 변한다. 미분기 (4) 는 적분기 (5)와 반전 적분기 (6) 에 연결된 출력단을 가진다. 상기 적분기 (5) 에 입력으로서 출력 버퍼 (Ba)의 출력 신호의 상승에 응답하여 저 레벨을 얻는 디스인에이블 신호 (DE1) 가 제공된다. 상기 반전 적분기 (6) 에 입력으로서 출력 버퍼 (Ba) 의 출력 신호의 하락에 응답하여 저 레벨을 얻는 디스인에이블 신호 (DE2) 가 제공된다. 또한, 제 3 실시예에 있어서, 적분기 (5) 와 반전 적분기 (6) 의 출력 신호들을 가산하는 가산기 (7) 가 설치된다. 상기 가산기 (7) 의 출력 신호는 가산기 (2) 에 입력되고, 출력 버퍼 (Ba)와 가산기 (7) 의 출력 신호들의 합은 드레인 라인 (Da) 에 출력된다. 제 3 실시예에 있어서, 상기 미분기 (4), 적분기 (5), 반전 적분기 (6), 가산기 (7) , 가산기 (2) 는 비디오 보정 신호 발생기를 구성한다.

상술된 구조를 가지는 제 3 실시예에 따른 액정 디스플레이 장치의 동작이 이제 기술될 것이다. 도 7 은 본 발명의 제 3 실시예에 따른 액정 디스플레이 장치의 동작을 설명하는데 사용하기 위한 타이밍 차트이다. 디스인에이블 신호들 (DE1,DE2) 이 각각 입력되지 않았을 때, 도 7 의 (1),(2),(5),(6),(7),(8),(9) 는 도 6의 같은 번호들에 의해 표시되는 위치들에서의 파형들을 도시하며, 도 7 의 (3),(4) 는 적분기 (5)와 반전 적분기 (6) 의 출력 신호들의 파형을 도시한다.

출력 버퍼 (Ba) 로부터 미분기 (4) 로 입력된 신호는 미분기 (4) 에 의해 미분되어 출력된다. 상기 미분기 (4) 의 출력 신호의 피크는 도 7 의 (2)에서 도시된 바와 같이 점점 증가한다.

미분기 (4) 의 출력 신호가 간단히 적분될 때, 도 7 의 (3)에서 도시된 파형이 그 결과이며, 미분기 (4) 의 출력 신호가 간단히 반전되어 적분될 때, 도 7 의 (4)에서 도시된 파형이 그 결과이다. 본 발명의 실시예에 있어서, 도 7 의 (5),(6)에서 도시된 디스인에이블 신호들 (DE1,DE2) 은 적분기 (5)와 반전 적분기 (6) 에 입력되고, 디스인에이블 신호들이 저 레벨을 얻을 때 상기 신호들에 대응하는 파형들이 출력된다. 이것들이 도 7 의 (7),(8) 에 도시된 파형들이다.

가산기 (7) 는 적분기 (5) 와 반전 적분기 (6) 의 출력 신호들을 합하므로, 도 7 의 (9)에서 도시된 파형을 가지는 신호는 도 7 의 (7),(8)에서의 파형들의 합으로 출력된다.

따라서, 출력 버퍼에서의 이러한 신호와 상기 비디오 신호의 합은 가산기 (2) 로부터 드레인 라인 (Da) 으로 출력된다. 신호의 피크가 일반적으로 증가되는 신호는 이 경우에 출력되는 비디오 신호위에 중첩

된다. 결과 적으로, 상기 파형은 드레인 라인 (Da) 에 기생하는 저항 및 커패시턴스에 의해 라운딩된다. 그러나, 상기 신호가 소정의 게이트 라인에 연결된 박막 트랜지스터에 도달할 때, 대략 중첩된 양만큼 라운딩함에 의해 정상 파형이 생긴다. 따라서, 비디오 영상들의 변형은 제 1 및 제 2 실시예와 유사하게 방지될 수 있다.

제 3 실시예의 비디오 신호위에 중첩된 신호의 피크의 높이는 제 1 및 제 2 실시예에서 중첩된 신호의 높이보다 낮다. 이는 미분에 의한 신호가 제 1 및 제 2 실시예에서 처럼 중첩되기 때문이며, 한편 제 3 실시예에 있어서, 적분된 신호와 반전되어 적분된 신호의 합이 이후에 취해진다. 도 8a 는 제 1 실시예에서 중첩되는 신호의 개략도이며, 도 8b 는 제 3 실시예에서 중첩되는 신호의 개략도이다. 제 3 실시예에 있어서, 상기 피크의 높이가 낮으면, 제 1 실시예에 유사한 영상 변형들을 방지하는 효과는 상기 피크 부분이 거의 같은 영역을 가지도록 허용함에 의해 생긴다. 또한, 상기 피크의 높이가 이와 같이 낮으면, 가산기의 동작 범위는 종래의 범위로부터 넓어질 필요가 없다. 한편, 제 1 실시예에 있어서, 동작 범위는 몇몇 경우에 있어서 중첩될 상기 신호의 피크의 높이에 의존하여 증가되어야 하므로, 이는 또 다른 드라이버를 요구한다.

본 발명의 제 4 실시예가 이제 기술될 것이다. 제 4 실시예는 제 2 및 제 3 실시예를 결합시킴에 의해 성취된다. 특히, 도 5에 도시된 미분기 (3) 대신에 도 6에 도시된 미분기 (4), 적분기 (5), 반전 적분기 (6), 가산기 (7) 가 제공된다. 상기 미분기 (4) 에 입력으로서 상기 출력 버퍼로부터의 비디오 신호보다는 오히려 극성 반전 신호가 제공된다.

이러한 구조를 가지는 제 4 실시예에 따라서, 비디오 영상 변형들을 방지하는 효과뿐만 아니라 제 2 실시예에 따라 점유된 영역을 보호하는 효과와 제 3 실시예에 따른 동작 범위를 확장시킬 필요가 없는 효과가 제공된다.

본 발명의 제 5 실시예가 이제 기술될 것이다. 상술된 제 1 내지 제 4 실시예에서, 다른 신호는 각각의 게이트 라인에 대하여 비디오 신호에 중첩되지만, 제 5 실시예에 있어서, 이전에 중첩된 큰 신호는 상기 액정에 인가되기 전에 조정된다. 도 9는 본 발명의 제 5 실시예에 따른 액정 디스플레이 장치의 구조에 대한 블록도이다. 도 9에 도시된 제 5 실시예에서 도 2에 도시된 제 1 실시예에서의 소자들과 같은 소자들은 같은 참조 부호들로 표시되고, 이것의 상세한 설명은 제공되지 않는다.

제 5 실시예에 있어서, 출력 버퍼 (B1,B2,...) 의 출력들은 각각 분기되고, 미분기 (8) 는 브랜치들중 하나와 가산기 (2) 사이에 각각 연결된다. 미분기 (8) 는 제 1 실시예의 출력 버퍼로부터 아주 먼 위치에서 제공된 픽셀에 비디오 신호가 제공되는 경우에 같은 양으로 입력 신호를 미분하는데 사용된다.

저항 소자 (R1) 는 제 1 행의 트랜지스터들 (T11,T12,...) 과 액정들 사이에 각각 연결되고, 저항 소자 (Rm) 는 제 m 행의 트랜지스터들 (Tm1,Tm2,...) 과 상기 액정들사이에 각각 연결된다. 저항 소자 (Rn) 는 제 n 행의 트랜지스터들 (Tn1,Tn2,...) 과 액정들 사이에 각각 연결된다. 상기 저항 소자 (R1) 의 저항 값은 상기 저항 소자 (Rm) 의 값보다 더 큰 반면에, 상기 저항 소자 (Rm) 의 저항 값은 상기 저항 소자 (Rn) 의 저항 값보다 더 크다. 특히, 상기 출력 버퍼들 (B1,B2,...) 들에 큰 드레인 라인을 가지는 픽셀이 설치되는 저항 소자가 더 작은 저항 값을 가지도록 설정된다. 제 5 실시예에 있어서, 상기 미분기 (8) 와 가산기 (2) 는 비디오 보정 신호 발생기를 구성한다.

상술된 구조를 가지는 제 5 실시예에 따른 액정 디스플레이 장치의 동작이 이제 기술될 것이다. 도 10은 본 발명의 제 5 실시예에 따라 상기 액정 디스플레이 장치의 동작을 설명하는데 사용하기 위한 파형들의 테이블이다. 도 10에서, 도 1에 도시된 종래의 액정 디스플레이 장치의 드레인 라인의 파형들은 또한 비교의 목적을 위해 포함한다는 점에 주목하자.

비디오 신호는 샘플-홀드 회로(도시되지 않음)에서 부터 출력 버퍼들 (B1,B2,...)로 입력되어 출력된다. 상기 출력 버퍼들 (B1,B2,...) 로부터 출력된 비디오 신호는 상기 미분기 (8)와 가산기 (2) 에 입력된다. 상기 미분기 (8) 에 입력되는 신호는 미분되어 상기 가산기에 입력된다. 이 경우의 미분의 양은 바람직하게도 상기 출력 버퍼들 (B1,B2,...) 로부터 가장 먼 픽셀에 상기 비디오 신호가 공급될 때, 파형 라운딩에 의해 제거되지 않는 그러한 얼마간의 양이다.

그 후에, 상기 출력 버퍼 (B1,B2,...)에서의 비디오 신호와 상기 미분기 (8) 로부터의 미분 신호의 합은 각각의 드레인 라인 (D1,D2,...)에 출력된다. 상기 출력 신호는 거리의 함수로서 도 10에서 도시되는 가산기 (2) 로부터 더 라운딩되는 파형을 가지지만, 상기 파형은 미분 신호가 중첩되므로 원래의 파형에 비해 작지 않다.

따라서, 본 실시예에 있어서, 상기 박막 트랜지스터에 출력된 신호는 정상 파형상에 몇몇 신호를 중첩시킴에 의해 생성되는 파형을 가진다. 박막 트랜지스터들이 게이트 라인들 (G1,...,Gm,...,Gn)로 부터의 제어 신호에 의해 턴 온되는 경우에, 상기 박막 트랜지스터들의 드레인에 공급되는 신호는 상기 저항 소자들 (R1,...,Rm,...,Rn)에 입력되고, 라운딩되어 상기 액정에 인가된다. 이러한 경우에 있어서, 저항 소자들 (R1,Rm,Rn)사이에 상술된 관계가 설정되므로, 파형 라운딩의 정도는 가산기 (2) 에 근접하는 것일수록 크다. 그 결과, 도 9에 도시한 바와 같이, 정상 파형을 갖는 전압이 액정에 인가된다.

따라서, 또한 제 5 실시예에 있어서, 상기 액정에 인가된 전압은 소망의 파형을 가진다. 결과적으로, 비디오 영상 변형들이 방지될 수 있고, 소망의 휘도를 가지는 비디오 영상들이 상기 픽셀과 출력 버퍼사이의 거리에 상관없이 생길 수 있다.

본 발명의 제 6 실시예가 이제 기술될 것이다. 상기 제 6 실시예는 제 2 및 제 5 실시예를 결합시킴에 의해 성취된다. 특히, 도 9에 도시된 미분기 (8) 는 도 5의 미분기 (3) 대신에 설치된다. 출력 버퍼로부터의 비디오 신호대신에, 극성 반전 신호가 상기 미분기 (8) 에 입력된다.

상술된 구조를 가지는 제 6 실시예에 있어서, 비디오 영상 변형 방지에 대한 효과뿐만 아니라 또한 제 2 실시예에 따른 점유된 영역을 보조하는 효과도 제공된다.

상기 출력 버퍼로부터 출력된 상기 비디오 신호에 중첩되는 신호는 상술된 신호로 제한받지 않으나, 비디오 신호의 레벨이 변한다는 점에 있어서 파형 라운딩 때문에 중첩될 수 있는 임의의 신호가 사용될 수 있다. 예를 들어, 사각형파를 가지는 신호가 중첩될 수 있다.

또한, 하락의 시점에서 공급된 신호의 레벨은 상술된 바와 같이 상기 액정 디스플레이 장치의 픽셀에서 저장된다. 따라서, 파형 라운딩이 파형 상승의 시점에서 존재하는 경우, 본 발명의 효과는 하락의 시점에서의 신호 레벨이 소정의 레벨인 한 여전히 제공될 것이다.

따라서, 제 5 및 제 6 실시예에 있어서, 저항 소자는 각각의 픽셀에 대하여 제공되지만, 상기 저항 소자들의 부분 또는 전체는 신호의 레벨이 모든 픽셀들에 대하여 하락의 시점에서 정상인 경우에 생략될 수 있다.

부가적으로, 가산기 및 미분기는 출력 버퍼가 설치된 소스 드라이버의 내부에 또는 그것의 외부중 어느 하나에 설치될 수 있지만, 이들은 적어도 상기 출력 버퍼의 출력 측상에 설치되어야 한다.

전술한 바와 같이, 드레인 라인에 기생하는 저항 및 커패시턴스에 의해 파형 라운딩이 발생되더라도, 출력 버퍼의 출력 신호상에 보정 신호를 중첩시키는 비디오 보정 신호 발생기가 설치되므로, 하락의 시점에서 소망의 픽셀에 공급되는 비디오 신호의 파형 높이가 적절히 조정될 수 있다. 결과적으로, 비디오 영상 변형들이 방지될 수 있다.

또한, 소정의 저항 값의 저항 소자가 픽셀을 형성하는 박막 트랜지스터의 소스에 직렬로 연결되는 경우에, 상기 픽셀에 큰 비디오 신호가 입력되더라도 상기 액정에 인가되는 전압은 적절히 조정될 수 있다.

부가적으로, 상기 비디오 보정 신호 발생기에 설치되는 미분기는 적어도 상기 출력 버퍼의 출력 신호의 상승 및 하락중 어느 하나에 적절한 피크를 가지는 신호 또는 기준 펄스 신호가 생성되도록 허용한다. 상기 미분기가 드레인 라인들 사이에 공유되는 경우에, 상기 회로에 의해 점유되는 영역이 감소될 수 있다.

현재 본 발명의 양호한 실시예들로 고려되는 것들이 기술되었지만, 다양한 변경들이 행해질 수 있음을 이해해야 하며, 첨부된 청구항들은 본 발명의 참된 사상 및 범위내에 존재하므로 모든 그러한 변경들을 커버할 수 있다.

발명의 효과

본 발명은 다수의 박막 트랜지스터들을 포함하는 능동 매트릭스형 장치들과 같은 액정 디스플레이 장치들에 관한 것으로, 비디오 신호들의 파형을 라운딩함에 의해 생기는 명도의 저하와 같은 비디오 영상들의 변형을 방지할 수 있는 액정 디스플레이 장치를 제공한다.

(57) 청구의 범위

청구항 1

액정 디스플레이 장치에 있어서,
매트릭스에 배치된 다수의 픽셀들과,
상기 다수의 픽셀들의 각각의 열에 대하여 설치된 드레인 라인과,
상기 다수의 픽셀들의 각각의 행에 대하여 설치된 게이트 라인과,
상기 드레인 라인에 공급되는 비디오 신호를 출력하는 출력 버퍼와,
상기 출력 버퍼의 출력 신호에 보정 신호를 중첩시키는 비디오 보정 신호 발생기를 포함하는 액정 디스플레이 장치.

청구항 2

제 1 항에 있어서, 상기 비디오 보정 신호 발생기는 적어도 상기 출력 신호의 상승 및 하락 중 어느 하나에서 상기 출력 버퍼의 출력 신호에 상기 보정 신호를 중첩시키는 액정 디스플레이 장치.

청구항 3

제 1 항에 있어서, 상기 비디오 보정 신호 발생기는 상기 게이트 라인이 구동되는 타이밍과 동기되어 상기 보정 신호의 파형을 변경시키는 액정 디스플레이 장치.

청구항 4

제 1 항에 있어서, 상기 픽셀은 상기 드레인 라인에 연결된 드레인을 가지는 박막 트랜지스터와 상기 박막 트랜지스터의 소스에 직렬로 연결되는 저항 소자를 포함하며,
상기 저항 소자의 저항 값은 상기 픽셀과 상기 비디오 보정 신호 발생기 사이의 상기 드레인 라인의 길이가 증가할수록 감소되는 액정 디스플레이 장치.

청구항 5

제 1 항에 있어서, 상기 비디오 보정 신호 발생기는 각각의 상기 출력 버퍼의 출력 신호를 미분하는 미분기와, 각각 상기 미분기의 출력 신호와 각각 상기 출력 버퍼의 출력 신호를 가산하는 가산기를 포함하며,

상기 비디오 보정 신호 발생기는 상기 드레인 라인들중 대응하는 하나에 각각 상기 가산기의 출력 신호를 출력하는 액정 디스플레이 장치.

청구항 6

제 1 항에 있어서,

상기 비디오 보정 신호 발생기는 외부로 부터 입력된 기준 펄스를 미분하는 미분기와 상기 미분기의 출력 신호와 각각의 상기 출력 버퍼의 출력 신호를 가산하는 가산기를 포함하며,

상기 비디오 보정 신호 발생기는 상기 드레인 라인들중 대응하는 하나에 각각 상기 가산기의 출력 신호를 출력하는 액정 디스플레이 장치.

청구항 7

제 1 항에 있어서, 상기 비디오 보정 신호 발생기는 상기 비디오 신호가 공급되는 픽셀들사이에 상기 드레인 라인의 길이에 대하여 상기 보정 신호의 파형을 변경시키는 보정 신호 변경 시스템을 포함하는 액정 디스플레이 장치.

청구항 8

제 1 항에 있어서, 상기 비디오 보정 신호 발생기는,

상기 출력 버퍼의 출력 신호를 미분하는 미분기와,

상기 미분기의 출력 신호를 적분하여 입력되는 제 1 디스인에이블 신호에 대하여 적분의 결과를 출력하는 적분기와,

상기 미분기의 출력신호를 반전 및 적분하여, 입력되는 제 2 디스인에이블 신호에 대하여 적분의 결과를 출력하는 반전 적분기와,

상기 적분기의 출력 신호와 상기 반전 적분기의 출력 신호를 가산하는 제 1 가산기와,

상기 제 1 가산기의 출력 신호와 상기 출력 버퍼의 출력 신호를 가산하는 제 2 가산기를 포함하는 액정 디스플레이 장치.

청구항 9

제 1 항에 있어서, 상기 비디오 보정 신호 발생기는,

외부로 입력되는 기준 펄스를 미분하는 미분기와,

상기 미분기의 출력 신호를 적분하여, 입력되는 제 1 디스인에이블 신호에 대하여 적분의 결과를 출력하는 적분기와,

상기 미분기의 출력 신호를 반전 및 적분하여, 입력되는 제 2 디스인에이블 신호에 대하여 적분의 결과를 출력하는 반전 적분기와,

상기 적분기의 출력 신호와 상기 반전 적분기의 출력 신호를 가산하는 제 1 가산기와,

상기 제 1 가산기의 출력 신호와 상기 출력 버퍼의 출력 신호를 가산하는 제 2 가산기를 포함하는 액정 디스플레이 장치.

청구항 10

제 7 항에 있어서, 상기 비디오 보정 신호 발생기는,

상기 출력 버퍼의 출력 신호를 미분하는 미분기와,

상기 미분기의 출력 신호를 적분하여, 입력되는 제 1 디스인에이블 신호에 대하여 적분의 결과를 출력하는 적분기와,

상기 미분기의 출력 신호를 반전 및 적분하여, 입력되는 제 2 디스인에이블 신호에 대하여 적분의 결과를 출력하는 반전 적분기와,

상기 적분기의 출력 신호와 상기 반전 적분기의 출력 신호를 가산하는 제 1 가산기와,

상기 제 1 가산기의 출력 신호와 상기 출력 버퍼의 출력 신호를 가산하는 제 2 가산기를 포함하는 액정 디스플레이 장치.

청구항 11

제 7 항에 있어서, 상기 비디오 보정 신호 발생기는,

외부로부터 입력된 기준 펄스를 미분하는 미분기와,

상기 미분기의 출력 신호를 적분하여, 입력되는 제 1 디스인에이블 신호에 대하여 적분의 결과를 출력하는 적분기와,

상기 미분기의 출력 신호를 반전 및 적분하여, 입력되는 제 2 디스인에이블 신호에 대하여 적분의 결과를 출력하는 반전 적분기와,

상기 적분기의 출력 신호와 상기 반전 적분기의 출력 신호를 가산하는 제 1 가산기와,

상기 제 1 가산기의 출력 신호와 상기 출력 버퍼의 출력 신호를 가산하는 제 2 가산기를 포함하는 액정 디스플레이 장치.

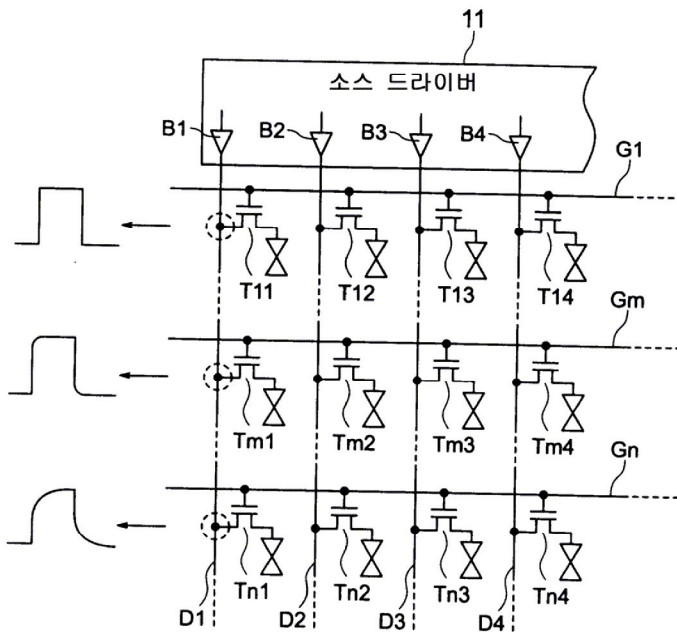
청구항 12

제 5 항에 있어서, 상기 미분기는 시프트 레지스터와 상기 시프트 레지스터의 출력 신호에 대하여 출력 단에서의 전위를 전환하는 전위 스위칭 시스템을 포함하는 액정 디스플레이 장치.

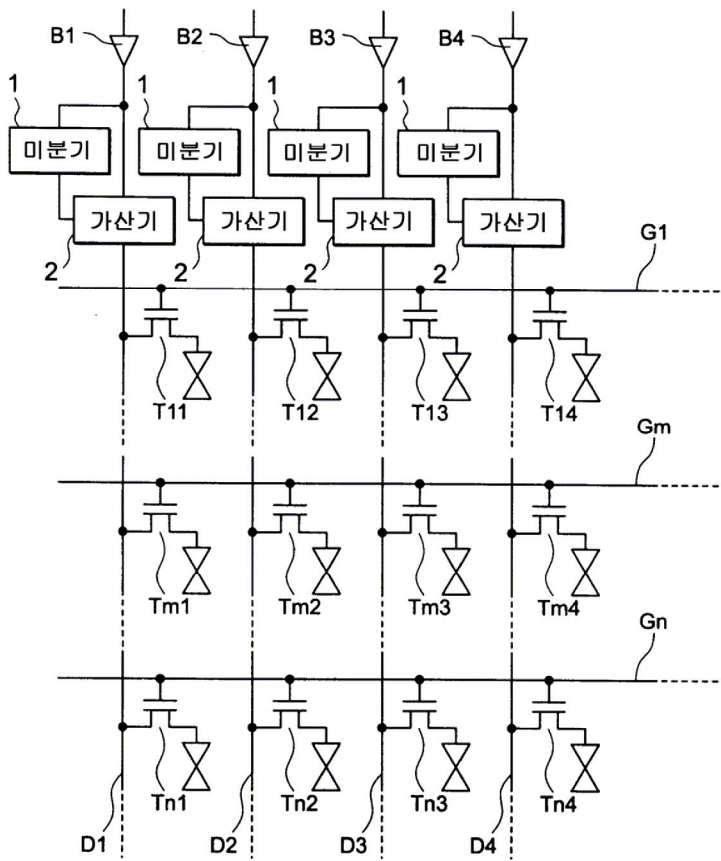
도면

도면1

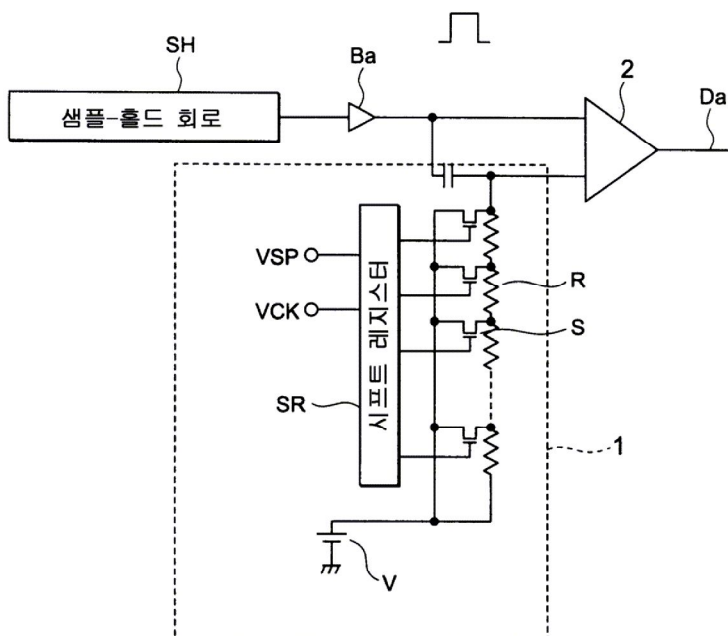
종래 기술



도면2



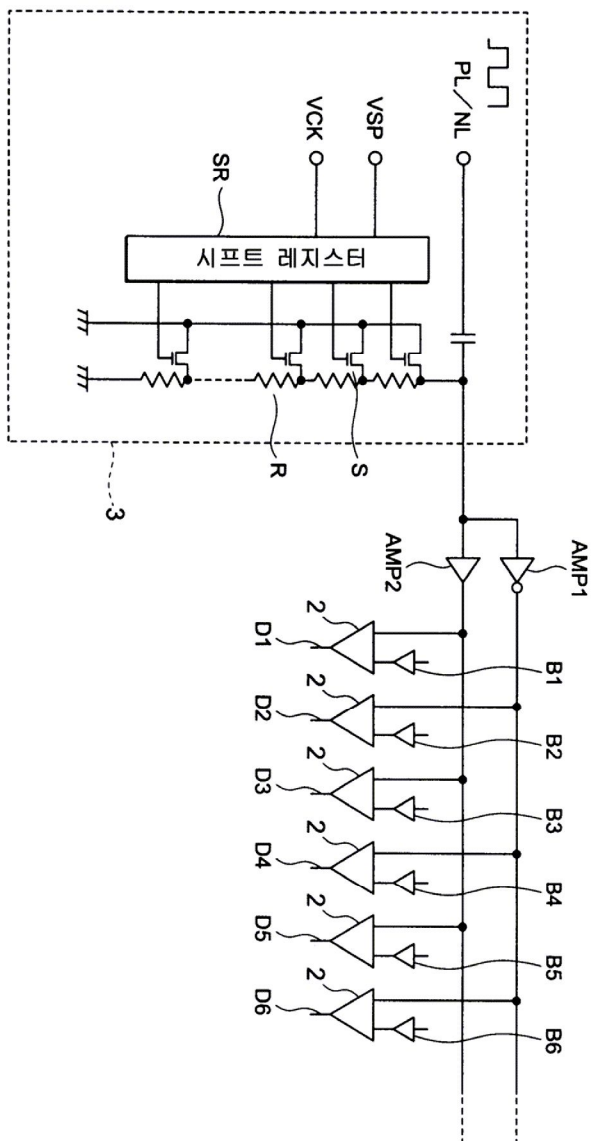
도면3



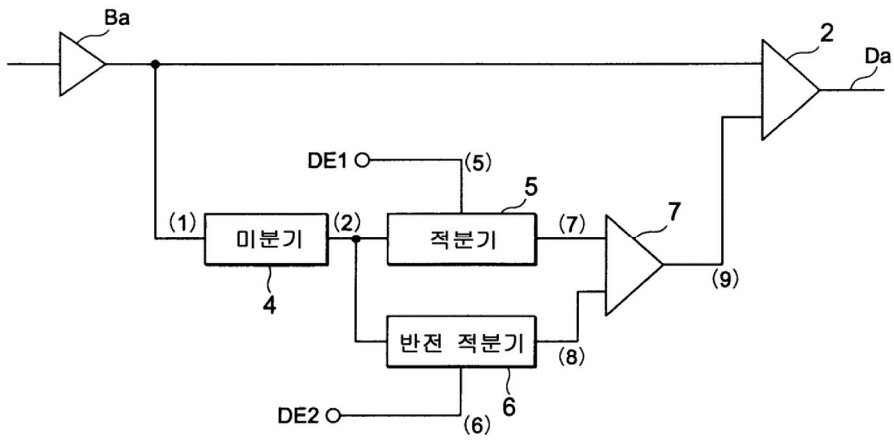
도면4

	미분기 출력의 파형	가산기 출력의 파형	드레인 라인의 파형	
			제 1 실시예	종래 예
제 1행				
제 m행				
제 n행				

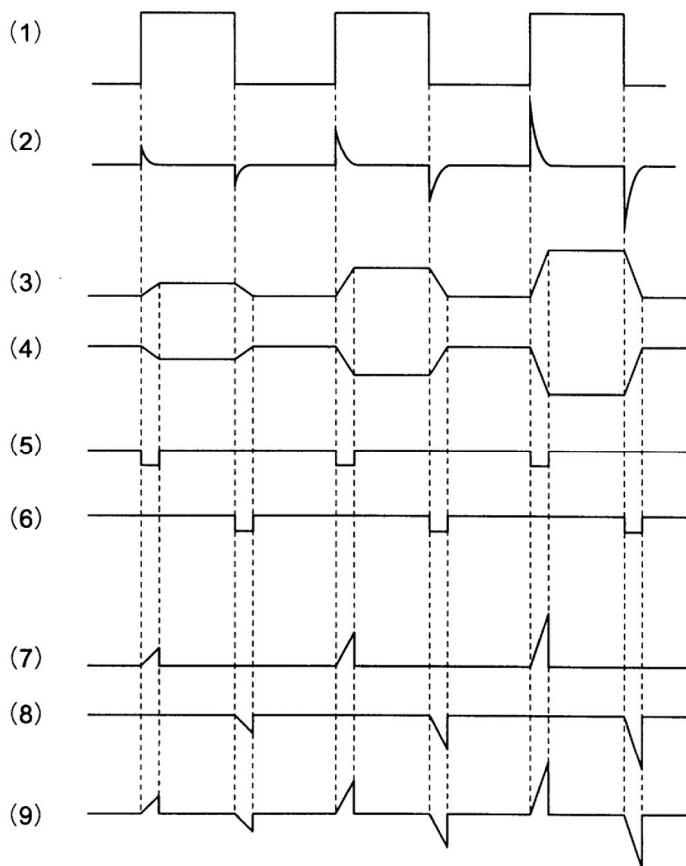
도면5



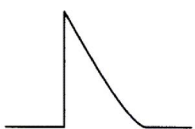
도면6



도면7



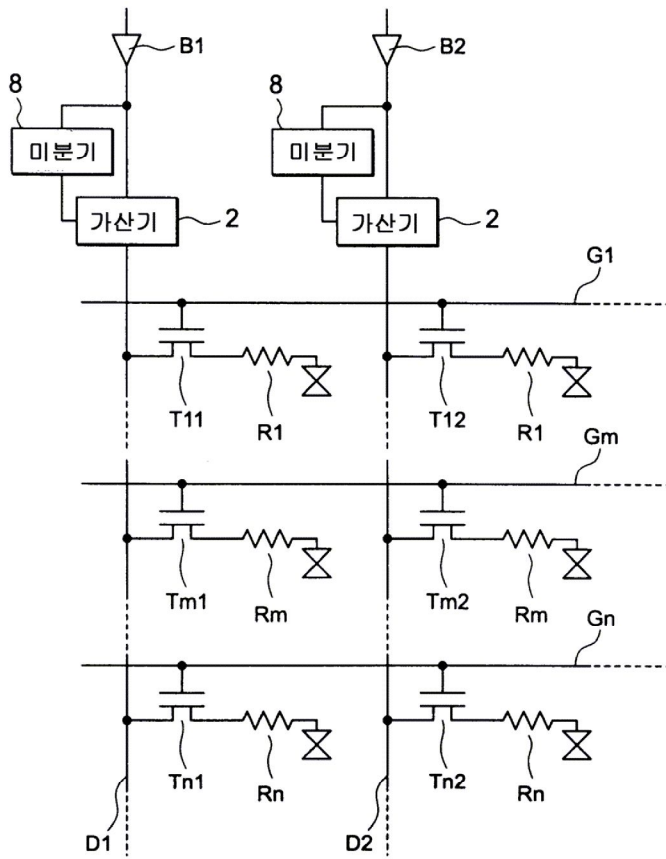
도면8a



도면8b



도면9



도면10

	드레인 라인의 파형	액정에 인가된 전압의 파형	
		제 5 실시예	종래예
제 1행			
제 m행			
제 n행			

专利名称(译)	液晶显示装置		
公开(公告)号	KR1020010030176A	公开(公告)日	2001-04-16
申请号	KR1020000050829	申请日	2000-08-30
申请(专利权)人(译)	日本电气有限公司sikki		
当前申请(专利权)人(译)	日本电气有限公司sikki		
[标]发明人	TAKEDA HIROSHI 다께다히로시 KIYOMATSU SHINJI 기요마쓰신지		
发明人	다께다히로시 기요마쓰신지		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G2320/0252 G09G2320/0219 G09G2300/08 G09G3/3688 G09G2320/0223 G09G2310/0275 G09G3/3648		
代理人(译)	CHO , YOUNG WON 韩国专利公司		
优先权	1999244019 1999-08-30 JP		
其他公开文献	KR100382806B1		
外部链接	Espacenet		

摘要(译)

液晶显示装置包括布置在床垫内的多个像素，围绕排列线的每一行安装的栅极线，围绕多个像素和多个像素的每个热量安装，输出缓冲器输出提供给漏极的视频信号线。此外，叠加校正信号的视频校正信号发生器安装在输出缓冲器的输出信号上。微分器，积分器，反转积分器，加法器，源驱动器。

