



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년02월10일
(11) 등록번호 10-1013625
(24) 등록일자 2011년01월31일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2003-0095766

(22) 출원일자 2003년12월23일

심사청구일자 2008년12월18일

(65) 공개번호 10-2005-0064406

(43) 공개일자 2005년06월29일

(56) 선행기술조사문헌

KR1020030008787 A*

KR1020000010123 A*

KR1019930018756 A*

KR1019990020394 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울 용산구 한강로3가 65-228

(72) 발명자

양준영

경기도부천시원미구상1

동행복한마을서해아파트2407동1303호

박용인

서울특별시양천구신월동987-1신월시영아파트15

동1004호

김상현

경기도안양시만안구석수동415-1석수LG빌리지401

동503호

(74) 대리인

박장원

전체 청구항 수 : 총 15 항

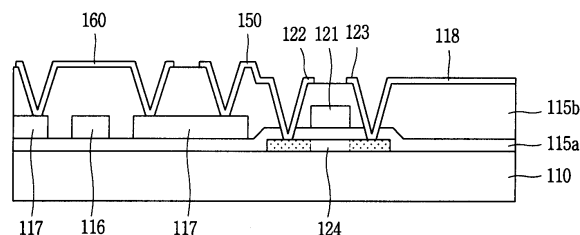
심사관 : 임동재

(54) 액정표시소자 및 그 제조방법

(57) 요약

본 발명의 액정표시소자 제조방법은 마스크수를 감소시켜 제조공정을 단순화하기 위한 것으로, 기판을 제공하는 단계; 상기 기판 위에 결정화된 실리콘 박막으로 액티브 패턴을 형성하는 단계; 상기 액티브 패턴이 형성된 기판 전면에서 제 1 절연막을 증착하는 단계; 상기 제 1 절연막 위에 게이트전극을 포함하는 게이트라인과 데이터라인을 동시에 형성하되, 상기 게이트라인과 데이터라인이 서로 겹치지 않게 상기 데이터라인을 교차 영역에서 단선되도록 형성하는 단계; 상기 게이트라인과 데이터라인이 형성된 기판 전면에서 제 2 절연막을 형성하는 단계; 상기 제 1 절연막과 제 2 절연막을 선택적으로 제거하여 액티브 패턴의 소오스/드레인영역을 노출시키는 제 1 콘택홀을 형성하며, 상기 제 2 절연막을 선택적으로 제거하여 상기 소오스영역과 데이터라인 사이의 접속을 위한 제 2 콘택홀과 단선된 상하 데이터라인 사이의 접속을 위한 제 3 콘택홀을 형성하는 단계; 및 상기 제 1 콘택홀을 통해 상기 소오스영역과 연결되며 상기 제 2 콘택홀을 통해 상기 데이터라인과 연결되는 소오스전극 및 상기 제 1 콘택홀을 통해 상기 드레인영역과 연결되는 화소전극을 포함하는 드레인전극을 형성하며, 상기 제 3 콘택홀을 통해 상기 단선된 상하 데이터라인 사이를 연결하는 연결라인을 형성하는 단계를 포함한다.

대표도 - 도4e



특허청구의 범위

청구항 1

기판을 제공하는 단계;

상기 기판 위에 결정화된 실리콘 박막으로 액티브 패턴을 형성하는 단계;

상기 액티브 패턴이 형성된 기판 전면에 제 1 절연막을 증착하는 단계;

상기 제 1 절연막 위에 게이트전극을 포함하는 게이트라인과 데이터라인을 동시에 형성하되, 상기 게이트라인과 데이터라인이 서로 겹치지 않게 상기 데이터라인을 교차 영역에서 단선되도록 형성하는 단계;

상기 게이트라인과 데이터라인이 형성된 기판 전면에 제 2 절연막을 형성하는 단계;

상기 제 1 절연막과 제 2 절연막을 선택적으로 제거하여 액티브 패턴의 소오스/드레인영역을 노출시키는 제 1 콘택홀을 형성하며, 상기 제 2 절연막을 선택적으로 제거하여 상기 소오스영역과 데이터라인 사이의 접속을 위한 제 2 콘택홀과 단선된 상하 데이터라인 사이의 접속을 위한 제 3 콘택홀을 형성하는 단계; 및

상기 제 1 콘택홀을 통해 상기 소오스영역과 연결되며 상기 제 2 콘택홀을 통해 상기 데이터라인과 연결되는 소오스전극 및 상기 제 1 콘택홀을 통해 상기 드레인영역과 연결되는 화소전극을 포함하는 드레인전극을 형성하며, 상기 제 3 콘택홀을 통해 상기 단선된 상하 데이터라인 사이를 연결하는 연결라인을 형성하는 단계를 포함하는 액정표시소자의 제조방법.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

제 1 항에 있어서, 상기 제 3 콘택홀은 상기 데이터라인 위에 하나 이상 형성하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 7

제 1 항에 있어서, 상기 제 2 절연막을 형성하는 단계는

상기 게이트라인과 데이터라인이 형성된 기판 전면에 제 2 절연막을 증착하는 단계;

상기 제 2 절연막 위에 감광성 물질을 도포하는 단계;

상기 감광성 물질을 패터닝하는 단계;

상기 패터닝된 감광막을 마스크로 사용하여 제 1 절연막과 제 2 절연막을 선택적으로 제거하여 액티브 패턴을 노출시키는 제 1 콘택홀을 형성하며, 상기 제 2 절연막을 선택적으로 제거하여 상기 데이터라인을 노출시키는 제 2 콘택홀과 제 3 콘택홀을 형성하는 단계; 및

상기 패터닝된 감광막을 제거하는 단계로 이루어지는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 8

제 7 항에 있어서, 상기 제 1 콘택홀과 제 2 콘택홀 및 제 3 콘택홀을 형성한 후, 상기 패터닝에 사용된 감광막

패턴이 제거되지 않은 상태에서 상기 제 1 콘택홀과 제 2 콘택홀 및 제 3 콘택홀 내부를 포함하여 감광막 패턴 전면에도 도전성 금속을 증착하는 단계 및 상기 제 1 콘택홀과 제 2 콘택홀 영역 이외 부분의 감광막 패턴을 리프트 오프공정으로 제거하여 상기 노출된 소오스/드레인영역과 데이터라인 위에 상기 도전성 금속층을 남기는 단계를 추가로 포함하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 9

제 1 항에 있어서, 게이트전극을 형성한 후에 상기 게이트전극을 마스크로 상기 액티브 패턴에 불순물 이온을 주입하여 소오스영역과 드레인영역을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 10

제 9 항에 있어서, 상기 불순물 이온은 인과 같은 5족 원소인 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 11

제 9 항에 있어서, 상기 불순물 이온은 붕소와 같은 3족 원소인 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 12

제 1 항에 있어서, 상기 소오스전극과 드레인전극은 투과율이 뛰어난 투명 도전 물질로 형성하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 13

제 1 항에 있어서, 상기 화소전극은 상기 드레인전극이 화소영역 쪽으로 연장되어 형성되는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 14

기관을 제공하는 단계;

상기 기관 위에 결정화된 실리콘 박막으로 액티브 패턴을 형성하는 단계;

상기 액티브 패턴이 형성된 기관 전면에도 제 1 절연막을 증착하는 단계;

상기 제 1 절연막 위에 게이트전극을 포함하는 게이트라인과 데이터라인을 동시에 형성하되, 상기 게이트라인과 데이터라인이 서로 겹치지 않게 상기 게이트라인을 교차 영역에서 단선되도록 형성하는 단계;

상기 게이트라인과 데이터라인이 형성된 기관 전면에도 제 2 절연막을 형성하는 단계;

상기 제 1 절연막과 제 2 절연막을 선택적으로 제거하여 액티브 패턴의 소오스/드레인영역을 노출시키는 제 1 콘택홀을 형성하며, 상기 제 2 절연막을 선택적으로 제거하여 상기 소오스영역과 데이터라인 사이의 접속을 위한 제 2 콘택홀과 단선된 상하 게이트라인 사이의 접속을 위한 제 3 콘택홀을 형성하는 단계; 및

상기 제 1 콘택홀을 통해 상기 소오스영역과 연결되며 상기 제 2 콘택홀을 통해 상기 데이터라인과 연결되는 소오스전극 및 상기 제 1 콘택홀을 통해 상기 드레인영역과 연결되는 화소전극을 포함하는 드레인전극을 형성하며, 상기 제 3 콘택홀을 통해 상기 단선된 상하 게이트라인 사이를 연결하는 연결라인을 형성하는 단계를 포함하는 액정표시소자의 제조방법.

청구항 15

제 14 항에 있어서, 상기 제 2 절연막을 형성하는 단계는

상기 게이트라인과 데이터라인이 형성된 기관 전면에도 제 2 절연막을 증착하는 단계;

상기 제 2 절연막 위에 감광성 물질을 도포하는 단계;

상기 감광성 물질을 패터닝하는 단계;

상기 패터닝된 감광막을 마스크로 사용하여 제 1 절연막과 제 2 절연막을 선택적으로 제거하여 액티브 패턴을 노출시키는 제 1 콘택홀을 형성하며, 상기 제 2 절연막을 선택적으로 제거하여 상기 데이터라인을 노출시키는

제 2 콘택홀과 상기 단선된 상하 게이트라인을 노출시키는 제 3 콘택홀을 형성하는 단계; 및
상기 패턴화된 감광막을 제거하는 단계로 이루어지는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 16

제 15 항에 있어서, 상기 제 1 콘택홀과 제 2 콘택홀 및 제 3 콘택홀을 형성한 후, 상기 패턴닝에 사용된 감광막 패턴이 제거되지 않은 상태에서 상기 제 1 콘택홀과 제 2 콘택홀 및 제 3 콘택홀 내부를 포함하여 감광막 패턴 전면에도 전성 금속을 증착하는 단계 및 상기 제 1 콘택홀과 제 2 콘택홀 영역 이외 부분의 감광막 패턴을 리프트 오프공정으로 제거하여 상기 노출된 소오스/드레인영역과 데이터라인 및 게이트라인 위에 상기 도전성 금속층을 남기는 단계를 추가로 포함하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 17

제 16 항에 있어서, 상기 연결라인은 소오스전극 및 드레인전극과 동일물질로 동일층에 형성하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 18

제 14 항에 있어서, 상기 제 3 콘택홀은 상기 게이트라인 위에 하나 이상 형성되어 있는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 19

제 14 항에 있어서, 상기 화소전극은 상기 드레인전극이 화소영역 쪽으로 연장되어 형성되는 것을 특징으로 하는 액정표시소자의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0016] 본 발명은 액정표시소자 및 그 제조방법에 관한 것으로, 특히 박막 트랜지스터의 제조공정을 개선하여 사용되는 마스크수를 감소시킨 액정표시소자 및 그 제조방법에 관한 것이다.
- [0017] 최근 정보 디스플레이에 관한 관심이 고조되고 휴대가 가능한 정보매체를 이용하려는 요구가 높아지면서 기존의 표시장치인 브라운관(Cathode Ray Tube; CRT)을 대체하는 경량 박막형 평판표시장치(Flat Panel Display; FPD)에 대한 연구 및 상업화가 중점적으로 이루어지고 있다. 특히, 이러한 평판표시장치 중 액정표시장치(Liquid Crystal Display; LCD)는 액정의 광학적 이방성을 이용하여 이미지를 표현하는 장치로서, 해상도와 컬러표시 및 화질 등에서 우수하여 노트북이나 데스크탑 모니터 등에 활발하게 적용되고 있다.
- [0018] 상기 액정표시장치는 크게 제 1 기판인 컬러필터(color filter) 기판과 제 2 기판인 어레이(array) 기판 및 상기 컬러필터 기판과 어레이 기판 사이에 형성된 액정층(liquid crystal layer)으로 구성된다.
- [0019] 상기 액정표시장치의 스위칭소자로는 일반적으로 박막 트랜지스터(Thin Film Transistor; TFT)를 사용하며, 상기 박막 트랜지스터의 채널층으로 비정질 실리콘(amorphous silicon) 또는 다결정 실리콘(polycrystalline silicon)을 사용할 수 있다.
- [0020] 한편, 상기 액정표시장치의 제조공정은 기본적으로 박막 트랜지스터를 포함하는 어레이 기판의 제작에 다수의 마스크 공정(즉, 포토리소그래피(photolithography) 공정)를 필요로 하므로 생산성 면에서 상기 마스크 공정의 수를 줄이는 방법이 요구되어지고 있다.
- [0021] 도 1은 일반적인 액정표시장치의 어레이 기판 일부를 나타내는 평면도로써, 실제의 액정표시장치에서는 N개의 게이트라인과 M개의 데이터라인이 교차하여 NxM개의 화소가 존재하지만 설명을 간단하게 하기 위해 도면에는 단지 한 화소만을 나타내었다.
- [0022] 도면에 도시된 바와 같이, 상기 어레이 기판(10)은 화소영역 위에 형성된 화소전극(18), 상기 기판(10) 위에 중

형으로 배열된 게이트라인(16)과 데이터라인(17), 그리고 상기 게이트라인(16)과 데이터라인(17)의 교차영역에 형성된 스위칭소자인 박막 트랜지스터로 이루어져 있다.

- [0023] 상기 박막 트랜지스터는 게이트라인(16)에 연결된 게이트전극(21), 데이터라인(17)에 연결된 소오스전극(22) 및 화소전극(18)에 연결된 드레인전극(23)으로 구성된다. 또한, 상기 박막 트랜지스터는 게이트전극(21)과 소오스/드레인전극(22, 23)의 절연을 위한 제 1 절연막(미도시)과 제 2 절연막(미도시) 및 상기 게이트전극(21)에 공급되는 게이트 전압에 의해 소오스전극(22)과 드레인전극(23) 간에 전도채널(conductive channel)을 형성하는 액티브층(24)을 포함한다.
- [0024] 이 때, 상기 제 1 절연막과 제 2 절연막에 형성된 제 1 콘택홀(40a)을 통해 상기 소오스전극(22)은 액티브층(24)의 소오스영역과 전기적으로 접속하며 상기 드레인전극(23)은 액티브층(24)의 드레인영역과 전기적으로 접속하게 된다. 또한, 상기 드레인전극(23) 위에는 제 2 콘택홀(40b)이 형성된 제 3 절연막(미도시)이 있어, 상기 제 2 콘택홀(40b)을 통해 상기 드레인전극(23)과 화소전극(18)이 전기적으로 접속되게 된다.
- [0025] 이하, 도 2a 내지 도 2g를 참조하여 종래의 액정표시소자의 제조공정을 자세히 설명한다.
- [0026] 도 2a 내지 도 2g는 도 1에 도시된 액정표시소자의 I-I'선에 따른 제조공정을 나타내는 순서도로서, 도시되어 있는 박막 트랜지스터는 액티브층으로 다결정 실리콘을 이용한 다결정 실리콘 박막 트랜지스터로 게이트전극과 소오스전극 및 드레인전극이 상기 액티브층의 동일 평면에 위치하는 코플라나 구조로 되어있다.
- [0027] 먼저, 도 2a에 도시된 바와 같이, 유리와 같은 투명한 절연물질로 이루어진 기판(10) 위에 포토리소그래피 공정을 이용하여 다결정 실리콘으로 이루어진 액티브 패턴(24)을 형성한다.
- [0028] 다음으로, 도 2b에 도시된 바와 같이, 상기 액티브 패턴(24)이 형성된 기판(10) 전면에 차례대로 제 1 절연막(15a)과 도전성 금속(30)을 증착한다.
- [0029] 다음으로, 도 2c에 도시된 바와 같이, 포토리소그래피 공정을 이용하여 상기 도전성 금속(30)을 패터닝함으로써 상기 액티브 패턴(24) 위에 제 1 절연막(15a)이 개재된 게이트전극(21)을 형성한다.
- [0030] 이후, 상기 게이트전극(21) 패턴을 마스크로 액티브 패턴(24)의 소정영역에 고농도의 불순물 이온을 주입하여 p+ 또는 n+의 소오스/드레인영역(24a, 24b)을 형성한다. 상기 소오스/드레인영역(24a, 24b)은 소오스/드레인전극과의 오믹-콘택(ohmic contact)을 위해 형성한다.
- [0031] 다음으로, 도 2d에 도시된 바와 같이, 상기 게이트전극(21)이 형성된 기판(10) 전면에 제 2 절연막(15b)을 증착한 후 포토리소그래피 공정을 통해 상기 제 1 절연막(15a)과 제 2 절연막(15b)을 일부 제거하여 소오스/드레인영역(24a, 24b)과 소오스/드레인전극간의 전기적 접속을 위한 제 1 콘택홀(40a)을 형성한다.
- [0032] 이 후, 도 2e에 도시된 바와 같이, 도전성 금속을 기판(10) 전면에 증착한 후 포토리소그래피 공정을 이용하여 상기 제 1 콘택홀(40a)을 통해 소오스영역(24a)과 연결되는 소오스전극(22) 및 드레인영역(24b)과 연결되는 드레인전극(23)을 형성한다. 이 때, 상기 소오스전극(22)을 구성하는 도전성 금속의 일부는 연장되어 데이터라인(17)을 구성하게 된다.
- [0033] 다음으로, 도 2f에 도시된 바와 같이, 상기 기판(10) 전면에 아크릴(Acryl)과 같은 유기절연막인 제 3 절연막(15c)을 증착한 후 포토리소그래피 공정을 이용하여 드레인전극(23)의 일부를 노출시키는 제 2 콘택홀(40b)을 형성한다.
- [0034] 마지막으로, 도 2g에 도시된 바와 같이, 상기 제 3 절연막(15c)이 형성된 기판(10) 전면에 인듐-틴-옥사이드(Indium Tin Oxide; ITO)와 같은 투명 도전성 물질을 증착한 후 포토리소그래피 공정을 이용하여 상기 제 2 콘택홀(40b)을 통해 드레인전극(23)과 연결되는 화소전극(18)을 형성한다.
- [0035] 상기에 설명된 바와 같이 액정표시소자의 제조에는 많은 수의 포토리소그래피 공정을 필요로 하며, 특히 코플라나 구조의 다결정 실리콘 박막 트랜지스터의 제조에는 보다 많은 포토리소그래피 공정을 필요로 하게 된다.
- [0036] 상기 포토리소그래피 공정은 마스크에 그려진 패턴(pattern)을 박막이 증착된 기판 위에 전사시켜 원하는 패턴(pattern)을 형성하는 일련의 공정으로 감광액 도포, 노광, 현상 공정 등 다수의 공정으로 이루어져 있다. 그 결과 다수의 포토리소그래피 공정은 생산 수율을 떨어뜨리며 형성된 박막 트랜지스터에 결함이 발생될 확률을 높이게 하는 등 문제점이 있었다.
- [0037] 특히, 패턴을 형성하기 위하여 설계된 마스크는 매우 고가이어서, 공정에 적용되는 마스크수가 증가하면 액정표

시장치의 제조비용이 이에 비례하여 상승하는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

[0038] 본 발명은 상기한 문제를 해결하기 위한 것으로, 게이트라인과 데이터라인을 동시에 패터닝함으로써 마스크수를 감소시켜 제조공정 및 비용이 감소된 액정표시소자 및 그 제조방법을 제공하는데 목적이 있다.

[0039] 본 발명의 또 다른 목적 및 특징들은 후술되는 발명의 구성 및 특허청구범위에서 설명될 것이다.

발명의 구성 및 작용

[0040] 상기한 목적을 달성하기 위하여, 본 발명의 액정표시소자의 제조방법은 기판을 제공하는 단계; 상기 기판 위에 결정화된 실리콘 박막으로 액티브 패터를 형성하는 단계; 상기 액티브 패터가 형성된 기판 전면에 제 1 절연막을 증착하는 단계; 상기 제 1 절연막 위에 게이트전극을 포함하는 게이트라인과 데이터라인을 동시에 형성하되, 상기 게이트라인과 데이터라인이 서로 겹치지 않게 상기 데이터라인을 교차 영역에서 단선되도록 형성하는 단계; 상기 게이트라인과 데이터라인이 형성된 기판 전면에 제 2 절연막을 형성하는 단계; 상기 제 1 절연막과 제 2 절연막을 선택적으로 제거하여 액티브 패터의 소오스/드레인영역을 노출시키는 제 1 콘택홀을 형성하며, 상기 제 2 절연막을 선택적으로 제거하여 상기 소오스영역과 데이터라인 사이의 접속을 위한 제 2 콘택홀과 단선된 상하 데이터라인 사이의 접속을 위한 제 3 콘택홀을 형성하는 단계; 및 상기 제 1 콘택홀을 통해 상기 소오스영역과 연결되며 상기 제 2 콘택홀을 통해 상기 데이터라인과 연결되는 소오스전극 및 상기 제 1 콘택홀을 통해 상기 드레인영역과 연결되는 화소전극을 포함하는 드레인전극을 형성하며, 상기 제 3 콘택홀을 통해 상기 단선된 상하 데이터라인 사이를 연결하는 연결라인을 형성하는 단계를 포함한다.

또한, 본 발명의 액정표시소자의 다른 제조방법은 기판을 제공하는 단계; 상기 기판 위에 결정화된 실리콘 박막으로 액티브 패터를 형성하는 단계; 상기 액티브 패터가 형성된 기판 전면에 제 1 절연막을 증착하는 단계; 상기 제 1 절연막 위에 게이트전극을 포함하는 게이트라인과 데이터라인을 동시에 형성하되, 상기 게이트라인과 데이터라인이 서로 겹치지 않게 상기 게이트라인을 교차 영역에서 단선되도록 형성하는 단계; 상기 게이트라인과 데이터라인이 형성된 기판 전면에 제 2 절연막을 형성하는 단계; 상기 제 1 절연막과 제 2 절연막을 선택적으로 제거하여 액티브 패터의 소오스/드레인영역을 노출시키는 제 1 콘택홀을 형성하며, 상기 제 2 절연막을 선택적으로 제거하여 상기 소오스영역과 데이터라인 사이의 접속을 위한 제 2 콘택홀과 단선된 상하 게이트라인 사이의 접속을 위한 제 3 콘택홀을 형성하는 단계; 및 상기 제 1 콘택홀을 통해 상기 소오스영역과 연결되며 상기 제 2 콘택홀을 통해 상기 데이터라인과 연결되는 소오스전극 및 상기 제 1 콘택홀을 통해 상기 드레인영역과 연결되는 화소전극을 포함하는 드레인전극을 형성하며, 상기 제 3 콘택홀을 통해 상기 단선된 상하 게이트라인 사이를 연결하는 연결라인을 형성하는 단계를 포함한다.

[0041] 상기 액티브 패터는 비정질 실리콘 박막 또는 결정화된 실리콘 박막으로 이루어질 수 있다.

[0042] 상기 제 2 절연막을 형성하는 단계는 상기 게이트라인과 데이터라인이 형성된 기판 전면에 제 2 절연막을 증착하는 단계, 상기 제 2 절연막 위에 감광성 물질을 도포하는 단계, 상기 감광성 물질을 패터닝하는 단계, 상기 패터화된 감광막을 마스크로 사용하여 제 1 절연막과 제 2 절연막을 일부 제거하여 액티브 패터의 소정 영역을 노출시키는 제 1 콘택홀 및 상기 제 2 절연막을 일부 제거하여 데이터라인의 일부를 노출시키는 제 2 콘택홀과 제 3 콘택홀을 형성하는 단계 및 상기 패터화된 감광막을 제거하는 단계로 이루어질 수 있다.

[0043] 또한, 상기 제 1 콘택홀과 제 2 콘택홀 및 제 3 콘택홀을 형성한 후, 상기 패터닝에 사용된 감광막 패터가 제거되지 않은 상태에서 상기 제 1 콘택홀과 제 2 콘택홀 및 제 3 콘택홀 내부를 포함하여 감광막 패터 전면에 도전성 금속을 증착하는 단계 및 상기 제 1 콘택홀과 제 2 콘택홀 영역 이외 부분의 감광막 패터를 리프트 오프공정으로 제거하여 상기 노출된 소오스/드레인영역과 데이터라인 위에 상기 도전성 금속층을 남기는 단계를 추가로 포함할 수 있다.

[0044] 또한, 게이트전극을 형성한 후에 상기 게이트전극을 마스크로 상기 액티브 패터의 소정 영역에 불순물 이온을 주입하여 소오스영역과 드레인영역을 형성하는 단계를 추가로 포함할 수 있으며, 상기 불순물 이온은 인과 같은 5족 원소 또는 붕소와 같은 3족 원소일 수 있다.

[0045] 또한, 상기 소오스전극과 드레인전극은 투과율이 뛰어난 투명 도전 물질로 형성할 수 있으며, 상기 화소전극은 드레인전극의 일부가 화소영역 쪽으로 연장되어 형성할 수 있다.

[0046] 한편, 본 발명의 액정표시소자는 절연기판, 상기 기판 위에 형성된 액티브 패터, 상기 기판 전면에 형성된 제 1

절연막, 상기 기판 위에 동시에 패터닝되어 형성된 게이트전극을 포함하는 게이트라인과 데이터라인, 상기 기판 위에 형성되며, 제 1 콘택홀과 제 2 콘택홀 및 제 3 콘택홀이 형성된 제 2 절연막 및 상기 제 2 절연막 위에 형성되어 상기 제 1 콘택홀을 통해 소오스영역과 연결되며 제 2 콘택홀을 통해 데이터라인과 연결되는 소오스전극 및 상기 제 1 콘택홀을 통해 드레인영역과 연결되는 드레인전극을 포함한다.

- [0047] 이 때, 상기 게이트라인과 데이터라인은 서로 겹치지 않도록 상기 게이트라인과 데이터라인 중 어느 하나가 교차 영역에서 단선될 수 있으며, 상기 제 3 콘택홀을 통해 단선된 데이터라인 또는 게이트라인 사이를 연결하는 연결라인을 추가로 포함할 수 있다.
- [0048] 이 때, 상기 제 3 콘택홀은 게이트라인 또는 데이터라인 위에 하나 이상 형성할 수도 있다.
- [0049] 또한, 상기 연결라인은 소오스전극 및 드레인전극과 동일물질로 동일층에 구성될 수 있으며, 상기 드레인전극의 일부는 화소영역 쪽으로 연장되어 화소전극을 구성할 수 있다.
- [0050] 이하, 본 발명에 대해 상세히 설명한다.
- [0051] 액정표시장치에 주로 사용되는 구동 방식인 능동 매트릭스(Active Matrix; AM) 방식은 박막 트랜지스터를 스위칭소자로 사용하여 화소부의 액정을 구동하는 방식이다.
- [0052] 여기서, 상기 박막 트랜지스터의 채널층으로 비정질 실리콘 또는 다결정 실리콘을 사용할 수 있다.
- [0053] 비정질 실리콘 박막 트랜지스터 기술은 1979년 영국의 LeComber 등에 의하여 개념이 확립되어 1986년에 3" 액정 휴대용 텔레비전으로써 실용화되었고 최근에는 50" 이상의 대면적 박막 트랜지스터 액정표시장치가 개발되었다.
- [0054] 그러나, 상기 비정질 실리콘 박막 트랜지스터의 전기적 이동도($\sim 1\text{cm}^2/\text{Vsec}$)로는 1MHz 이상의 고속 동작을 요구하는 주변회로에 이용하는데는 한계가 있다. 이에 따라 전계효과 이동도가 상기 비정질 실리콘 박막 트랜지스터에 비해 큰 다결정 실리콘 박막 트랜지스터를 이용하여 유리기판 위에 화소부와 구동회로부를 동시에 집적하는 연구가 활발히 진행되고 있다.
- [0055] 다결정 실리콘 박막 트랜지스터 기술은 1982년에 액정 컬러 텔레비전이 개발된 이후로 캠코더 등의 소형 모듈에 적용하고 있으며, 낮은 감광도와 높은 전계효과 이동도를 가지고 있어 구동회로를 기판에 직접 제작할 수 있다는 장점이 있다.
- [0056] 특히, 이동도의 증가는 구동 화소수를 결정하는 구동회로부의 동작 주파수를 향상시킬 수 있으며 이로 인한 표시장치의 고정세화가 용이해진다. 또한, 화소부의 신호 전압의 충전 시간의 감소로 전달 신호의 왜곡이 줄어들어 화질 향상을 기대할 수 있다.
- [0057] 또한, 다결정 실리콘 박막 트랜지스터는 높은 구동 전압($\sim 25\text{V}$)을 갖는 비정질 실리콘 박막 트랜지스터에 비해 10V 미만에서 구동이 가능하므로 전력 소모를 감소시킬 수 있다는 장점이 있다.
- [0058] 그러나, 상기 다결정 실리콘 박막 트랜지스터를 포함하는 액정표시장치의 제조에는 많은 수의 포토리소그래피 공정을 필요로 하며, 다수의 포토리소그래피 공정은 제조공정 및 비용을 증가시키는 문제점을 발생시킨다.
- [0059] 상기와 같은 문제를 해결하기 위해서는 박막 트랜지스터의 제조공정을 개선하여 특히 포토리소그래피 공정의 수, 즉 사용되는 마스크수를 줄이도록 하는 것이 중요하다.
- [0060] 이에 대해 본 발명에서는 게이트라인과 데이터라인을 동시에 패터닝하며 콘택홀 형성 공정을 개선함으로써 마스크수를 감소시킨 액정표시장치의 제조방법을 제공한다.
- [0061] 이 때, 소오스/드레인전극은 화소전극과 동일 물질로 동시에 형성하여 포토리소그래피 공정의 감소에 따른 제조 공정 및 비용 감소의 효과를 얻게 된다.
- [0062] 또한, 본 발명은 상기 게이트라인과 데이터라인이 동일층 위에 형성되기 때문에 발생할 수 있는 쇼트 문제를 상기 교차 영역에서의 게이트라인 또는 데이터라인을 단선시키고 소오스/드레인전극을 형성하는 단계에서 서로 연결되도록 구성함으로써 해결한다.
- [0063] 이하, 첨부한 도면을 참조하여 본 발명에 따른 액정표시장치 및 그 제조방법의 바람직한 실시예를 상세히 설명한다.
- [0064] 도 3은 본 발명의 제 1 실시예에 따른 액정표시장치의 어레이 기판 일부를 나타내는 평면도로써, 실제의 액정표시장치에서는 N개의 게이트라인과 M개의 데이터라인이 교차하여 NxM개의 화소가 존재하지만 설명을 간단하게 하

기 위해 도면에는 단지 한 화소만을 나타내었다.

- [0065] 도면에 도시된 바와 같이, 어레이 기관(110)은 화소영역 위에 형성된 화소전극(118), 상기 기관(110) 위에 종횡으로 배열된 게이트라인(116)과 데이터라인(117), 그리고 상기 게이트라인(116)과 데이터라인(117)의 교차영역에 형성된 스위칭소자인 박막 트랜지스터로 이루어져 있다.
- [0066] 이 때, 상기 데이터라인(117)은 게이트라인(116)과 교차하는 부분이 단선되어 있으며, 상기 단선된 상하 데이터라인(117)은 제 2 절연막(미도시) 위에 형성된 제 2 연결라인(160)에 의해 전기적으로 접속되어 있다.
- [0067] 상기 박막 트랜지스터는 게이트라인(116)에 연결된 게이트전극(121), 데이터라인(117)에 연결된 소오스전극(122) 및 화소전극(118)에 연결된 드레인전극(123)으로 구성되어 있다. 또한, 상기 박막 트랜지스터는 게이트전극(121)과 소오스/드레인전극(122, 123)의 절연을 위한 제 1 절연막(미도시)과 제 2 절연막 및 상기 게이트전극(121)에 공급되는 게이트 전압에 의해 소오스전극(122)과 드레인전극(123) 간에 전도채널을 형성하는 액티브층(124)을 포함한다.
- [0068] 이 때, 상기 제 1 절연막과 제 2 절연막에 형성된 제 1 콘택홀(140a)을 통해 상기 소오스전극(122)의 일부는 액티브층(124)의 소오스영역과 전기적으로 접속하며 상기 드레인전극(123)의 일부는 액티브층(124)의 드레인영역과 전기적으로 접속하게 된다. 또한, 상기 소오스전극(122)의 다른 일부는 제 2 절연막에 형성된 제 2 콘택홀(140b)을 통해 데이터라인(117)과 전기적으로 접속하는 제 1 연결라인(150)을 구성하며, 상기 드레인전극(123)의 다른 일부는 화소영역 쪽으로 연장 형성되어 화소전극(118)을 구성한다.
- [0069] 상기 화소영역은 게이트라인(116)과 데이터라인(117)이 교차하여 정의되는 영역으로 화상표시 영역을 의미하며, 화소전극(118)은 인듐-틴-옥사이드와 같은 빛의 투과율이 뛰어난 투명 전도성 물질을 사용할 수 있다.
- [0070] 이 때, 본 실시예와 같이 상기 소오스/드레인전극(122, 123) 및 연결라인(150, 160)을 화소전극(118)과 동일한 물질로 동시에 형성하면 제조공정 및 비용을 감소시킬 수 있게 된다.
- [0071] 이하, 도 4a 내지 도 4e를 참조하여 본 실시예에 따른 액정표시소자의 제조공정을 자세히 설명한다.
- [0072] 도 4a 내지 도 4e는 도 3에 도시된 액정표시소자의 III-III'선에 따른 제조공정을 나타내는 순서도이다.
- [0073] 먼저, 도 4a에 도시된 바와 같이, 유리(10)와 같은 투명한 절연물질로 이루어진 기관(110) 위에 액티브 패턴(124)을 형성한다.
- [0074] 이 때, 상기 기관(110) 위에 실리콘산화막(SiO_2)으로 구성되는 버퍼막을 형성한 후 상기 버퍼막 위에 액티브 패턴(124)을 형성할 수도 있다. 상기 버퍼막은 유리기관(110) 내에 존재하는 나트륨(natrium; Na) 등의 불순물이 공정 중에 상부층으로 침투하는 것을 차단하는 역할을 한다.
- [0075] 상기 액티브 패턴(124)은 비정질 실리콘 박막 또는 결정화된 실리콘 박막으로 형성할 수 있으나, 본 실시예에서는 결정화된 다결정 실리콘 박막을 이용하여 박막 트랜지스터를 구성하였다. 다결정 실리콘 박막은 기관(110) 위에 비정질 실리콘 박막을 증착한 후 여러 가지 결정화 방식을 이용하여 형성할 수 있으며, 이를 설명하면 다음과 같다.
- [0076] 먼저, 비정질 실리콘 박막은 여러 가지 방법으로 증착하여 형성할 수 있으며, 상기 비정질 실리콘 박막을 증착하는 대표적인 방법으로는 저압 화학 기상 증착(Low Pressure Chemical Vapor Deposition; LPCVD) 방법과 플라즈마 화학 기상 증착(Plasma Enhanced Chemical Vapor Deposition; PECVD) 방법이 있다.
- [0077] 이후, 상기 비정질 실리콘 박막 내에 존재하는 수소원자를 제거하기 위한 탈수소화(dehydrogenation) 공정을 진행한 뒤 결정화를 실시한다. 이 때, 비정질 실리콘 박막을 결정화하는 방법으로는 크게 비정질 실리콘 박막을 고온 요로(furnace)에서 열처리하는 고상 결정화(Solid Phase Crystallization; SPC) 방법과 레이저를 이용하는 엑시머 레이저 어닐링(Eximer Laser Annealing; ELA) 방법이 있다.
- [0078] 다음으로, 도 4b에 도시된 바와 같이, 상기 기관(110) 전면에서 제 1 절연막(115a)을 증착한 후 상기 제 1 절연막(115a) 위에 게이트라인과 데이터라인을 형성하기 위한 알루미늄, 알루미늄 합금, 텅스텐(tungsten; W), 구리(copper; Cu), 크롬(chromium; Cr), 몰리브덴 등과 같은 도전성 금속(130) 물질을 증착한다.
- [0079] 다음으로, 도 4c에 도시된 바와 같이, 포토리소그래피 공정을 이용하여 상기 도전성 금속(130)을 패터닝함으로써 게이트전극(121)을 포함하는 게이트라인(116)과 데이터라인(117)을 형성한다.
- [0080] 이 때, 상기 게이트라인(116)과 데이터라인(117)이 제 1 절연막(115a) 위의 동일 층에 존재하게 되므로 서로 교

차하는 부분이 겹치게 된다. 따라서, 상기와 같이 겹치는 것을 방지하기 위하여 도 3에 도시된 바와 같이 게이트라인(116)과 데이터라인(117)이 교차하는 영역에서는 상기 게이트라인(116) 또는 데이터라인(117)을 단선시켜 서로 연결되지 않게 형성한다. 즉, 본 실시예에서는 데이터라인(117)을 단선시켜 상기 단선된 데이터라인(117) 사이로 게이트라인(116)이 통과하게 하여 서로 연결되지 않게 구성하였다.

- [0081] 이후, 상기 게이트전극(121)을 마스크로 상기 액티브 패턴(124)의 소정 영역에 불순물 이온을 주입하여 저항성 접촉층(ohmic contact layer)인 소오스영역(124a)과 드레인영역(124b)을 형성한다. 이 때, 상기 게이트전극(121)은 액티브 패턴(124)의 채널영역에 도펀트(dopant)가 침투하는 것을 방지하는 이온-스타퍼(ion stopper)의 역할을 하게 된다.
- [0082] 상기 액티브 패턴(124)의 전기적 특성은 주입되는 도펀트의 종류에 따라 바뀌게 되며, 상기 주입되는 도펀트가 붕소(B) 등의 3족 원소에 해당하면 P-타입 박막 트랜지스터로 인(P) 등의 5족 원소에 해당하면 N-타입 박막 트랜지스터로 동작을 하게 된다.
- [0083] 이 때, 상기 이온 주입 공정 후에 주입된 도펀트를 활성화하는 공정을 진행할 수도 있다.
- [0084] 다음으로, 도 4d에 도시된 바와 같이, 상기 게이트전극(121)이 형성된 기판 전면에 제 2 절연막(115b)을 증착한 후 포토리소그래피 공정을 통해 상기 제 1 절연막(115a)과 제 2 절연막(115b)을 일부 제거하여 소오스/드레인영역(124a, 124b)과 소오스/드레인전극간의 전기적 접촉을 위한 제 1 콘택홀(140a)을 형성하며, 상기 제 2 절연막(115b)을 일부 제거하여 소오스영역(124a)과 데이터라인(117)간의 전기적 접촉을 위한 제 2 콘택홀(140b) 및 단선된 상하 데이터라인(117) 사이의 전기적 접촉을 위한 제 3 콘택홀(140c)을 형성한다.
- [0085] 이 때, 상기 제 2 절연막(115b)은 고개구율을 위한 벤조사이클로부텐(Benzocyclobutene; BCB) 또는 아크릴계 수지(resin)와 같은 투명 유기절연물질로 형성할 수 있다.
- [0086] 마지막으로, 도 4e에 도시된 바와 같이, 상기 기판(110) 전면에 인듐-틴-옥사이드 또는 인듐-징크-옥사이드(Indium Zinc Oxide; IZO) 등과 같은 투과율이 뛰어난 투명 도전성 물질을 증착한 후 포토리소그래피 공정을 이용하여 상기 제 1 콘택홀(140a)을 통해 소오스영역(124a)과 연결되는 소오스전극(122) 및 드레인영역(124b)과 연결되는 드레인전극(123)을 형성하며, 상기 제 3 콘택홀(140c)을 통해 상기 단선된 상하 데이터라인(117)을 연결시키는 제 2 연결라인(160)을 형성한다.
- [0087] 상기 소오스전극(122)의 일부는 제 2 콘택홀(140b)을 통해 상기 소오스영역(124a)과 데이터라인(117)을 전기적으로 접속시키는 제 1 연결라인(150)을 구성하며, 상기 드레인전극(123)의 일부는 화소영역 쪽으로 연장 형성되어 화소전극(118)을 구성한다.
- [0088] 이 때, 본 실시예에서는 단선된 상하 데이터라인(117)의 연결을 위해 해당 화소영역의 데이터라인(117)에 상기 제 3 콘택홀(140c)을 하나 형성하였으나, 접촉 저항의 감소를 위해 상기 데이터라인(117) 위에 다수의 제 3 콘택홀(140c)을 형성할 수도 있다.
- [0089] 이와 같이 본 실시예에 따른 액정표시소자의 제조공정은 게이트라인과 데이터라인을 동시에 패터닝하며 제 1 콘택홀과 제 2 콘택홀을 하나의 마스크 공정으로 형성함으로써 종래의 제조공정에 비해 2번의 마스크 공정을 줄일 수 있게 된다. 그 결과 제조공정의 단순화에 따른 수율의 증가 및 제조비용의 감소 등의 효과를 제공한다.
- [0090] 또한, 본 실시예와 같이 소오스/드레인전극의 일부를 화소전극으로 구성하는 경우에는 기존의 액정표시소자에 비해 제조공정 및 비용이 더욱 감소되게 된다.
- [0091] 그러나, 상기와 같이 소오스/드레인전극을 인듐-틴-옥사이드와 같은 투명 도전막으로 형성하는 경우에는 액티브 패턴의 소오스/드레인영역과 소오스/드레인전극간의 접촉 저항이 일반적인 도전성 금속보다는 크다는 단점이 있으며, 이를 해결하기 위한 리프트 오프(lift off) 공정을 이용한 다른 실시예를 설명하면 다음과 같다.
- [0092] 상기 리프트 오프방법은 패턴화된 감광막 위에 도전성 금속을 증착한 후 상기 감광막을 제거하는 과정에서 상부에 증착된 금속을 동시에 제거하는 방법으로 추가적인 마스크를 필요로 하지 않아 제조공정 및 비용면에서 유리한 기술이다.
- [0093] 도 5a 내지 도 5e는 본 발명의 제 2 실시예에 따른 액정표시소자의 제조공정을 나타내는 순서도로써, 본 실시예의 특징인 리프트 오프 공정을 나타내고 있다.
- [0094] 먼저, 도 4a 내지 도 4c에 도시된 공정을 진행하여 제 1 절연막(215a)이 증착된 기판(210) 위에 게이트전극(221)을 포함하는 게이트라인(216)과 데이터라인(217)을 동시에 형성한다.

- [0095] 다음으로, 도 5a에 도시된 바와 같이, 상기 기판(210) 전면에서 제 2 절연막(215b)을 증착한 후 포토레지스트(photoresist; PR)(270)와 같은 감광성 물질을 소정의 두께로 도포한다.
- [0096] 상기 포토레지스트는 광원에 노광된 영역이 현상액과 반응하여 용해되는 노블락계 레진(Novolak based resin) 계열의 포지티브(positive) 포토레지스트와 노광 영역이 현상액과 반응하지 않는 아크릴계 모노머(Acryl based monomer) 계열의 네거티브(negative) 포토레지스트가 있다. 상기 포토레지스트는 점도 조정 역할을 하는 솔벤트, 감광을 일으키는 포토 액티브(photo active)계 화합물(compound), 화학적 결합 물질인 레진 등으로 구성된다.
- [0097] 이후, 도 5b에 도시된 바와 같이, 포토리소그래피 공정을 통해 상기 제 1 절연막(215a)과 제 2 절연막(215b)을 일부 제거하여 액티브 패턴(224)의 소정 영역을 노출시키는 제 1 콘택홀(240a) 및 제 2 절연막(215b)을 일부 제거하여 데이터라인(217)의 일부를 노출시키는 제 2 콘택홀(240b)과 제 3 콘택홀(240c)을 형성한다.
- [0098] 상기 제 1 콘택홀(240a)은 소오스/드레인영역(224a, 224b)과 소오스/드레인전극간의 전기적 접속을 위하여 형성하고 상기 제 2 콘택홀(240b)은 소오스영역(224a)과 데이터라인(217)간의 전기적 접속을 위하여 형성하며, 상기 제 3 콘택홀(240c)은 단선된 상하 데이터라인(217) 사이의 전기적 접속을 위하여 형성하게 된다.
- [0099] 다음으로, 도 5c에 도시된 바와 같이, 상기 패턴화된 포토레지스트(270)를 제거하지 않은 상태에서 기판(210) 전면에서 도전성 금속(230)을 얇게 증착한다. 이 때, 상기 도전성 금속(230)은 알루미늄, 알루미늄 합금, 몰리브덴 등의 저저항 금속 물질로 구성될 수 있다.
- [0100] 이후, 도 5d에 도시된 바와 같이, 리프트 오프방법에 의하여 포토레지스트(270)와 상기 포토레지스트(270) 패턴 위에 증착된 도전성 금속(230)을 동시에 제거한다.
- [0101] 이 때, 상기 도전성 금속(230)은 제 1 콘택홀(240a)과 제 2 콘택홀(240b) 및 제 3 콘택홀(240c) 내에만 남아있게 된다.
- [0102] 마지막으로, 도 5e에 도시된 바와 같이, 상기 결과물에 투명 도전성 물질을 증착한 후 포토리소그래피 공정을 이용하여 상기 제 1 콘택홀(240a)을 통해 소오스영역(240a)과 연결되는 소오스전극(222) 및 드레인영역(240b)과 연결되는 드레인전극(223)을 형성하며, 제 3 콘택홀(240c)을 통해 상기 단선된 상하 데이터라인(217)을 연결시키는 제 2 연결라인(260)을 형성한다.
- [0103] 상기 소오스전극(222)의 일부는 제 2 콘택홀(240b)을 통해 상기 소오스영역(224a)과 데이터라인(217)을 전기적으로 접속시키는 제 1 연결라인(250)을 구성하며, 상기 드레인전극(223)의 일부는 화소영역 쪽으로 연장 형성되어 화소전극(218)을 구성한다.
- [0104] 이 때, 상기 제 1 콘택홀(240a)과 제 2 콘택홀(240b)에 남아있는 도전성 금속(230)은 상기 데이터라인(217)과 소오스영역(224a) 사이 및 드레인전극(223)과 드레인영역(224b) 사이의 접촉 저항을 감소시키는 동시에 전기적 연결을 강화하는 역할을 하게 된다. 또한, 상기 제 3 콘택홀(240c)에 남아있는 도전성 금속(230)은 상기 단선된 상하 데이터라인(217) 사이의 접촉 저항을 감소시키는 동시에 전기적 연결을 강화하는 역할을 하게 된다.
- [0105] 상기한 설명에 많은 사항이 구체적으로 기재되어 있으나 이것은 발명의 범위를 한정하는 것이라기보다 바람직한 실시예의 예시로서 해석되어야 한다. 따라서 발명은 설명된 실시예에 의하여 정할 것이 아니고 특허청구범위와 특허청구범위에 균등한 것에 의하여 정하여져야 한다.

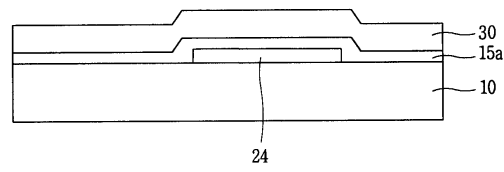
발명의 효과

- [0106] 상술한 바와 같이, 본 발명에 따른 액정표시소자의 제조방법은 게이트라인과 데이터라인을 함께 패터닝함으로써 사용되는 마스크수를 줄여 제조공정 및 비용을 절감시키는 효과를 제공한다.
- [0107] 또한, 소오스/드레인전극의 일부를 화소전극으로 구성하게 함으로써 제조공정 및 비용이 감소되게 된다.

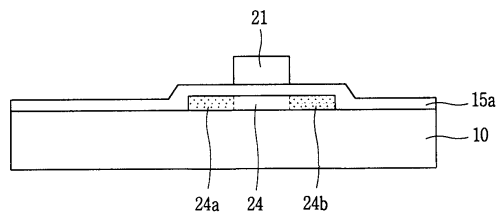
도면의 간단한 설명

- [0001] 도 1은 일반적인 액정표시장치의 어레이 기판 일부를 나타내는 평면도.
- [0002] 도 2a 내지 도 2g는 도 1에 도시된 액정표시소자의 I-I'선에 따른 제조공정을 나타내는 순서도.
- [0003] 도 3은 본 발명의 제 1 실시예에 따른 액정표시장치의 어레이 기판 일부를 나타내는 평면도.

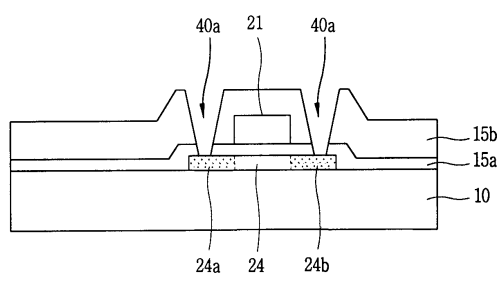
도면2b



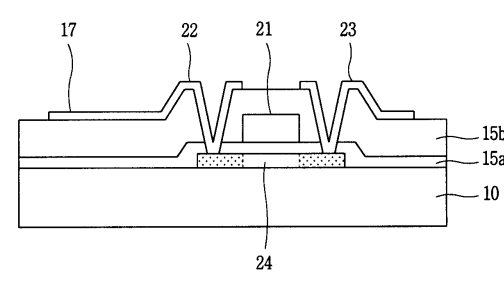
도면2c



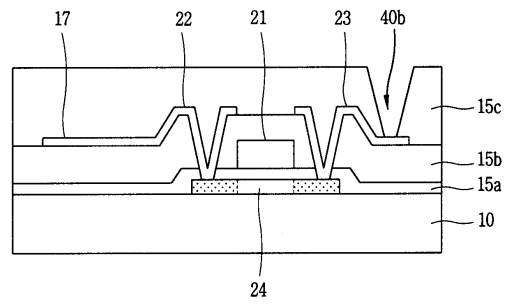
도면2d



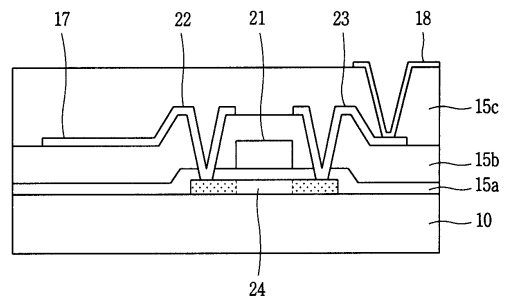
도면2e



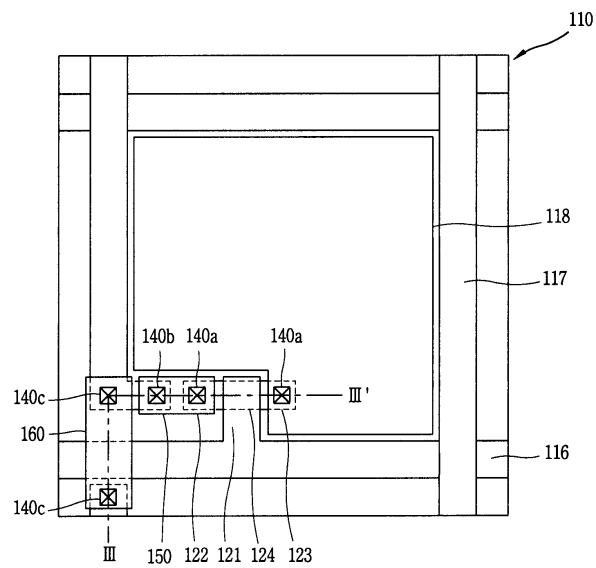
도면2f



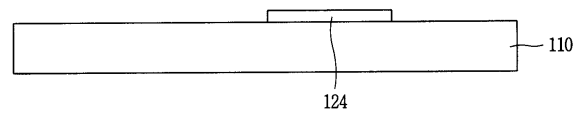
도면2g



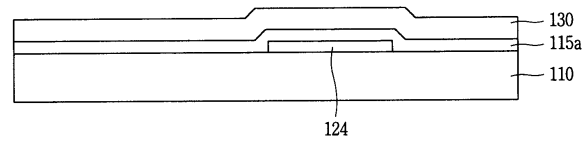
도면3



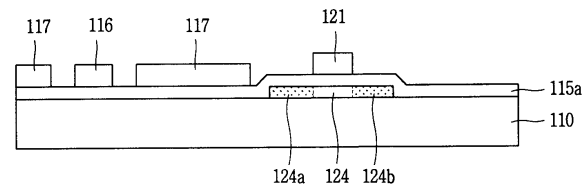
도면4a



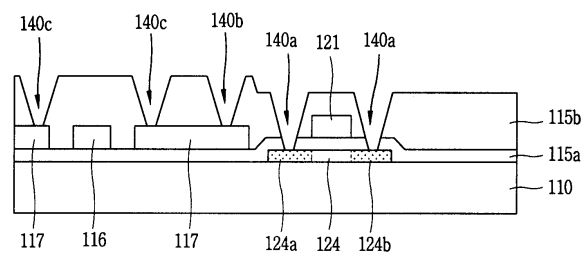
도면4b



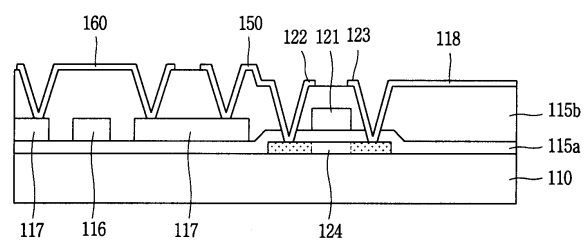
도면4c



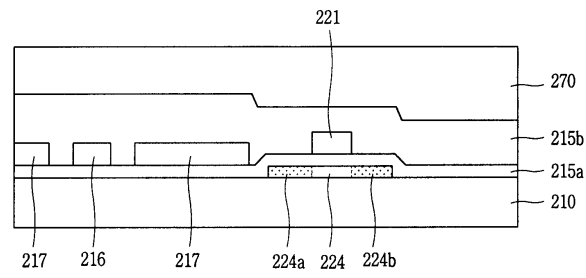
도면4d



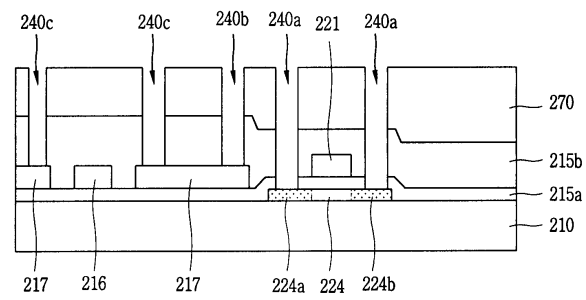
도면4e



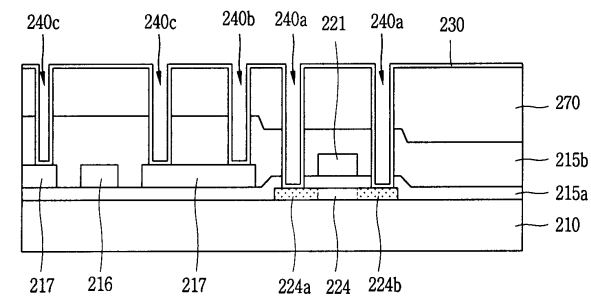
도면5a



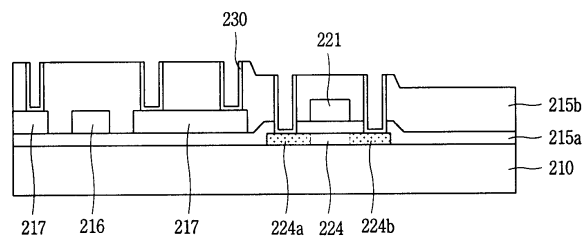
도면5b



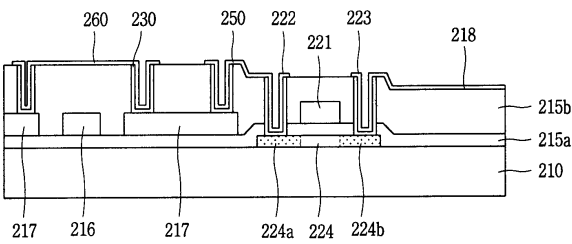
도면5c



도면5d



도면5e



This cross-sectional view shows a substrate 110 with a thin layer 115a on top. A patterned layer 115b is formed on 115a, with openings 124. A dotted layer 122 is located within these openings. Above the dotted layer are various structures: a central block 121, side blocks 123, and a large block 118. A series of trapezoidal structures 150 are on top of 118, with a flat top layer 160. Other labels include 117, 116, and 124.