



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년02월05일
(11) 등록번호 10-0940987
(24) 등록일자 2010년01월29일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2003-0099349

(22) 출원일자 2003년12월29일

심사청구일자 2008년05월09일

(65) 공개번호 10-2005-0068187

(43) 공개일자 2005년07월05일

(56) 선행기술조사문헌

KR1020010003742 A*

KR1020030087919 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

김빈

서울특별시양천구신정7동신시가지11

단지아파트1107동1307호

윤수영

경기도군포시오금동울곡아파트349-1604

전민두

서울특별시광진구중곡3동174-1번지

(74) 대리인

허용록

전체 청구항 수 : 총 16 항

심사관 : 임동재

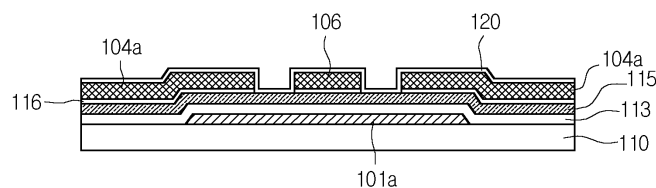
(54) 액정표시장치

(57) 요약

본 발명은 구동회로의 동일 면적내에서 실장되는 박막 트랜지스터를 보다 많이 형성할 수 있어, 구동회로를 형성할 면적을 절반 이하로 줄일 수 있는 액정표시장치를 개시한다.

본 발명의 액정표시장치는, 영상을 디스플레이하기 위한 액정패널; 및 상기 액정패널 상에 실장되고 출력을 제어하기 위한 스위칭소자를 구비한 구동회로를 포함하고, 상기 구동회로는, 제1 및 제2 드레인 라인들; 상기 제1 및 제2 드레인 라인들 사이에 배치된 소스 라인; 상기 제1 드레인 라인과 상기 소스 라인 사이 그리고 상기 제2 드레인 라인과 상기 소스 라인 사이에 배치된 제1 및 2 게이트 라인들; 상기 제1 및 2 드레인 라인들로부터 연장 형성된 제1 및 제2 드레인 전극들; 및 상기 소스 라인으로부터 제1 및 제2 방향으로 연장 형성된 제1 및 제2 소스 전극들을 포함하고, 상기 제1 소스 전극들은 상기 제1 게이트 라인 상에 상기 제1 드레인 전극들과 교대로 배치되고, 상기 제2 소스 전극들은 상기 제2 게이트 라인 상에 상기 제2 드레인 전극들과 교대로 배치된다.

대표도 - 도7



특허청구의 범위

청구항 1

영상을 디스플레이하기 위한 액정패널; 및

상기 액정패널 상에 실장되고 출력을 제어하기 위한 스위칭소자를 구비한 구동회로를 포함하고,

상기 구동회로는,

제1 및 제2 드레인 라인들;

상기 제1 및 제2 드레인 라인들 사이에 배치된 소스 라인;

상기 제1 드레인 라인과 상기 소스 라인 사이 그리고 상기 제2 드레인 라인과 상기 소스 라인 사이에 배치된 제1 및 제2 게이트 라인들;

상기 제1 및 제2 드레인 라인들로부터 연장 형성된 제1 및 제2 드레인 전극들; 및

상기 소스 라인으로부터 제1 및 제2 방향으로 연장 형성된 제1 및 제2 소스 전극들을 포함하고,

상기 제1 소스 전극들은 상기 제1 게이트 라인 상에 상기 제1 드레인 전극들과 교대로 배치되고, 상기 제2 소스 전극들은 상기 제2 게이트 라인 상에 상기 제2 드레인 전극들과 교대로 배치되고,

상기 소스 라인은 상기 제1 및 제2 드레인 라인들과 평행하게 배치되고,

상기 제1 및 제2 소스 전극들은 상기 소스 라인으로부터 상기 제1 및 제2 방향으로 교대로 연장되어 배치되고,

상기 제1 및 제2 게이트 라인들은 상기 제1 및 제2 드레인 라인들과 평행하게 배치되는 것을 특징으로 하는 액정표시장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

제1항에 있어서,

상기 제1 드레인 전극들은 상기 제1 게이트 라인에 수직으로 배치되는 것을 특징으로 하는 액정표시장치.

청구항 5

제1항에 있어서,

상기 제2 드레인 전극들은 상기 제2 게이트 라인에 수직으로 배치되는 것을 특징으로 하는 액정표시장치.

청구항 6

삭제

청구항 7

제1항에 있어서,

상기 제1 소스 전극들 중 하나는 상기 하나의 제1 소스 전극에 의해 형성된 박막트랜지스터들에 공통으로 사용되고, 상기 제1 드레인 전극들은 상기 제1 게이트 라인 상에서 상기 하나의 제1 소스 전극의 상·하부에 인접하여 배치되는 것을 특징으로 하는 액정표시장치.

청구항 8

제1항에 있어서,

상기 제2 소스 전극들 중 하나는 상기 하나의 제2 소스 전극에 의해 형성된 박막트랜지스터들에 공통으로 사용되고, 상기 제2 드레인 전극들은 상기 제2 게이트 라인 상에서 상기 하나의 제2 소스 전극의 상·하부에 인접하여 배치되는 것을 특징으로 하는 액정표시장치.

청구항 9

제1항에 있어서,

상기 제1 드레인 전극들 중 하나는 상기 하나의 제1 드레인 전극에 의해 형성된 박막트랜지스터들에 공통으로 사용되고, 상기 제1 소스 전극들은 상기 제1 게이트 라인 상에서 상기 하나의 제1 드레인 전극의 상·하부에 인접하여 배치되는 것을 특징으로 하는 액정표시장치.

청구항 10

제1항에 있어서,

상기 제2 드레인 전극들 중 하나는 상기 하나의 제2 드레인 전극에 의해 형성된 박막트랜지스터들에 공통으로 사용되고, 상기 제2 소스 전극들은 상기 제2 게이트 라인 상에서 상기 하나의 제2 드레인 전극의 상·하부에 인접하여 배치되는 것을 특징으로 하는 액정표시장치.

청구항 11

제1항에 있어서,

상기 스위칭소자는 병렬로 연결된 박막트랜지스터들을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 12

기관 상에 게이트 금속층을 증착하고 패터닝하여, 제1 및 제2 게이트 라인들을 형성하는 단계;

상기 제1 및 제2 게이트 라인들을 포함하는 상기 기관 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 반도체층을 형성하는 단계;

상기 반도체층 상에 소스·드레인 금속층을 증착하고 패터닝하여, 상기 제1 및 제2 게이트 라인들 사이에 소스 라인을 형성하고, 상기 소스 라인으로부터 제1 및 제2 방향으로 연장 형성된 제1 및 제2 소스 전극들을 형성하고, 상기 제1 게이트 라인의 좌측에 제1 드레인 라인을 형성하고, 상기 제1 드레인 라인으로부터 상기 제1 게이트 라인 방향으로 연장 형성된 제1 드레인 전극들을 형성하고, 상기 제2 게이트 라인의 우측으로 제2 드레인 라인을 형성하며, 상기 제2 드레인 라인으로부터 상기 제2 게이트 라인 방향으로 연장 형성된 제2 드레인 전극들을 형성하는 단계; 및

상기 기관의 상기 결과물 상에 보호막을 형성하는 단계를 포함하고,

상기 소스 라인은 상기 제1 및 제2 드레인 라인들 사이에 배치되고, 상기 제1 및 제2 드레인 라인들과 평행하게 배치되고,

상기 제1 및 제2 소스 전극들은 상기 소스 라인으로부터 상기 제1 및 2 방향으로 교대로 연장되어 배치되고,

상기 제1 드레인 라인과 상기 소스 라인 사이 그리고 상기 제2 드레인 라인과 상기 소스 라인 사이에 상기 제1 및 2 게이트 라인들이 배치되고,

상기 제1 및 제2 게이트 라인들은 상기 제1 및 제2 드레인 라인들과 평행하게 배치되는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 13

제12항에 있어서, 상기 반도체층은 상기 제1 및 제2 게이트 라인들 각각에 오버랩되도록 형성되는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 14

제12항에 있어서,

상기 제1 드레인 전극들은 상기 제1 게이트 라인에 수직으로 형성되는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 15

제12항에 있어서,

상기 제2 드레인 전극들은 상기 제2 게이트 라인에 수직으로 형성되는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 16

삭제

청구항 17

제12항에 있어서,

상기 제1 소스 전극들 중 하나는 상기 하나의 제1 소스 전극에 의해 형성된 박막트랜지스터들에 공통으로 사용되고, 상기 제1 드레인 전극들은 상기 제1 게이트 라인 상에서 상기 하나의 제1 소스 전극의 상·하부에 인접하여 형성되는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 18

제12항에 있어서,

상기 제2 소스 전극들 중 하나는 상기 하나의 제2 소스 전극에 의해 형성된 박막트랜지스터들에 공통으로 사용되고, 상기 제2 드레인 전극들은 상기 제2 게이트 라인 상에서 상기 하나의 제2 소스 전극의 상·하부에 인접하여 형성되는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 19

제12항에 있어서,

상기 제1 드레인 전극들 중 하나는 상기 하나의 제1 드레인 전극에 의해 형성된 박막트랜지스터들에 공통으로 사용되고, 상기 제1 소스 전극들은 상기 제1 게이트 라인 상에서 상기 하나의 제1 드레인 전극의 상·하부에 인접하여 형성되는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 20

제12항에 있어서,

상기 제2 드레인 전극들 중 하나는 상기 하나의 제2 드레인 전극에 의해 형성된 박막트랜지스터들에 공통으로 사용되고, 상기 제2 소스 전극들은 상기 제2 게이트 라인 상에서 상기 하나의 제2 드레인 전극의 상·하부에 인접하여 형성되는 것을 특징으로 하는 액정표시장치의 제조 방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0017] 본 발명은 액정표시장치에 관한 것으로, 보다 구체적으로는 구동회로가 실장되는 종래 면적내에서 보다 많은 박막 트랜지스터를 형성할 수 있어, 구동회로의 면적을 절반 이하로 줄일 수 있는 액정표시장치에 관한 것이다.

[0018] 통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여 액정표시장치는 도 1에 도시된 바와 같이 액정 셀들이 매트릭스 형태로 배열되어진 액정패널(5)과 이 액정패널

(5)을 구동하기 위한 구동회로부(7)를 구비한다.

- [0019] 액정패널(5)에는 게이트 버스 라인들과 데이터 버스 라인들이 교차하게 배열되고 그 게이트 버스 라인들과 데이터 버스 라인들의 교차로 마련되는 영역에 액정셀들이 위치하게 된다.
- [0020] 이 액정패널(5)에는 액정셀들 각각에 전계를 인가하기 위한 화소전극들과 공통전극이 마련된다. 화소전극들 각각은 스위칭 소자인 박막트랜지스터의 소스 및 드레인 단자들을 경유하여 데이터 버스 라인들 중 어느 하나에 접속된다.
- [0021] 박막 트랜지스터의 게이트 전극은 화소 전압 신호가 1라인분씩의 화소 전극들에게 인가되게 하는 게이트 버스 라인들 중 어느 하나에 접속된다. 박막트랜지스터의 게이트 전극은 화소 전압신호가 1라인분씩의 화소 전극들에게 인가되게끔 하는 게이트 버스 라인들 중 어느 하나에 접속되게 된다. 박막트랜지스터는 게이트 버스 라인에 공급되는 게이트 하이 전압(Vgh)에 응답하여 데이터 버스 라인에 공급되는 화소 전압이 해당 화소전극에 충전되게 한다.
- [0022] 즉, 액정셀들은 박막트랜지스터가 게이트 버스 라인에 순차적으로 공급되는 게이트 하이 전압(Vgh)에 의해 턴-온될때에 데이터 버스 라인으로부터의 해당 화소전압을 충전하여 다시 박막트랜지스터가 턴-온될때까지 충전전압을 유지하게 된다. 임의의 n번째 게이트 버스 라인의 액정셀에 충전된 화소 전압은 해당 화소 전극과 이전단 게이트 버스 라인과의 중첩에 의해 형성되어진 스토리지 커패시터(Cst)에 의해 유지되게 된다.
- [0023] 프레임마다 게이트라인들 각각에 는 통상 해당 게이트 버스 라인이 구동되는 시점, 즉 화소 전극에 화소 전압이 인가되게 하는 1 수평주기(1h) 동안에만 게이트 하이 전압이 공급되고 나머지 기간에는 게이트 로우 전압이 공급된다. 스토리지커패시터는 이전단 게이트라인에 공급되는 게이트로우전압에 의해 현재단 화소 전극에 충전된 전압을 유지하게된다.
- [0024] 구동회로부(7)는 게이트버스 라인들을 구동하기 위한 게이트 드라이버와 데이터 버스 라인들을 구동하기 위한 데이터 드라이버(17)와, 게이트 드라이버(27)와 데이터 드라이버(17)를 제어하기 위한 타이밍 제어부(11)와, 액정표시장치에서 사용되는 여러 가지의 구동전압들을 공급하는 전원공급부(도시하지 않음)를 구비한다. 타이밍 제어부(11)는 게이트 드라이버(27) 및 데이터 드라이버(17)의 구동 타이밍을 제어함과 아울러 데이터 드라이버(17)에 화소데이터 신호를 공급한다. 전원 공급부는 입력 전원을 이용하여 액정표시장치에서 필요로 하는 게이트 하이전압, 게이트 로우전압등과 같은 구동전압들을 생성한다. 게이트 드라이버(27)는 스캐닝신호를 게이트 버스 라인들에 순차적으로 공급하여 액정패널 상의 액정 셀들을 1라인분씩 순차적으로 구동한다. 데이터 드라이버는 게이트 버스 라인들중 어느 하나에 스캐닝 신호가 공급될 때마다 데이터 버스 라인들 각각에 화소 전압신호를 공급한다.
- [0025] 이에 따라, 액정표시장치는 액정셀별로 화소 전압신호에 따라 화소전극과 공통전극 사이에 인가되는 전계에 의해 광투과율을 조절함으로써 화상을 표시한다.
- [0026] 이들 중 액정패널(5)과 직접 접속되는 데이터 드라이버(17)와 게이트 드라이버(27)는 다수개의 IC(Integrated Circuit)들로 집적화된다. 집적화된 데이터 드라이브 IC(15)와 게이트 드라이브 IC(25) 각각은 TCP(Tape Carrier Package) 상에 실장되어 TAB(Tape Automated Bonding) 방식으로 액정패널의 접속되거나 COG(Chip On Glass) 방식으로 액정패널 상에 실장된다.
- [0027] 여기서 TCP(13, 23)를 통해 TAB 방식으로 액정패널에 접속되는 드라이브 IC(15, 25)들은 TCP(13, 23)에 접속되어진 PCB(Printed Circuit Board)(31, 33)에 실장되어진 신호라인들을 통해 외부로부터 입력되는 제어신호들 및 직류전압들을 공급받음과 아울러 상호 접속된다.
- [0028] 상세히 하면, 데이터 드라이브 IC(15)들은 데이터 PCB(31)에 실장된 신호라인들을 통해 직렬로 접속됨과 아울러 타이밍 제어부(11)로부터의 제어신호들 및 화소 데이터 신호와 전원공급부로부터의 구동전압들을 공통적으로 공급받게된다.
- [0029] 게이트 드라이브 IC(25)들은 게이트 PCB(33)에 실장된 신호라인들을 통해 직렬로 접속됨과 아울러 타이밍 제어부로부터의 제어신호들과 전원공급부로부터의 구동전압들을 공통적으로 공급받게 된다.
- [0030] 이와 같은 액정표시장치는 박형화 및 제작비용 감소를 위해 최근에는 도 2에 도시된 바와 같이 게이트 구동회로를 액정패널에 형성하거나 더 나아가, 도 3에 도시된 바와 같이 액정패널에 게이트 구동회로 뿐만 아니라, 부분적으로 데이터 구동회로를 형성하는 구조로 발전해 가고 있다.

- [0031] 한편, 이와 같은 액정표시장치의 구동회로부에는 미국 특허발명 US 6, 552, 768에서 제안된 바 있는 하나의 거대 박막 트랜지스터로 이루어진 스위칭소자가 이용된다.
- [0032] 이러한, 거대 박막 트랜지스터에는 빠른 응답속도를 갖지만 실리콘 층을 레이저로 결정화하는 등의 공정상의 어려움이 있는 폴리 실리콘 보다 공정상의 간편함과 비교적 균일성이 좋은 비정질 실리콘이 이용된다.
- [0033] 도 4에 도시된 하나의 박막 트랜지스터로 이루어진 스위칭 소자는 하부기판위에 형성된 게이트 라인(52)에 접속된 게이트 전극(56)과, 소스 라인(64)과 접속된 소스전극(60)과, 소스전극(60)과 마주보며 드레인 라인(73)에 접속된 드레인 전극(72)과, 게이트 전극(56)과 게이트 절연막(도시하지 않음)을 사이에 두고 소스전극(60)과 드레인 전극(72) 사이에 채널을 형성하는 반도체층(68)을 구비한다.
- [0034] 여기서, 반도체층(68)은 활성층과, 소스전극(60) 및 드레인전극(72)과 오믹 접촉을 위한 오믹접촉층이 적층된 구조를 갖는다.
- [0035] 이와 같은, 구동회로의 스위칭 소자는 비교적 높은 전압의 스위칭을 위해 상대적으로 큰 채널폭(W1)을 갖는다. 즉, 스위칭소자는 하나의 화소영역에 하나의 박막 트랜지스터가 구비되는 구조 및 일본 공개특허공보 특개평5-341316에 제안된 하나의 화소 영역에 복수개의 박막 트랜지스터가 구비되는 구조와는 달리 상대적으로 큰 채널폭을 갖는다.
- [0036] 예를 들어, 화소 영역에 형성되는 박막 트랜지스터의 채널폭은 수나지 수십 μm 정도이고, 구동회로에 스위칭소자의 채널폭(W1)은 수천 내지 수만 μm 정도이다.
- [0037] 그러나, 상기와 같은 종래 기술에서는 비정질 실리콘을 사용하여 채널층을 구현하기 때문에 거대한 박막 트랜지스터를 형성하여야하는데, 실(seal) 공정 마진의 요구에 의하여 한계가 있다.
- [0038] 즉, 종래 기술에서는 큰 채널폭을 갖도록 병렬 연결된 박막 트랜지스터를 기판 상에 형성하여야하지만, 실마진 영역을 넘어서 형성할 수 없으므로 종래 기술과 같은 박막 트랜지스터 구조로는 큰 박막 트랜지스터를 기판 상에 형성하는데 한계가 있다.
- [0039] 또한, 이렇게 박막 트랜지스터 형성 영역이 확대되면, 제조 비용이 상승하고 액정표시장치에 사용되는 기판의 크기가 증가하여, 경박 단소화를 추구하는 현재 요구를 만족시킬 수 없다.
- [0040] 따라서, 기판 상에 형성하는 구동회로의 면적을 최소화하면서 넓은 채널층을 갖는 박막 트랜지스터 제작이 요구된다.

발명이 이루고자 하는 기술적 과제

- [0041] 본 발명은, 구동회로에서 2개의 박막 트랜지스터에 하나의 소스 전극이 사용될 수 있도록 하거나, 또한 이와 대응되도록 하나의 드레인전극에 대해 두 개의 소스 전극이 사용되도록 함으로써, 종래 구동회로가 형성되던 면적 내의 박막 트랜지스터의 개수보다 2배 이상의 박막 트랜지스터를 형성할 수 있는 액정표시장치를 제공함에 그 목적이 있다.

발명의 구성 및 작용

- [0042] 상기한 목적을 달성하기 위한, 본 발명에 따른 액정표시장치는, 영상을 디스플레이하기 위한 액정패널; 및 상기 액정패널 상에 실장되고 출력을 제어하기 위한 스위칭소자를 구비한 구동회로를 포함하고, 상기 구동회로는, 제 1 및 제2 드레인 라인들; 상기 제1 및 제2 드레인 라인들 사이에 배치된 소스 라인; 상기 제1 드레인 라인과 상기 소스 라인 사이 그리고 상기 제2 드레인 라인과 상기 소스 라인 사이에 배치된 제1 및 2 게이트 라인들; 상기 제1 및 2 드레인 라인들로부터 연장 형성된 제1 및 제2 드레인 전극들; 및 상기 소스 라인으로부터 제1 및 제2 방향으로 연장 형성된 제1 및 제2 소스 전극들을 포함하고, 상기 제1 소스 전극들은 상기 제1 게이트 라인 상에 상기 제1 드레인 전극들과 교대로 배치되고, 상기 제2 소스 전극들은 상기 제2 게이트 라인 상에 상기 제2 드레인 전극들과 교대로 배치된다.

본 발명에 따른 액정표시장치의 제조 방법은, 기판 상에 게이트 금속층을 증착하고 패터닝하여, 제1 및 제2 게이트 라인들을 형성하는 단계; 상기 제1 및 제2 게이트 라인들을 포함하는 상기 기판 상에 게이트 절연막을 형성하는 단계; 상기 게이트 절연막 상에 반도체층을 형성하는 단계; 상기 반도체층 상에 소스/드레인 금속층을 증착하고 패터닝하여, 상기 제1 및 제2 게이트 라인들 사이에 소스 라인을 형성하고, 상기 소스 라인으로부터 제1 및 제2 방향으로 연장 형성된 제1 및 제2 소스 전극들을 형성하고, 상기 제1 게이트 라인의 좌측에 제1 드

레인 라인을 형성하고, 상기 제1 드레인 라인으로부터 상기 제1 게이트 라인 방향으로 연장 형성된 제1 드레인 전극들을 형성하고, 상기 제2 게이트 라인의 우측으로 제2 드레인 라인을 형성하며, 상기 제2 드레인 라인으로부터 상기 제2 게이트 라인 방향으로 연장 형성된 제2 드레인 전극들을 형성하는 단계; 및 상기 기판의 상기 결과물 상에 보호막을 형성하는 단계를 포함한다.

- [0043] 삭제
- [0044] 삭제
- [0045] 삭제
- [0046] 삭제
- [0047] 삭제
- [0048] 삭제
- [0049] 삭제
- [0050] 삭제
- [0051] 본 발명에 의하면, 구동회로에서 2개의 박막 트랜지스터에 하나의 소스 전극이 사용될 수 있도록 하고, 또한 이와 대응되도록 하나의 드레인전극에 대해 두 개의 소스 전극이 사용되도록 함으로써, 동일 면적에 대하여 2배 이상의 박막 트랜지스터를 형성할 수 있는 이점이 있다.
- [0052] 이하, 첨부한 도면에 의거하여 본 발명의 바람직한 실시 예를 자세히 설명하도록 한다.
- [0053] 도 5는 본 발명에 따른 액정표시장치의 구동회로의 일부를 나타낸 평면도이다.
- [0054] 도 5에 도시된 액정표시장치의 구동회로는 구동회로가 형성될 영역의 양측 가장자리에 제 1 드레인 라인(103a)과 제 2 드레인 라인(103b)이 형성되어 있고, 상기 제 1 드레인 라인(103a)과 제 2 드레인 라인(103b) 사이의 중심 영역에는 하나의 소스 라인(105)이 형성되어있다.
- [0055] 그리고 상기 제 1 드레인 라인(103a)과 소스 라인(105) 사이에는 제 1 게이트 라인(101a)이 상기 제 1 드레인 라인(103a)과 소스 라인(105)에 평행하게 형성되어 있고, 상기 소스 라인(105)과 제 2 드레인 라인(103b) 사이에는 제 2 게이트 라인(101b)이 상기 소스 라인(105)과 제2 드레인 라인(103b)에 평행하게 형성되어 있다.
- [0056] 상기 제 1 드레인 라인(103a)에서는 다수개의 제 1 드레인전극(104a)이 형성되어 있고, 이에 대응하도록 마주하는 상기 소스 라인(105)에서도 다수개의 소스 전극(106)이 형성되어 있다.
- [0057] 상기 제 1 드레인 라인(103a)과 연결된 다수개의 제 1 드레인전극들(104a)은 상기 소스 라인(105)과 연결된 다수개의 소스 전극(106)과 상기 제 1 게이트 라인(101a)에 수직으로 오버랩되면서 소정의 간격을 두고 배치되어 있다.
- [0058] 즉, 상기 제 1 게이트 라인(101a)을 공통 게이트 전극으로 하면서 소스/제1 드레인전극(104a, 106)이 교대로 배치되어 복수개의 박막 트랜지스터를 형성하고 있고, 이렇게 형성된 상기 박막 트랜지스터는 서로 병렬로 연결되어 있다.
- [0059] 이와 대응되도록 상기 제 2 드레인 라인(103b)과 소스 라인(105) 사이에도 제 2 게이트 라인(101b)을 공통 게이

트 전극으로 사용한 다수개의 박막 트랜지스터가 병렬로 연결된 구조를 한다.

- [0060] 그러므로 본 발명에서의 박막 트랜지스터의 구조는 상기 소스 라인(105)을 중심으로 좌우측이 대칭되어 다수개의 박막 트랜지스터를 형성하고, 이들은 서로 병렬로 연결된 구조를 하고 있다.
- [0061] 또한, 상기 제 1 드레인 라인(103a)과 연결된 다수개의 제 1 드레인전극(104a)과 소스 라인(105)과 연결된 다수개의 소스 전극(106)은 상기 제 1 게이트 라인(101a)과 수직으로 교차배열 되면서, 상기 제 1 드레인전극들(104a)과 소스 전극들(106)은 소정의 간격을 두고 배열되어 있다.
- [0062] 마찬가지로 구조로서, 상기 제 2 드레인 라인(103b)과 제 2 드레인전극(104b), 소스 라인(105)과 소스 전극(106)에 의하여 상기의 제 1 드레인 라인(103a), 제 1 드레인전극(104a), 소스 라인(105), 소스 전극(106)이 구성하는 박막 트랜지스터를 구성한다.
- [0063] 도면에서 도시하였지만, 설명하지 않은 107은 박막 트랜지스터의 채널층과 오믹접촉층으로 구성된 반도체층을 나타낸다.
- [0064] 따라서, 본 발명에서는 하나의 소스 전극이 상하측에 배치된 드레인전극들과 박막 트랜지스터를 형성하는 구조를 하거나, 반대로 하나의 드레인전극이 상하측에 배치된 두 개의 소스 전극과 함께 박막 트랜지스터를 형성하므로, 동일 면적내에 두 개 이상의 박막 트랜지스터를 구현할 수 있게 된다.
- [0065] 이때, 소스 전극은 두 개의 박막 트랜지스터에 대하여 공통 소스 전극으로 사용된다.
- [0066] 따라서, 종래 기술에서 박막 트랜지스터를 형성하던 면적내에서 보다 많은 박막 트랜지스터를 형성할 수 있는 이점이 있다.
- [0067] 도 6은 상기 도 5에 도시된 구동회로에 형성된 스위칭소자를 구체적으로 도시한 평면도이고, 도 7은 상기 도 6의 I-I'를 수직 절단한 단면도이다.
- [0068] 도 6 및 도 7에 도시된 바와 같이, 하부 기판 위에 형성된 제 1 드레인 라인(103a)과 연결되어 있는 다수개의 제 1 드레인전극(104a)과 소스 라인(105)과 연결되어 있는 다수개의 소스 전극(106)이 제 1 게이트 라인(101a) 상에 수직으로 교차 배열되어 있다.
- [0069] 상기 소스 라인(105)은 좌우 양측으로 다수개의 소스 전극들(106)이 형성되어 있는데, 그중 상기 제 1 드레인 라인(103a) 방향으로 형성되어 있는 소스 전극들(106)과 상기 제 1 드레인 라인(103a)의 드레인전극들(104a)과 소정의 간격을 두고 교대로 배치되어 있다.
- [0070] 따라서, 제 1 게이트 라인(101a) 상에는 상기 제 1 드레인 라인(103a)의 전극들(104a)과 소스 전극들(106)이 수직으로 교차 배열되어 있다.
- [0071] 그리고, 상기 소스 라인(105)과 연결되어 있는 소스 전극들(106) 중에서 어느 하나는 상기 제 1 드레인 라인(103a)의 드레인전극들(104a) 두 개와 대응하면서 박막 트랜지스터를 형성하므로, 인접한 두 개의 박막 트랜지스터에 대하여 하나의 소스 전극이 공통으로 사용된다.
- [0072] 또한, 상기 제 1 게이트 라인(101a) 상부에 수직으로 오버랩되는 소스 전극(106)의 양측에 배치되어 있는 제 1 드레인전극들(103a)과 박막 트랜지스터를 형성하므로, 동일 영역에서 보다 큰 박막 트랜지스터를 구현할 수 있다.
- [0073] 그리고, 제 1 게이트 라인(101a)과 드레인전극들(104a), 소스 전극들(106)이 교차 배열되는 영역에는 박막 트랜지스터의 채널층 역할을 하는 반도체 층(107)을 구비한다.
- [0074] 여기서, 반도체층(107)은 채널층과 소스 전극 및 드레인전극과 오믹 접촉을 위한 오믹접촉층이 적층된 구조를 갖는다.
- [0075] 도 8a 내지 도 8d는 도 7에 도시된 스위칭소자의 제조방법을 단계적으로 도시한 단면도이다.
- [0076] 도 8a에 도시된 바와 같이, 하부 기판(110) 상에 스퍼터링 방법 등의 증착방법을 통해 게이트 금속층이 증착된 후 마스크를 이용한 포토 공정과 식각 공정으로 제 1 게이트 라인(101a)이 형성된다. 도면에는 도시하지 않았지만 동일한 형태로 제 2 게이트 라인이 형성된다.
- [0077] 여기서, 게이트 금속층으로는 크롬(Cr), 몰리브덴(Mo), 알루미늄계 금속 등이 단일층 또는 이중층 구조로 이용된다.

- [0078] 그런 다음, 도 8b에 도시된 바와 같이, 제 1 게이트 라인(101a)이 형성된 하부 기판(110) 상에 게이트 절연막(113)을 도포하는데, 상기 게이트 절연막(113)의 재료로는 산화 실리콘 또는 질화 실리콘등의 무기 절연물질이 이용된다.
- [0079] 상기 게이트 절연막(113)이 형성된 하부 기판(110) 상에 PECVD, 스퍼터링 등의 증착방법을 통해 박막 트랜지스터의 채널층 역할을 할 비정질 실리콘층(115), 오믹접촉층 역할을 할 n^+ 비정질 실리콘층(116)이 순차적으로 형성된다.
- [0080] 상기 비정질 실리콘층(115) 및 n^+ 비정질실리콘층(116) 위에 마스크를 이용한 포토공정 및 식각공정을 이용하여 패터닝된다. 이에 따라, 상기 게이트 라인폭 보다 다소 넓은 폭을 갖는 통 구조로 채널층, 오믹접촉층으로 구성된 반도체층(115, 116)이 형성된다.
- [0081] 상기 반도체층(115, 116)은 채널층(115) 및 오믹접촉층(116)이 이중으로 적층된 구조를 갖는다.
- [0082] 도 8c에 도시된 바와 같이, 반도체 층(115, 116)이 형성된 하부 기판(110) 상에 PECVD, 스퍼터링 등의 증착 방법을 통해 소스/드레인 금속층이 전면 형성된다.
- [0083] 상기 소스/드레인 금속층 위에 마스크를 이용한 포토공정으로 포토레지스트 패턴을 형성하게 된다.
- [0084] 이어서, 포토레지스트 패턴을 이용한 습식 식각공정으로 소스/드레인 금속층이 패터닝된다. 이에 따라, 소스 라인(105), 소스 전극(106)과 제 1 드레인 라인(103a)과 제 1 드레인전극(104a), 제 2 드레인 라인(103b)과 제 2 드레인전극들(104a)이 형성된다.
- [0085] 그런 다음, 상기 소스 전극들(106)과 드레인전극들(104a)이 교대로 배열되는 영역에 존재하는 오믹접촉층(116)이 노출되어 외부로 채널층(115)이 노출된다.
- [0086] 여기서, 소스/드레인 금속으로는 몰리브덴(Mo), 티타늄, 탄탈륨, 몰리브덴 합금(Mo alloy)등이 이용된다.
- [0087] 상기와 같이 제 1 드레인 라인(103a), 제 2 드레인 라인(103b), 제 1 드레인전극들(104a)과 제 2 드레인전극들(104a), 소스 라인(105), 소스 전극들(106)이 형성된 하부 기판 상에 PECVD 등의 증착방법으로 도 8d에 도시된 바와 같이 보호막(120)이 기판(110)의 전면 형성된다.
- [0088] 그러므로 본 발명에서는 종래에 박막 트랜지스터를 형성할 수 있는 영역을 동일하게 할 때, 두배 이상의 박막 트랜지스터를 형성할 수 있어, 구동회로로 형성되는 박막 트랜지스터의 형성 영역을 절반 이하로 줄일 수 있게 된다.

발명의 효과

- [0089] 이상에서 자세히 설명된 바와 같이, 본 발명은 구동회로에서 2개의 박막 트랜지스터에 하나의 소스 전극이 사용될 수 있도록 하고, 또한 이와 대응되도록 하나의 드레인전극에 대해 두 개의 소스 전극이 사용되도록 함으로써, 동일 면적에 대하여 2배 이상의 박막 트랜지스터를 형성할 수 있는 이점이 있다.
- [0090] 본 발명은 상기한 실시예에 한정되지 않고, 이하 청구 범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능할 것이다.

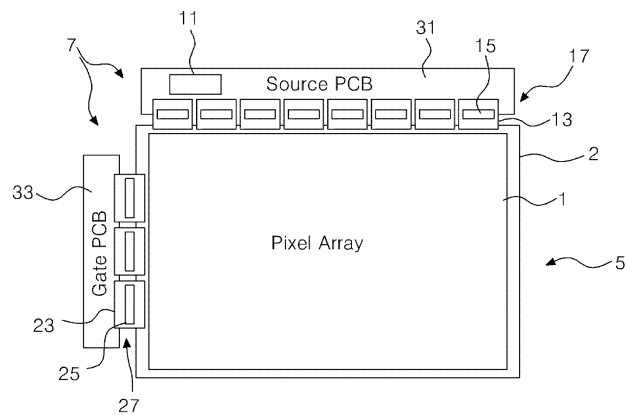
도면의 간단한 설명

- [0001] 도 1은 종래의 액정표시장치의 구성을 개략적으로 도시한 평면도.
- [0002] 도 2는 게이트 구동회로가 액정패널내에 형성된 액정표시장치를 개략적으로 도시한 평면도.
- [0003] 도 3은 게이트 구동회로와 부분적으로 데이터 구동회로가 액정패널내에 형성된 액정표시장치를 개략적으로 도시한 평면도.
- [0004] 도 4는 종래의 액정표시장치의 구동회로에 형성된 하나의 박막 트랜지스터로 이루어진 스위칭 소자를 도시한 평면도.
- [0005] 도 5는 본 발명에 따른 액정표시장치의 구동회로의 일부를 나타낸 평면도.
- [0006] 도 6은 상기 도 7에 도시된 구동회로에 형성된 스위칭 소자를 구체적으로 도시한 평면도.

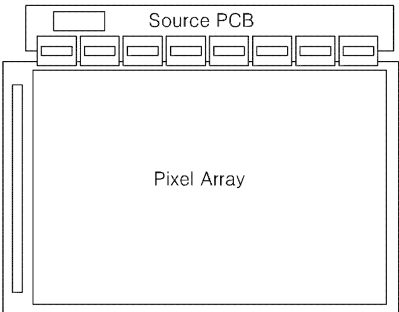
- [0007] 도 7는 상기 도 8의 I-I'를 수직 절단한 단면도.
- [0008] 도 8a 내지 도 8d는 도 7에 도시된 스위칭 소자의 제조방법을 단계적으로 도시한 단면도.
- [0009] *도면의 주요 부분에 대한 부호의 설명*
- | | |
|-------------------------|------------------|
| [0010] 101a: 제 1 게이트 라인 | 101b: 제 2 게이트 라인 |
| [0011] 103a: 제 1 드레인 라인 | 103b: 제 2 드레인 라인 |
| [0012] 104a: 제 1 드레인 전극 | 104b: 제 2 드레인 전극 |
| [0013] 105: 소스 라인 | 106a: 제 1 소스 전극 |
| [0014] 106b: 제 2 소스 전극 | 110: 글라스 기판 |
| [0015] 113: 게이트 절연막 | 115: 채널층 |
| [0016] 116: 오믹접촉층 | 120: 보호막 |

도면

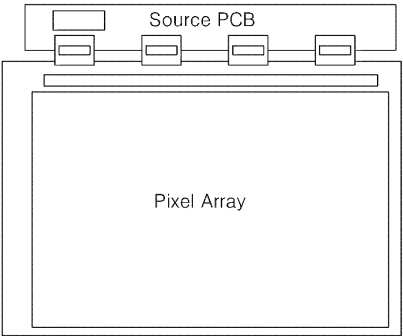
도면1



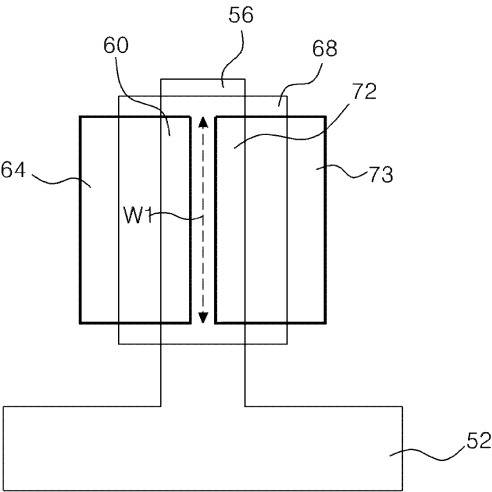
도면2



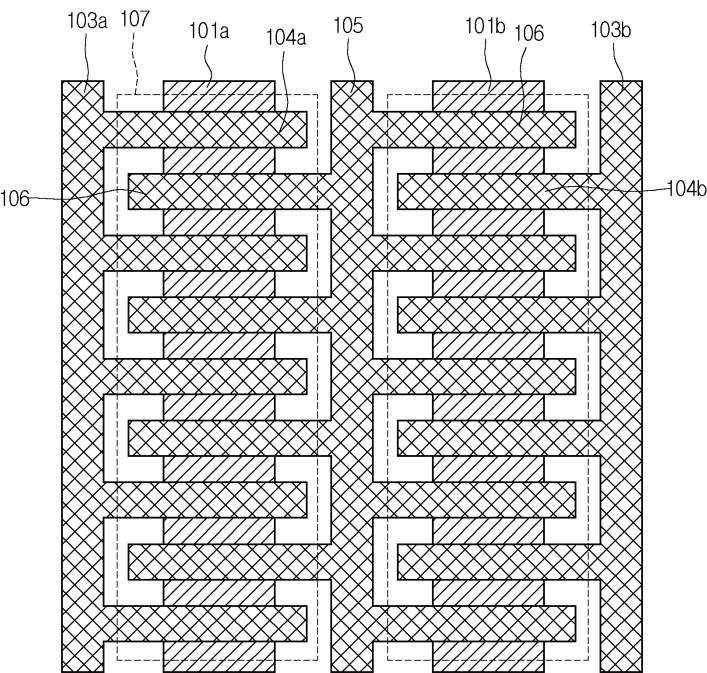
도면3



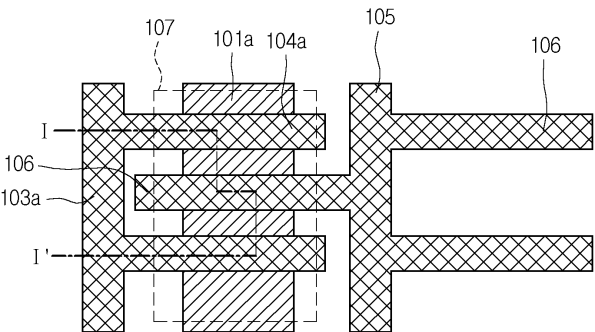
도면4



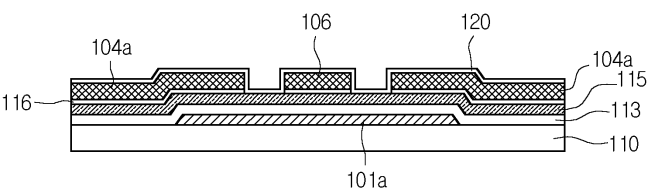
도면5



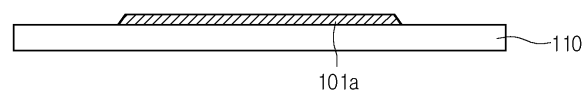
도면6



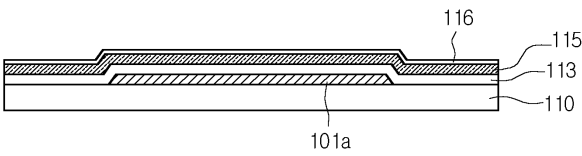
도면7



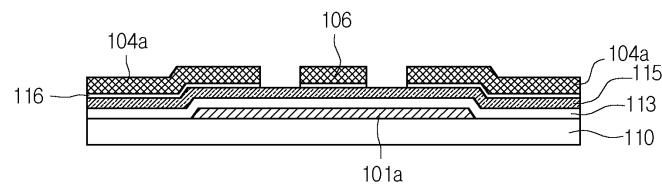
도면8a



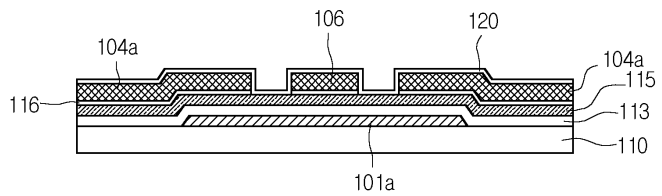
도면8b



도면8c



도면8d



本发明公开了一种液晶显示装置，其能够形成更多数量的薄膜晶体管，以安装在驱动电路的相同区域内，从而将形成驱动电路的面积减小到一半以下。本发明的液晶显示装置包括：用于显示图像的液晶面板；并且驱动电路安装在液晶面板上并具有用于控制输出的开关元件，该驱动电路包括：第一和第二漏极线；源极线设置在第一和第二漏极线之间；第一和第二栅极线设置在第一漏极线和源极线之间以及第二漏极线和源极线之间；第一和第二漏电极从第一和第二漏极线延伸；第一和第二源电极从源极线沿第一和第二方向延伸，其中第一源电极与第一栅极线上的第一漏电极交替排列，并且第二源电极与第二栅极线上的第二漏电极交替布置。

