



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년12월21일
(11) 등록번호 10-0787140
(24) 등록일자 2007년12월12일

(51) Int. Cl.
G02F 1/136 (2006.01)
(21) 출원번호 10-2001-7009622
(22) 출원일자 2001년07월30일
심사청구일자 2005년11월10일
번역문제출일자 2001년07월30일
(65) 공개번호 10-2001-0101885
(43) 공개일자 2001년11월15일
(86) 국제출원번호 PCT/EP2000/011410
국제출원일자 2000년11월15일
(87) 국제공개번호 WO 2001/40856
국제공개일자 2001년06월07일
(30) 우선권주장
9928353.3 1999년12월01일 영국(GB)
(56) 선행기술조사문헌
KR1019980041817A
전체 청구항 수 : 총 12 항

(73) 특허권자
티피오 홍콩 홀딩 리미티드
중국 홍콩 사틴 싸이언스 파크 이스트 애비뉴 필
립스 일렉트로닉스 빌딩 5, 2층
(72) 발명자
바테르스비, 슈테펜, 요트.
네덜란드, 아아아인드호벤엔엘-5656프로프. 홀스틀
란6.
데아네, 슈테벤, 체.
네덜란드, 아아아인드호벤엔엘-5656프로프. 홀스틀
란6.
(74) 대리인
문경진

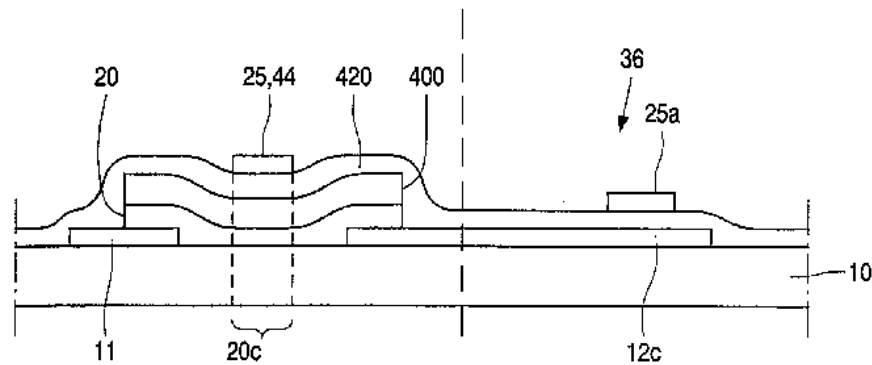
심사관 : 임동제

(54) 액정 디스플레이를 위한 트랜지스터 기관과 그 제작 방법, 및 액정 디스플레이와 그 제작 방법

(57) 요약

액정 디스플레이를 위한 트랜지스터 기관은 절연된-게이트가 스테거 된 TFT들의 어레이 및 각 트랜지스터와 결합된 커패시터(36)를 포함한다. 상기 게이트 절연체(400,420)는 제 1 무기층(400)과 제 2의, 폴리머 또는 스핀-온 유리층(420)을 포함하며, 상기 층 중에 오직 폴리머 또는 스핀-온 유리층(420) 만이 상기 커패시터(36)로 연장하여 커패시터 유전체를 한정한다.

대표도 - 도4



(81) 지정국

국내특허 : 일본, 대한민국

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 리히
텐슈타인, 독일, 덴마크, 스페인, 프랑스, 영국,
그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코,
네덜란드, 포르투갈, 스웨덴, 핀란드, 사이프러스

특허청구의 범위

청구항 1

기관과,

상기 기관 위에 있으며, 실질적으로 동일 평면 상에 있는 소스와 드레인 영역 및 게이트 영역, 상기 게이트 영역과 상기 소스 및 드레인 영역 사이에 놓인 게이트 절연체를 구비한 절연된-게이트가 스테거 된 구조를 포함하는 트랜지스터와,

상기 트랜지스터와 결합되어 있고, 상기 트랜지스터에 인접해 놓여 있으며, 커패시터 유전체에 의해 분리된 두 전극의 스택 구조를 포함하는 커패시터를 포함하는 액정 디스플레이를 위한 트랜지스터 기관으로서,

상기 게이트 절연체는 제 1 무기층 및 제 2의 폴리머 또는 스핀-온 유리층을 포함하며, 상기 제 1 무기층 및 제 2의 폴리머 또는 스핀-온 유리층 중에서 상기 제 2의 폴리머 또는 스핀-온 유리층이 상기 커패시터로 연장하여 상기 커패시터 유전체를 한정하고,

상기 제 1 무기층은 진공 증착 공정에 의해 증착되고, 상기 제 2 폴리머 또는 스핀-온 유리층은 비-진공 공정에 의해 증착되는,

트랜지스터 기관.

청구항 2

제 1 항에 있어서, 상기 폴리머 또는 스핀-온 유리층은 폴리이미드를 포함하는, 트랜지스터 기관.

청구항 3

제 1 항 또는 제 2 항에 있어서, 상기 트랜지스터는 상부 게이트(top gate) 트랜지스터를 포함하는, 트랜지스터 기관.

청구항 4

제 1 항 또는 제 2 항에 기재된 트랜지스터 기관 위에 제공된 복수의 픽셀을 포함하는, 액정 디스플레이로서, 각 픽셀은 각각의 트랜지스터 및 커패시터를 포함하며,

여기서, 상기 제 1 무기층 및 제 2의 폴리머 또는 스핀-온 유리층의 두께는, 각 픽셀의 충전 시간 상수가 상기 커패시터 유전체를 한정하는 제 2 폴리머 또는 스핀-온 유리층의 두께에서의 1차 변화에 불변이 되도록, 선택되는,

액정 디스플레이.

청구항 5

제 4 항에 있어서, 각 픽셀은 용량 C_{store} 의 커패시터를 포함하며, 용량 C_{LC} 를 갖는 액정 물질과 결합되어 있으며, 여기서 상기 제 1 무기층의 두께 d_{norg} 및 상기 제 2의 폴리머 또는 스핀-온 유리층의 두께 d_{poly} 는 관계식

$$d_{poly} = (C_{store}/C_{LC}) \cdot (\epsilon_{poly}/\epsilon_{inorg}) \cdot d_{inorg}$$

을 만족하도록 선택되며, 여기서, ϵ_{poly} 및 ϵ_{inorg} 는 상기 제 2의 폴리머 또는 스핀-온 유리층 및 상기 제 1 무기층 각각의 유전율 상수인, 액정 디스플레이.

청구항 6

각 픽셀은 스위칭 트랜지스터, 용량 C_{store} 의 저장 커패시터 및 용량 C_C 의 액정 물질을 포함하며,

상기 트랜지스터는 실질적으로 동일 평면 상에 있는 소스 및 드레인 영역 및 게이트 영역, 상기 게이트 영역과 상기 소스 및 드레인 영역 사이에 놓인 게이트 절연체를 구비한 절연된-게이트가 스테거 된 구조를 포함하며,

상기 커패시터는 커패시터 유전체에 의해 분리된 두 개의 전극의 적층된 구조를 포함하는, 복수의 픽셀을 포함하는 액정 디스플레이로서,

상기 게이트 절연체는 제 1 및 제 2 층을 포함하고, 상기 제 1 층 및 제 2 층 중 상기 제 2 층이 상기 커패시터로 연장하여 상기 커패시터 유전체를 한정하며,

상기 제 1 및 제 2 층의 두께는, 상기 커패시터 유전체를 한정하는 제 2 층의 두께에서의 1차 변화에 대해 각 픽셀의 충전 시간 상수가 불변이 되도록, 선택되는

액정 디스플레이.

청구항 7

제 6 항에 있어서, 상기 제 1 층의 두께 d_1 및 상기 제 2 층의 두께 d_2 는 관계식:

$$d_2 = (C_{store}/C_{LC}) \cdot (\epsilon_2 / \epsilon_1) \cdot d_1$$

를 만족하도록 선택되며, 여기서, ϵ_1 및 ϵ_2 는 상기 제 1 및 제 2 층 각각의 유전율 상수인, 액정 디스플레이.

청구항 8

제 6 항 또는 제 7 항에 있어서, 상기 제 1 층은 무기층을 포함하며, 상기 제 2 층은 폴리머 또는 스핀-온 유리층을 포함하는, 액정 디스플레이.

청구항 9

제 8 항에 있어서, 상기 제 2 층은 폴리이미드를 포함하는, 액정 디스플레이.

청구항 10

트랜지스터 기판 위에 트랜지스터 및 커패시터의 어레이를 제공하는 것을 포함하며,

상기 트랜지스터는 실질적으로 동일 평면 상에 있는 소스와 드레인 영역 및 게이트 영역, 상기 게이트 영역과 상기 소스 및 드레인 영역 사이에 놓인 게이트 절연체를 구비하는 절연된-게이트가 스테거 된 구조를 포함하며,

상기 커패시터는 커패시터 유전체에 의해 분리된 두 전극의 적층 구조를 포함하는, 액정 디스플레이를 위한 트랜지스터 기판을 제작하는 방법으로서,

상기 게이트 절연체는 제 1 및 제 2 층으로서 증착되며, 제 1 층은 진공 증착 공정에 의해서 증착되고, 제 2 층은 비-진공 공정에 의해서 증착되며, 상기 제 1 층은 상기 커패시터에 대응하는 면적에서 그것을 제거하도록 패터닝되며, 상기 제 2 층은 상기 커패시터 유전체를 한정하도록 상기 커패시터에 대응하는 면적으로 연장하는, 트랜지스터 기판 제작 방법.

청구항 11

제 8 항의 액정 디스플레이를 사용하여 트랜지스터 기판을 제작하는 것과, 상기 트랜지스터 기판 위에 액정 물질을 제공하는 것을 포함하는, 액정 디스플레이를 제작하는 방법으로서,

제 1 층은 두께 d_1 로 증착되고, 제 2 층은 두께 d_2 로 증착되며, 상기 두께들은 각 픽셀의 충전 시간 상수가, 상기 커패시터 유전체를 한정하는 제 2 층의 두께에서의 1차 변화에 불변이 되도록 선택되는, 액정 디스플레이 제작 방법.

청구항 12

제 11 항에 있어서, 상기 커패시터는 용량 C_{store} 를 가지며, 각 픽셀은 용량 C_C 의 액정 물질과 결합되어 있으며,

상기 제 1 층의 두께 d_1 및 상기 제 2 층의 두께 d_2 는 관계식

$$d_2 = (C_{store}/C_C) \cdot (\epsilon_2 / \epsilon_1) \cdot d_1$$

를 만족시키도록 선택된 깊이로 증착되며, ϵ_1 및 ϵ_2 는 상기 제 1 및 제 2 층 각각의 유전율 상수인, 액정 디

스플레이 제작 방법.

명세서

기술분야

<1> 본 발명은 능동 매트릭스 액정 디스플레이(active matrix liquid crystal display)에 관한 것으로, 특히, 그러한 디스플레이의 제작에서 사용하기에 적합한 트랜지스터 기판에 관한 것이다. 본 발명은 특별히, 트랜지스터 및 디스플레이의 각 픽셀 용의 결합된 전하 저장 커패시터를 제공하는 액정 디스플레이를 위한 트랜지스터 기판에 대해 다룬다. 박막 트랜지스터(TFT들)는 능동 매트릭스 액정 디스플레이에 흔히 채택된다.

배경기술

<2> 평(flat) 패널 액정 디스플레이를 위한 스위칭 소자를 형성하는데 사용되는 TFT들의 어레이를 개선시키는 것에 대한 이득이 있다. 이러한 TFT 디바이스는 트랜지스터 디바이스의 몸체를 형성하기 위해 비결정성(amorphous) 또는 다결정성(polycrystalline) 반도체의 부분으로 제작될 수도 있다. 상기 박막 트랜지스터는 절연된 게이트 구조를 한정하며, 상기 게이트 절연체가 상기 저장 커패시터로 연장하여 그 커패시터의 유전체를 형성함이 알려져 있다.

<3> 두 층의(two-layer) 게이트 절연 구조를 제공하는 것 또한 알려져 있다. 이것은 상기 트랜지스터의 반도체 몸체와 인접한 절연층이 상기 트랜지스터의 반도체 몸체의 패터닝과 동시에 패터닝되는 것이 가능하게 해 준다. 상기 반도체 층과 상기 인접한 게이트 절연 층 사이에 있는 인터페이스의 전기적 특성이 개선된다. 예를 들면, 상부-게이트(top-gate) TFT의 경우, 저부(lower) 게이트 절연층은 실리콘 층이 패터닝 되어 개개의 TFT들의 실리콘 영역(region)을 형성하기 전에, 트랜지스터 몸체를 한정하게 될 실리콘 층 위로 증착하게(deposited) 된다.

<4> 상기 절연층을 한정하기 위하여 상기 게이트 절연층의 오직 하나만이 픽셀의 전하 저장 커패시터로 연장한다는 것 또한 알려져 있으며, 이것은 상기 게이트 절연층의 두께 및 상기 커패시터 유전층의 두께가 독자적으로 세팅될 수 있도록 한다. JP-A-4-219736은 이러한 타입의 트랜지스터-커패시터 배열을 개시하고 있다.

<5> 두 층이 서로 다르게 패터닝 되어 있는, 두 층의 게이트 절연 구조를 사용하는 것에 있어서 하나의 문제점은, 별도의 진공 적층 과정(vacuum deposition)이 필요하다는 것이며, 이는 트랜지스터 기판의 제작 시에 추가의 처리 단계를 가져온다.

발명의 상세한 설명

<6> 본 발명의 첫번째 양상에 따라, 액정 디스플레이를 위한 트랜지스터 기판이 제공되며, 상기 트랜지스터 기판은 <7> 기판 위에 있으며, 실질적으로 동일 평면 상에 있는 소스와 드레인 영역 및 게이트 영역, 상기 게이트 영역과 상기 소스 및 드레인 영역 사이에 놓인 게이트 절연체를 구비하는 절연된-게이트가 스택된 구조를 포함하는 트랜지스터와,

<8> 상기 트랜지스터와 결합하고 상기 트랜지스터에 인접하여 놓여져 있으며, 커패시터 유전체에 의해 분리된 두 전극의 적층 구조를 포함하는, 커패시터를 포함하며,

<9> 여기서, 상기 게이트 절연체는 제 1 무기층 및 제 2의, 폴리머 또는 스핀-온 유리층을 포함하며, 상기 층 중에서 오직 상기 폴리머 또는 스핀-온 유리층만이 상기 커패시터로 연장하여 상기 커패시터 유전체를 한정한다.

<10> 제 2 게이트 절연층으로서 폴리머 또는 스핀-온(spin-on) 유리층을 사용하는 것은 게이트 절연체 구조의 생산에 있어서 두 개의 진공 증착 단계의 필요성을 없애준다.

<11> 폴리머 또는 스핀-온 유리층을 사용하는 것에 있어서 하나의 있을 법한 문제점은 막(film)의 균질성(uniformity)이, 진공 과정을 사용해 증착된 무기층에 대해서 보다 덜 정확하게 제어할 수 있다는 점이다. 따라서, 바람직하게는, 트랜지스터 및 상기 트랜지스터 기판의 커패시터를 포함하는, 액정 디스플레이의 각 픽셀의 충전(charging) 시간 상수가 상기 커패시터 유전체를 한정하는 제 2 폴리머 또는 스핀-온 유리층의 두께에서의 1차 변화에 불변이도록 제 1 및 제 2 층이 선택된다. 이것은 픽셀 특징이 상기 폴리머 또는 스핀-온 유리층의 두께 변화에 실질적으로 관계가 없음을 보증한다.

<12> 특히, 각 픽셀은 용량 C_{store} 의 커패시터를 포함하며, 무기층의 두께 d_{inorg} 및 폴리머 또는 스핀-온 유리층의 두께

d_{poly} 가 다음의 관계:

<13>
$$d_{poly} = (C_{store}/C_{LC}) \cdot (\epsilon_{poly} / \epsilon_{inorg}) \cdot d_{inorg}$$

<14> 를 대략 만족시키도록 선택되는, 용량 C_{LC} 를 갖는 액정 물질과 결합되는 것이 바람직하며, 여기서, ϵ_{poly} 및 ϵ_{inorg} 는 각각 폴리머 또는 스핀-온 유리층 및 무기층의 유전율 상수(permittivity constants)이다.

<15> 폴리머 게이트 절연층의 사용은 GB 2311653에 설명되어 있으며, 그 내용은 참조 자료로서 본 명세서에 병합되어 있다.

<16> 본 발명의 두번째 양상에 따라, 스위칭 트랜지스터, 용량 C_{store} 의 저장 커패시터와 용량 C_{LC} 의 액정 물질을 각각 포함하는 복수의 픽셀을 포함하는 액정 디스플레이가 제공되며,

<17> 상기 트랜지스터는 실질적으로 동일 평면 상에 있는 소스와 드레인 영역 및 게이트 영역, 상기 게이트 영역과 상기 소스 및 드레인 영역 사이에 놓인 게이트 절연체를 구비한 절연된-게이트가 스테거 된 구조를 포함하며,

<18> 상기 커패시터는 커패시터 유전체에 의해 분리된 두 전극의 스택 구조를 포함하며,

<19> 여기서, 상기 게이트 절연체는 제 1 및 제 2 층을 포함하며, 상기 층 중 오직 상기 제 2 층만이 상기 커패시터로 연장하여 상기 커패시터 유전체를 한정하며,

<20> 여기서, 상기 제 1 및 제 2 층의 두께는 각 픽셀의 충전 시간 상수가, 상기 커패시터 유전체를 한정하는 제 2 층의 두께에서의 1차 변화에 불변이도록 선택된다.

<21> 상기 게이트 절연체를 한정하는 두 개의 막의 성질과는 관계없이, 본 발명의 이러한 양상에 따른 액정 디스플레이는 픽셀 응답이 상기 커패시터 유전체의 두께에서의 1차 변화에 불변이 가능하도록 한다.

<22> 바람직하게는, 상기 목적을 위하여, 제 1 층의 두께 d_1 및 제 2 층의 두께 d_2 가 다음의 관계:

<23>
$$d_2 = (C_{store}/C_{LC}) \cdot (\epsilon_2 / \epsilon_1) \cdot d_1$$

<24> 를 대략 만족시키도록 선택되며, 여기서, ϵ_1 및 ϵ_2 는 각각 제 1 및 제 2 층의 유전율 상수이다.

<25> 본 발명의 세 번째 양상에 따라, 액정 디스플레이를 위한 트랜지스터 기판을 제작하는 방법이 제공되는데, 상기 방법은,

<26> 상기 기판 위에 트랜지스터 및 커패시터의 어레이를 제공하는 것을 포함하며,

<27> 상기 트랜지스터는 실질적으로 동일 평면 상에 있는 소스와 드레인 영역 및 게이트 영역, 상기 게이트 영역과 상기 소스 및 드레인 영역 사이에 놓인 게이트 절연체를 구비한 절연된-게이트가 스테거 된 구조를 포함하며,

<28> 상기 커패시터는 커패시터 유전체에 의해 분리된 두 전극의 스택 구조를 포함하며,

<29> 여기서, 상기 게이트 절연체는 제 1 및 제 2 층으로서 증착되며, 제 1 층은 진공 증착 과정에 의해 증착되고, 제 2 층은 비-진공 과정에 의해 증착되며, 상기 제 1 층은 상기 커패시터에 상응하는 면적으로부터 그것을 제거하도록 패터닝되며, 상기 제 2 층은 상기 커패시터 유전체를 한정하도록 상기 커패시터에 상응하는 면적으로 연장한다.

<30> 상기 게이트 절연층 중 하나에 대해 비-진공 과정을 사용하는 것은 제작 과정을 간단히 한다.

<31> 본 발명은 또한, 액정 디스플레이를 제작하는 단계를 제공하고, 상기 방법을 이용해 트랜지스터 기판을 제작하는 단계와, 상기 트랜지스터 기판 위에 액정 물질을 제공하는 단계를 포함하며, 여기서 제 1 층은 두께 d_1 으로 증착되고, 제 2 층은 두께 d_2 로 증착되며, 상기 두께들은 각 픽셀의 충전 시간 상수가, 커패시터 유전체를 한정하는 제 2 층의 두께에서의 1차 변화에 불변이도록 선택된다.

<32> 바람직하게는, 이러한 목적을 위하여, 커패시터는 용량 C_{store} 를 가지며, 각 픽셀은 용량 C_{LC} 의 액정 물질과 결합되며, 여기서, 제 1 층의 두께 d_1 및 제 2 층의 두께 d_2 는 다음의 관계:

<33>
$$d_2 = (C_{store}/C_{LC}) \cdot (\epsilon_2 / \epsilon_1) \cdot d_1$$

- <34> 를 대략 만족시키도록 선택되는 깊이로 증착되며, 여기서, ϵ_1 및 ϵ_2 는 각각 제 1 및 제 2 층의 유전율 상수이다.
- <35> 본 발명의 액정 디스플레이 디바이스 및 실시예는 이제, 첨부된 도면을 참조하여 예시로서 설명될 것이다.

실시예

- <43> 본 발명을 따르면, 본 발명에 따라 제작된 트랜지스터 기판은 액정 디스플레이 디바이스의 스위칭 소자를 형성할 수도 있다. 예를 들면, 도 1은 능동 매트릭스 디스플레이 디바이스의 하나의 픽셀의 전체 면적을 도시한 것이며, 이것에 본 발명이 적용될 수도 있다. 하나의 픽셀은 예를 들면, 절연 기판(10) 상에 형성된 ITO의, 전극 패턴(11 및 12)을 포함한다. 상기 기판(10)은 예를 들면, 유리판 또는 폴리머 막인, 디스플레이의 뒷판(back plate)을 포함할 수도 있다. 상기 패턴(11,12)의 열 컨덕터(column conductors)(11)는 매트릭스 열 안에 스위칭 TFT들의 공통 소스 라인을 형성한다. 패턴(11,12)의 또 다른 파트(12a)는 상기 TFT의 드레인 전극을 형성한다. 이 특별한 예에서, 패턴(11,12)의 파트(12)의 대부분(bulk)은 픽셀 전극(12b)을 형성한다. 상기 픽셀 전극(12b)은 드레인 전극 파트(12a)와 일체이며, 또한, 이 예에서, 픽셀 저장-커패시터의 최하부 전극을 형성하는 파트(12c)와 일체이며, 상기 상부 전극은 이웃하는 픽셀의 행 컨덕터(25)에 의해 한정된다.
- <44> 상기 행 컨덕터(25)는 TFT들의 공통 게이트 라인을 행으로 형성한다. 각 셀의 스위칭 TFT는 실리콘 트랜지스터 몸체(20a)를 포함한다. 도 1의 예에서, 이들 몸체(20a)는 실리콘 막 패턴의 분리된 섬(islands) 형태로 되어 있다. 전형적으로, 상기 실리콘 트랜지스터 몸체(20a)는 예를 들어, 비결정성 실리콘으로 되어 있다. 그러나, 비결정성 실리콘보다는 차라리 다결정성 실리콘이 어떤 디스플레이에 대해서는 바람직할 수도 있다.
- <45> 액정 물질이 상기 트랜지스터 기판 위에 제공되며, 그 구성품이 도 1에 도시되어 있다. 액정 물질 위에는 추가의 기판이 제공되어 접지면을 한정한다. 이것은 아래에서 더 상세히 예시될 것이다.
- <46> 도 2는 도 1에 도시된 픽셀을 이루는 전기적 구성품을 도시한다. 도 1을 참조하여 설명한 바와 같이, 행 컨덕터(25)는 박막 트랜지스터(30)의 게이트에 연결되며, 열 전극(11)은 소스 전극에 연결된다. 픽셀 위로 제공된 액정 물질은, 상기 트랜지스터(30)와 공통 접지면(34) 사이에서 연장하는 액정 셀(32)을 한정한다. 픽셀 저장 커패시터(36)는 상기 트랜지스터(30)의 드레인과, 픽셀의 다음 행과 결합된 행 컨덕터(25a) 사이에 연결된다.
- <47> 디스플레이 디바이스의 작동 중에, 신호는 차례로 픽셀의 행에 인가된다. 픽셀의 행을 어드레싱하기 위하여, 적당한 신호가 상기 결합된 행 컨덕터(25)에 인가되어 픽셀의 행의 트랜지스터(30)를 턴-온(turn on)한다. 이것은 상기 열 컨덕터(11)에 인가된 디스플레이 신호가 액정 셀(32)에 입력될 수 있게 해주며, 그 결과, 상기 액정 셀은 목표된 전압으로 충전이 된다. 저장 커패시터(36) 또한 충전되어 제공되어서, 액정 셀(32) 상의 신호가 그 특정 행의 어드레싱이 완료되고, 트랜지스터(30)가 턴 오프(turned off)되고 난 후에도 일정하도록 보증해 준다. 픽셀 행의 어드레싱 중에, 후속 픽셀의 행의 행 컨덕터(25a)는 접지 전위에 고정되어, 저장 커패시터(36)가, 액정 셀(32)에 걸쳐 인가되는 전압에 상응하는 전압으로 충전된다.
- <48> 픽셀의 다음 행이 어드레싱 될 때, 행 컨덕터(25a)의 전압에 증가가 있을 것인데, 이는 커패시터(36)를 통하여 용량성 연결에 의해 액정 셀(32)에 입력될 것이다. 그러나, 상기 다음의 행 컨덕터(25a) 상의 상기 증가된 전압은 오직 하나의 행 어드레싱 기간 동안만 지속되며, 그 이후에, 상기 행 컨덕터(25a)는 접지로 귀환한다. 상기 액정 물질은 더 느린 응답 시간을 가지며, 이러한 순시 전압 변화에는 응답하지 않는다.
- <49> 도 3은 상부 게이트 TFT들을 사용하는, 도 1에서 라인 X-X를 따라 절단된 횡단면도에서 도시된, 액정 디스플레이에 대한 알려진 구조를 도시한다. 도 3에 도시된 상기 알려진 디스플레이의 제작이 이제 설명될 것이다. 소스 및 드레인 전극 패턴(11,12)이 기판(10)에 제공된다. 예를 들면, ITO 컨덕터 층은 유리 기판(10) 상에 증착될 수도 있으며, 상기 소스 및 드레인 전극 패턴을 한정하기 위해 습식(wet) 에칭이 수행될 수도 있다. 반도체 층(20)이 상기 소스 및 드레인 전극 패턴(11,12)에 증착되어, TFT의 채널 면적(20c)을 포함하는 트랜지스터 몸체(20a)를 제공한다. 제 1 게이트 절연층(40)은 반도체 층(20)에 제공되며, 제 1 게이트 절연층(40) 및 반도체 층(20)은 같은 마스크를 사용하여 패터닝되어, 트랜지스터 몸체(20a)를 형성하는 반도체 섬을 한정한다. 상기 반도체 층(20)을 패터닝하기 전에, 상기 반도체 층(20) 상에 제 1 게이트 절연층(40)을 증착하는 것은 제 1 게이트 절연층(40)과 반도체 층(20) 사이에 인터페이스의 전기적 특성을 개선시킨다.
- <50> 제 2 게이트 절연층(42)은 이어서 어레이 위로 증착되며, 게이트 컨덕터(44)는 제 2 게이트 절연층(42)에 제공된다. 상기 제 2 게이트 절연층(42)은 트랜지스터의 몸체 너머로 연장하며, 상기 저장 커패시터(36)의 유전층을 한정한다. 이 저장 커패시터(36)는 다음의 행 컨덕터(25a)와 드레인 전극(12)의 부분(12c)에 의해 한정된다.

- <51> 이들 층은 액정 디스플레이를 위한 트랜지스터 기판을 완성한다. 액정 물질층(50)은 트랜지스터 기판 위로 제공되며, 추가의 기판(52)은 액정 물질의 층 위에 놓인다. 이 추가의 기판(52)은 컬러 필터(54)의 배열을 지닌 일면(face) 및 공통 전극(34)을 한정하는 판 상에 제공될 수도 있다. 편광판(56)은 상기 기판(52)의 반대편에 제공된다.
- <52> 본 발명은 구체적으로, 트랜지스터 기판에 관여하며, 따라서 액정 디스플레이의 작동 및 구조는 당업자에게는 분명할 것이므로, 더 상세히 설명하지는 않겠다.
- <53> 상부 게이트 박막 트랜지스터가 도 3에 나타나 있으나, 최하부 게이트 박막 트랜지스터를 이용하는 것이 동등하게 가능하다. 상부 게이트 TFT들을 사용하는 트랜지스터 기판에 대한 본 발명의 애플리케이션이 먼저 설명될 것이며, 이어서 최하부 게이트 TFT들을 사용하는 트랜지스터 기판에 대한 본 발명의 애플리케이션 역시 설명될 것이다. 게이트(44)는 소스 및 드레인 전극(11,12) 사이의 간격 보다 작은 폭을 갖는 것으로서 도 3에 도시되어 있다. 채널 면적(20c)과 소스 및 드레인 전극(11,12) 각각의 사이에 있는 반도체 층(20)의 일부의 처리는 각각 상기 반도체 층의 그 파트의 저항을 줄이기 위해 바람직하다. 예를 들면, 상기 반도체 층의 소스 및 드레인 영역은 예를 들면 게이트 컨덕터(44) 마스크를 사용하는 아래에 놓인 고유 반도체 채널 면적(20c)의 플라즈마 도핑을 사용하여 도핑될 수도 있다. 대안적으로는, 반도체 층(20)의 소스 및 드레인 영역은 이식(implantation) 마스크로서 상기 상부 게이트 구조를 사용하는 이온 이식을 받을 수도 있다. 또 다른 대안으로서, 상기 반도체 층의 소스 및 드레인 영역은 규소 화합물질(silicide material)을 형성하도록 다루어져, 상기 소스 및 드레인 전극으로의 저항을 다시 줄일 수도 있다.
- <54> 설명된 층에 추가의 층이 제공될 수도 있다. 예를 들면, 평면화(planarising) 막이 전체 구조 위에 제공될 수도 있다. 부가하여, 제 2 게이트 절연층(42)에 제공된 우물(well)을 통해 드레인(12)에 접하는 평면화 층 상으로 추가의 전극 패턴이 한정될 수도 있다. 이러한 가능성의 전부, 그리고 다른 것은 당업자에게는 분명할 것이다.
- <55> 종래에는, 제 1 게이트 절연층(40)은 두께가 대략 80nm인 제 1 질화 규소(silicon nitride) 층을 포함하며, 제 2 게이트 절연 층(42)은 예를 들면 250nm인, 두께가 훨씬 더 큰 제 2 질화 규소 층을 포함한다. 이들 두 층은 서로 다르게 패터닝 되므로, 별도의 진공 증착 과정, 예를 들면 플라즈마 화학적 기상 증착이, 상기 두 층을 한정하는데 필요하다.
- <56> 도 4는 상부 게이트 TFT들을 사용하여, 본 발명에 따른 액정 디스플레이와 사용하기 위한 트랜지스터 기판을 도시한다. 트랜지스터 디자인에 대한 가능한 대안에 관련하여 도 3과 연계해 행해진 설명은 본 발명의 트랜지스터 기판에 똑같이 적용된다. 도 3에 도시된 구성품과 같은 구성품을 표시하기 위해 도 4에 같은 참조 번호가 사용되었다.
- <57> 도 4에 도시된 구조에서, 제 1 게이트 절연층(400)은 진공 증착 과정에 의해 증착된 무기층을 포함한다. 예를 들면, 상기 층은 플라즈마가 강화된 화학적 기상 증착(PECVD)에 의해 증착되는 질화 규소를 포함할 수도 있다. 그러나, 제 2 게이트 절연층(420)은 비-진공 과정에 의해 증착되는 폴리머 또는 스핀-온 유리층을 포함한다. 상기 비-진공 과정은 스피닝(spinner), 롤링(rolling) 또는 스프레이(spray)를 포함할 수도 있으며, 이는 그 처리 단계의 비용을 줄여준다. 폴리머 또는 스핀-온 유리층을 사용하는 것이 갖는 하나의 잠재적 문제점은 두께 제어 및 균질성이 PECVD 층의 것보다 더 악화되기 쉽다는 점이다.
- <58> 박막 트랜지스터의 편중(bias) 조건 및 주어진 기하학에 대해, 트랜지스터의 전류 출력은 게이트 유전 용량에 비례하며, 따라서, 만약 폴리머 또는 스핀-온 유리층이 더 두껍게 만들어진다면 전류 출력이 떨어진다. 그러나, 총 로드 용량{픽셀과 결합된 액정 물질(50)의 용량 및 저장 용량(36)} 또한, 폴리머 또는 스핀-온 유리층이 두꺼워질수록 감소된다. 픽셀의 전체 충전 시간은 그리하여 두께의 변화에 상당히 둔감하다.
- <59> 본 발명에 따라 개척된 것은 이러한 특성이다. 도 5는 MOSFET의 전압-전류 특성을 도시한다. 도시된 바와 같이, 전류 축은 채널 폭(W), 채널 길이(L), 게이트 절연체 유전율(ϵ), 게이트 절연체 두께(d) 및 전자 이동성(μ_n)으로부터 유도된(n-타입의 MOSFET에 대한) 상수(K)에 대하여 정규화(normalised)된다. 주어진 트랜지스터 치수에 대하여(즉, W 및 L), 상기 상수는 게이트 유전 용량:

$$C = \frac{A\epsilon}{d}$$

- <60>
- <61> 에 비례한다.

<62> 결론적으로, 편중(bias) 조건 및 치수의 임의로 주어진 세트에 대한 유효(effective) 트랜지스터 저항은 상기

게이트 용량 C에 대해 역으로 비례하여 변화하는 것으로 생각될 수도 있다. 두 층을 지닌 게이트 절연체에 대한 상기 게이트 용량은:

$$\frac{1}{C_{gate}} = \frac{1}{C_1} + \frac{1}{C_2}$$

$$= \frac{d_1}{A\epsilon_1} + \frac{d_2}{A\epsilon_2}$$

<63>

$$C_{gate} = \frac{A\epsilon_1\epsilon_2}{d_1\epsilon_2 + d_2\epsilon_1}$$

<64>

여기서, d_1 및 d_2 는 제 1 및 제 2 절연층의 두께이며, ϵ_1 및 ϵ_2 는 상기 층들의 유전율 상수이다.

<65>

트랜지스터 저항은 게이트 용량에 역비례하며, 다음과 같이 주어진다.

<66>

$$R_{TFT} \propto \frac{d_1\epsilon_2 + d_2\epsilon_1}{A\epsilon_1\epsilon_2}$$

<67>

주어진 절연층에 대해서(즉, ϵ_1 및 ϵ_2 가 상수임.), 그러나 선택 가능한 두께로, 상기 트랜지스터 저항은,

<68>

$$R_{TFT} \propto d_1\epsilon_2 + d_2\epsilon_1$$

<69>

에 비례하여 변화한다.

<70>

TFT-커패시터 픽셀을 위한 시간 상수를 계산해내기 위하여, LC셀(32) 및 저장 커패시터(36)의 합동 용량이 고려 될 필요가 있다. 총 픽셀 용량은:

<71>

$$C_{LC} + C_s = C_{LC} + \frac{A_s\epsilon_2}{d_2}$$

<72>

이며, 여기서, C_{LC} 는 픽셀과 결합된 액정 물질의 용량이며, C_s 는 저장 용량이며, A_s 는 저장 커패시터의 면적이다. 따라서, 픽셀의 충전 시간 상수는,

<73>

$$\tau_{RC} \propto C_{LC}d_1\epsilon_2 + A_s\epsilon_1\epsilon_2 + C_{LC}d_2\epsilon_1 + \frac{\epsilon_2^2 A_s d_1}{d_2}$$

<74>

에 비례한다.

<75>

상기 충전 시간 상수는 다음의 방정식이

<76>

$$\frac{\partial}{\partial d_2} \tau_{RC} = 0$$

<77>

을 만족할 때, 커패시터 유전체 두께(d)에 불변이다.

<78>

이것은 다음을 생성한다:

<79>

$$d_2 = \frac{A_s\epsilon_2}{d_2 C_{LC}} \cdot \frac{\epsilon_2}{\epsilon_1} \cdot d_1$$

$$d_2 = \frac{C_s}{C_{LC}} \cdot \frac{\epsilon_2}{\epsilon_1} \cdot d_1$$

<80>

상기 분석은 상기 커패시터 유전체의 두께의 변화가 픽셀의 전하 타이밍 상수를 변경하지 않도록 하여 그로 인해 디스플레이 작동 특징들을 바꾸지 않도록 상기 두 개의 절연층의 두께가 선택될 수 있도록 해준다. 상기 킥백(kickback) 작용(behavior)은 상기 스핀-온 또는 유리층의 두께에 있어서의 조그만 변경에도 역시 불변이다.

<81>

도 6은 본 발명에 따라, 그리고 최하부 게이트 TFT들을 사용하는 액정 디스플레이와 사용하기 위한 트랜지스터 기관을 도시한다. 게이트 전극 패턴(60)은 기관(10) 위에 제공되며, 이는 또한 저장 커패시터(36)의 아래쪽 단자(37)를 한정한다. 상기 트랜지스터의 게이트는 각각의 행 컨덕터의 파트를 다시 형성하며, 상기 저장 커패시

터의 아래쪽 단자(37)는 픽셀의 다음 인접한 행에 대해 행 컨덕터의 파트를 형성할 수도 있다. 예를 들면, 컨덕터 층은 유리 기판(10) 위에 증착될 수도 있고, 습식 에칭은 상기 통전(conducting) 패턴을 한정하기 위하여 수행될 수도 있다.

- <82> 제 2 폴리머 또는 스핀-온 게이트 유리층(420)은 이어서 증착된다. 보다 명확히 하기 위해, 그리고 위에서 주어진 방정식과의 일치를 위해, 이 유리층은 "제 2" 게이트 절연층으로서 다시 칭해지며, 두께 d_2 를 가진다. 상기 제 2 게이트 절연층(420)은 다시 트랜지스터의 몸체 너머로 연장하며, 저장 커패시터(36)를 위한 유전층을 한정한다.
- <83> 제 1 게이트 절연층(400)은 이어서 질화 규소와 같은 무기 물질을 포함하여 증착된다. 트랜지스터의 몸체를 형성하는 반도체층(20)은 제 1 게이트 절연층(400)의 패터닝 전에 증착되어, 이들 두 층(20,400)은 같은 마스크를 사용해서 같이 패터닝 되어, 트랜지스터 몸체(20a)를 형성하는 반도체 섬을 한정한다. 다시, 이것은 상기 절연층(400)과 반도체층(20) 사이의 인터페이스의 전기적 특성을 개선시킨다.
- <84> 우수한 품질의 인터페이스를 가능하게 하기 위하여, 상기 제 1 게이트 절연층에 인접한 트랜지스터의 반도체 몸체를 구비하는 것이 바람직하다. 그러나, 트랜지스터의 반도체 층에 인접한 게이트 절연체 구조의 폴리머 또는 스핀-온 유리층으로 본 발명을 구현하는 것 또한 가능할 수도 있다.
- <85> 에칭 멈춤 플러그(etch stop plug)(62)는 게이트(60) 위에 놓여서 패터닝되고 정렬되며, 소스 및 드레인 전극(64,66)이 이어서 증착된다. 상기 소스 및 드레인 전극을 한정하는 층 역시 저장 커패시터(36)의 상부 접촉부(top contact)(38)를 한정한다. 디스플레이 픽셀이 도 1 내지 도 3을 참조하여 설명된 픽셀 구성과 같은 방식으로 기능을 하기 위해서는, 소스 및 드레인 중 하나가 각각의 열 컨덕터와 접촉하는 것이 필요하고, 다른 하나는 액정 접촉 패드 및 저장 커패시터(36)의 상부 접촉부와 접해야 할 필요가 있다. 이를 이루는 가능한 방법은 당업자에게는 분명할 것이다. 물론, 설명된 층의 추가 층이 이 목적을 위해 필요할 수도 있다.
- <86> 게이트 절연층의 예를 위해 상기 접근법으로써 지시된 치수의 예가 이제 주어질 것이다.
- <87> 저장 커패시터 값과 액정 셀의 용량 사이의 관계는 디스플레이 디자인 및 타입에 의해 결정된다. 투과성(transmissive) 디스플레이를 위해, 상기 저장 커패시터는 그것이 디스플레이의 개구(aperture) 공간을 차지하기 때문에, 가능한 한 작아야 한다. 예를 들면, 비결정성 실리콘 투과성 디스플레이에 대해, C_{store}/C_{LC} 는 1 만큼 낮을 수도 있으나, 그 비(ratio)는 폴리-실리콘 디스플레이에 대해서는 3에 근접하기 쉽다. 반사성 디스플레이에 대해, 상기 저장 커패시터는 개구를 막지 않고도 픽셀 아래에 놓일 수 있으며, 4 만큼이나 높은 비가 사용될 수도 있다.
- <88> 비 $\epsilon_{poly}/\epsilon_{inorg}$ 는 선택된 게이트 절연층에 의존한다. 제 1 게이트 절연층을 SiN이 되게 하면, ϵ_{inorg} 는 약 6.4이다. ϵ_{poly} 는 넓은 영역의 값을 취할 수 있다. 예를 들면, 캡톤(Kapton)은 약 3.4의 ϵ 값을 가지는 폴리이미드(polyimide)의 상업적으로 이용 가능한 형태이다. 적합한 스핀-온 폴리머는 어쿠스핀(Accuspin) T-18로, 연합된 신호 고등 마이크로일렉트로닉 물질(AMM: Allied Signal Advanced Microelectronic Materials)으로써 형성되었으며, 이는 약 2.7의 유전 상수를 지닌다. 값의 영역은 스핀-온 유리 합성물을 사용해 얻어질 수도 있다. 일 예로는 AMM으로부터 포스포실리케이트 스핀-온 유리의 어쿠글래스(Accuglass) P-TTY A 시리즈 족(family)이다. 이것들은 약 4.2의 유전 상수를 보인다.
- <89> 이들 서로 다른 가능성의 결과로서: 폴리머 또는 스핀-온 유리층 대 무기층의 두께의 요구되는 비는 디스플레이 및 선택된 물질의 함수로서 현저히 변할 것이다. 만약 폴리이미드 및 질화 규소가 선택되면, 상기 비는 디스플레이의 타입에 따라 대략 0.5와 2 사이에서 바뀔 것이다.
- <90> 예를 들어, 만약 액정 용량 및 전하 저장 용량이 대략 같은 값을 가지면, 이는 투과성의 비결정성 실리콘 디스플레이에 대해 대략 정확한데, 상기 절연층 두께의 비는 그것들의 유전율 상수의 비에 역비례해야 한다. 유전율 6.4인 질화 규소 및 유전율 3.4인 폴리이미드는 상기 폴리이미드 절연층이 상기 질화 규소층의 두께의 대략 절반의 두께를 가질 것을 필요로 한다.
- <91> 이 예에서, 상기 폴리머 또는 스핀-온 유리층의 두께는 실행 불가능할 정도로 얇을 수도 있으며, 따라서 더 높은 유전율 상수를 지닌 제 2 게이트 절연층이 바람직하며, 이는 유리 절연체를 사용하여 얻어질 수 있다.
- <92> 상기 두 개의 절연층의 연합된 두께는(상기 두 절연층의 개별 두께들의 비라기 보다는) 목표된 트랜지스터 작동 특성을 얻기 위하여 선택될 수도 있다. 예를 들면, SiN의 단일 게이트 절연층을 지닌 TFT에 대해서, 전형적인

두께 300 내지 400nm가 사용된다. 상기 2개의 게이트 절연층은 유사한 게이트 용량을 생성하도록 고안될 수도 있다.

<93> 주어진 트랜지스터 치수를 위하여, 350nm 두께의 질화 규소 게이트 절연체의 게이트 용량은 다음과 같다.

$$C = \frac{A\epsilon_1}{350 \times 10^{-9}}$$

<94>

<95> 상기 2개의 게이트 절연층의 게이트 용량은 다음과 같다.

$$C = \frac{A\epsilon_1\epsilon_2}{d_1\epsilon_2 + \frac{C_s}{C_{LC}}\epsilon_2d_2}$$

<96>

<97> 상기 방정식을 등식화하면, 다음이 얻어진다.

$$d_1 = \frac{350}{1 + \frac{C_s}{C_{LC}}} \text{ nm}$$

<98>

<99> 폴리이미드 및 질화 규소를 위한 상기 값에 대해, 그리고 똑같은 저장 및 LC 용량을 가정하면, d_1 은 175nm이며, d_2 는 93nm이다. 저장 용량이 상기 LC 용량의 4배라고 가정하면, d_1 은 70nm이고 d_2 는 147nm이다. 물론, 상기 두께는 트랜지스터의 게이트 영역에서의 층 두께에 관한 것이며, 그 이외의 다른 곳이 아니다.

<100> TFT 기관의 제작에서 사용되는 특정 층에 대한 다양한 변경은 당업자에게는 뚜렷할 것이며, 본 발명이 그러한 트랜지스터 기관에 사용되지 못하게 하지 않는다.

<101> 본 개시를 읽으면서, 다양한 변형 및 변경이 당업자에게는 뚜렷할 것이다. 그러한 변형 및 변경은 박막 회로, 반도체 디바이스 및 그것들의 구성품을 포함하는 전자 디바이스의 디자인, 제작 및 사용에 있어서 이미 알려져 있고, 본 명세서에서 이미 설명된 특징 대신에 또는 거기에 추가하여 사용될 수도 있는 동등한 특징 및 다른 특징을 포함할 수도 있다.

<102> 비록 본 출원에서는 청구 범위가 특징들의 특정 조합으로 형성되었지만, 본 출원의 개시의 범위(scope)는 청구 범위 어느 곳에서도 현재 주장되는 것과 같은 본 발명에 관한 것이든 아니든, 그리고 본 발명이 그러한 것과 같은 기술적 문제점들의 임의의 것 또는 전부를 경감하든 아니든, 어떠한 새로운 특징 또는 본 명세서에서 명확하게 또는 함축적으로 개시된 특징들의 어떠한 새로운 조합 또는 그것들을 종합한 어떠한 것이라도 또한 포함한다. 본 출원인은 이로써 본 출원 또는 그로부터 파생된 어떠한 추가의 출원의 집행 중에, 그러한 특징들 및/또는 그러한 특징들의 조합으로 새로운 청구 범위가 형성될 수도 있음을 공고하는 바이다.

산업상 이용 가능성

<103> 상술한 바와 같이, 본 발명은 능동 매트릭스 액정 디스플레이(active matrix liquid crystal display)의 제작에서 사용하기에 적합한 트랜지스터 기관에 이용된다.

도면의 간단한 설명

<36> 도 1은 상부 게이트 트랜지스터를 사용하여 트랜지스터-커패시터 배열을 병합하고 있는 액정 디스플레이 디바이스의 픽셀을 평면도로 도시한 도면.

<37> 도 2는 디스플레이 디바이스의 작동을 설명하기 위하여, 액정 디스플레이 픽셀의 구성품을 예시한 도면.

<38> 도 3은 도 1의 라인 X-X를 따라 절개한 액정 디스플레이의 횡단면도이며, 알려진 배열을 도시한 도면.

<39> 도 4는 도 1의 액정 디스플레이에서 사용하기 위하여, 상부 게이트 트랜지스터를 사용한 본 발명에 따른 제 1 트랜지스터 기관을 도시한 도면.

<40> 도 5는 박막 트랜지스터의 작동 특성을 예시한 도면.

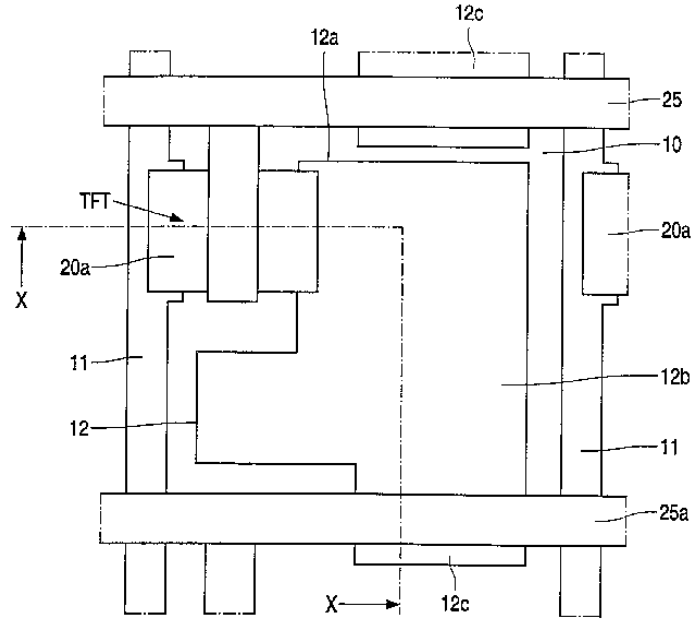
<41> 도 6은 액정 디스플레이에서 사용하기 위하여, 최하부(bottom) 게이트 트랜지스터를 사용한 본 발명에 따른 제 2 트랜지스터 기관을 도시한 도면.

<42>

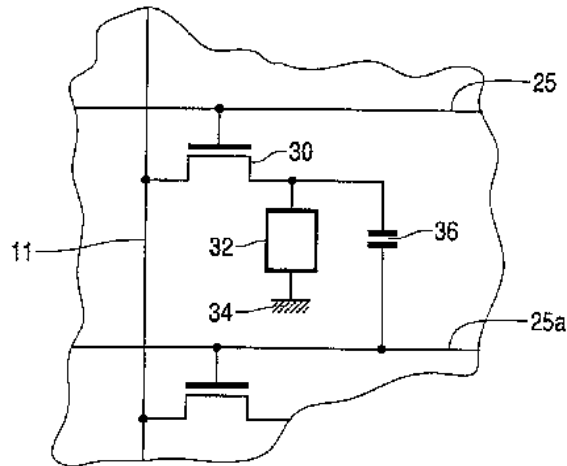
상기 도면들은 개략적이며, 실물 크기대로 도시되지 않았음에 주의하기 바란다. 상기 도면의 파트들의 상대적 치수 및 비율은 도해의 명확성과 편이를 위하여 크기에 있어서 과장되거나 축약하여 도시되었다.

도면

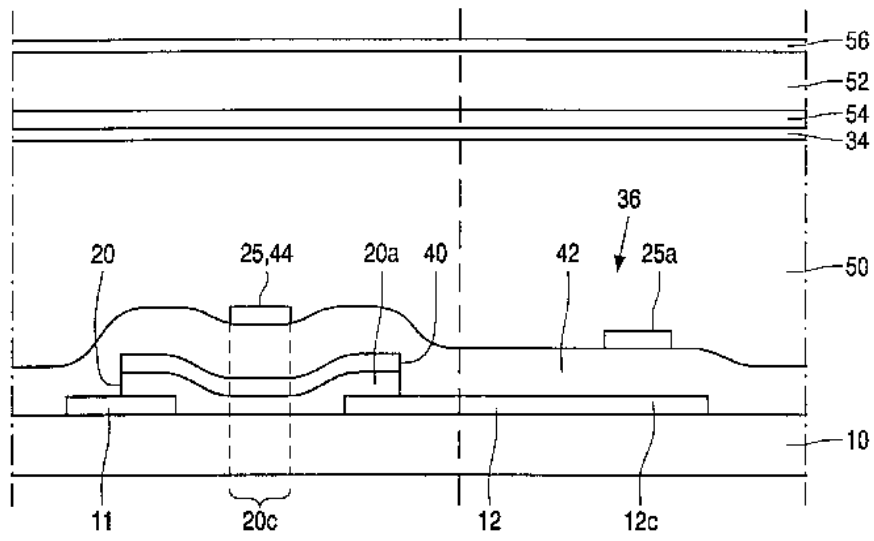
도면1



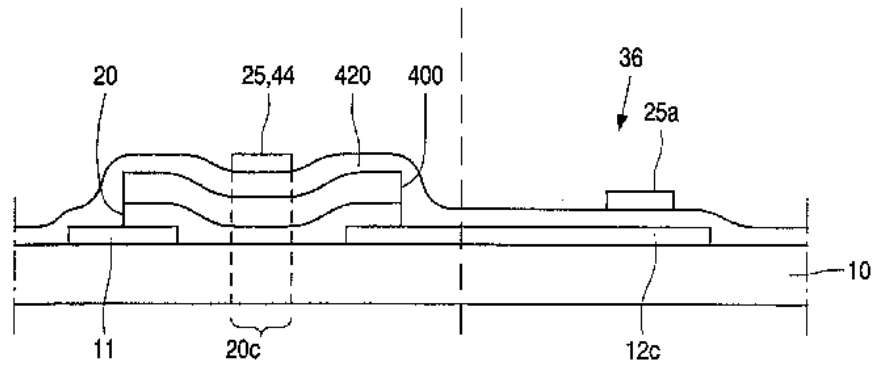
도면2



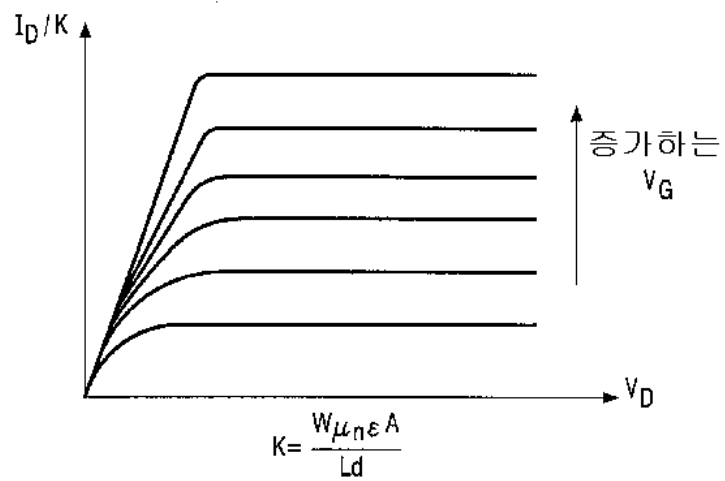
도면3



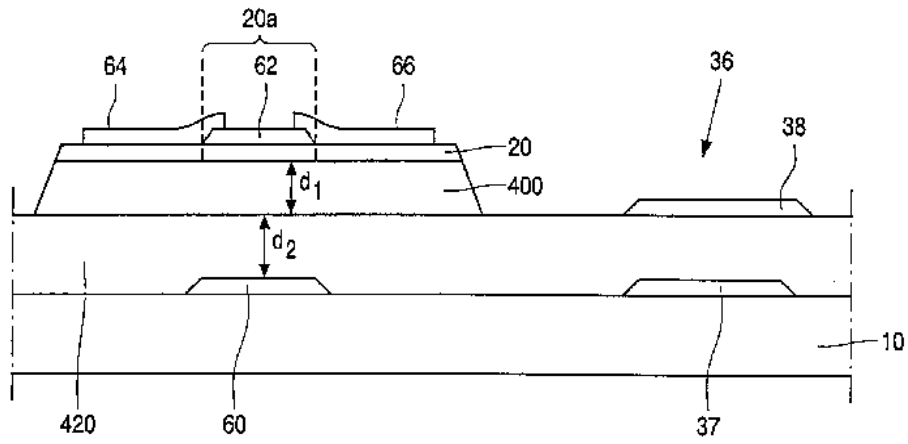
도면4



도면5



도면6



专利名称(译)	用于液晶显示器的晶体管基板，其制造方法以及液晶显示器		
公开(公告)号	KR100787140B1	公开(公告)日	2007-12-21
申请号	KR1020017009622	申请日	2000-11-15
[标]申请(专利权)人(译)	统宝香港控股有限公司		
申请(专利权)人(译)	血来香港控股的品牌		
当前申请(专利权)人(译)	血来香港控股的品牌		
[标]发明人	BATTERSBY STEPHEN J 바테르스비슈테펜요트 DEANE STEVEN C 데아네슈테벤체		
发明人	바테르스비, 슈테펜, 요트. 데아네, 슈테벤, 체.		
IPC分类号	G02F1/136 G02F1/1333 G02F1/1362 G02F1/1368 H01L21/336 H01L29/786		
CPC分类号	G02F1/1362 G02F1/1368 G02F1/136213 C23C14/24 G02F1/1343		
代理人(译)	文京的		
优先权	1999028353 1999-12-01 GB		
其他公开文献	KR1020010101885A		
外部链接	Espacenet		

摘要(译)

用于液晶显示器的晶体管基板包括绝缘栅交错TFT阵列和与每个晶体管相关的电容器 (36)。栅极绝缘体 (400,420) 包括第一无机层 (400) 和第二聚合物或旋涂玻璃层 (420)，其中仅有聚合物或旋涂玻璃层 (420) 的层延伸到电容器 (36) 定义电容器电介质。©KIPO & WIPO 2007

