



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년10월26일
(11) 등록번호 10-0770470
(24) 등록일자 2007년10월19일

(51) Int. Cl.

G02F 1/136(2006.01)

(21) 출원번호 10-2000-0036710

(22) 출원일자 2000년06월30일

심사청구일자 2004년08월27일

(65) 공개번호 10-2002-0002516

공개일자 2002년01월10일

(56) 선행기술조사문헌

KR 10-1998-27502 A

KR 10-1999-34727 A

KR 10-1999-32747 A

KR 10-2000-14691 A

전체 청구항 수 : 총 2 항

(73) 특허권자

비오이 하이디스 테크놀로지 주식회사

경기도 이천시 부발읍 아미리 산 136-1

(72) 발명자

이승민

서울특별시 강남구 도곡동 934-3번지 현대연립 107동 302호

(74) 대리인

오용수, 정태훈, 최태창

심사관 : 유주호

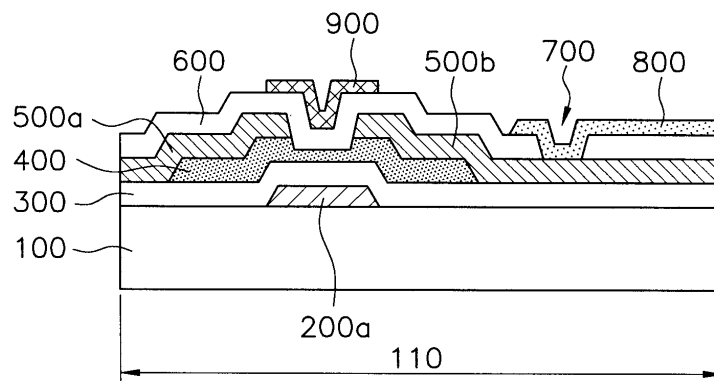
(54) 액정 표시 소자의 게이트 전극 형성방법

(57) 요약

본 발명은 액정 표시 소자의 게이트 전극 형성 방법에 관한 것으로, 듀얼 게이트 전극을 형성하여 전기적 특성을 향상시킨 액정 표시 소자의 게이트 전극 형성방법을 개시한다.

개시된 본 발명은, 유리기판과 같은 투명성 절연기판 상에 하부 게이트 전극을 형성하고, 전체 상부에 게이트 절연막을 증착하는 단계; 상기 게이트 절연막 상부에 반도체층을 형성하고 이어서 단일 혹은 적층의 소오스/드레인용 금속막 증착하는 단계; 상기 소오스/드레인용 금속막을 식각하여 소오스/드레인 전극을 형성하고, 연속해서 상기 반도체층의 소정부분을 식각하여 박막 트랜지스터를 형성하고 상기 박막트랜지스터의 상부에 보호막을 형성하는 단계; 상기 보호막을 식각하여, 박막 트랜지스터의 소오스 전극을 노출시키는 비아홀을 형성하는 단계; 및 상기 비아홀이 매립되도록 화소 ITO막을 증착하고, 동시에 상기 반도체층 상부의 보호막 상부에 금속막을 증착하여 또 하나의 상부 게이트 전극을 형성하는 것을 포함하여 구성하는 것을 특징으로 한다.

대표도 - 도3c



특허청구의 범위

청구항 1

유리기판과 같은 투명성 절연기판 상에 하부 게이트 전극을 형성하고, 전체 상부에 게이트 절연막을 증착하는 단계;

상기 게이트 절연막 상부에 반도체층을 형성하고 이어서 단일 혹은 적층의 소오스/드레인용 금속막 증착하는 단계;

상기 소오스/드레인용 금속막을 식각하여 소오스/드레인 전극을 형성하고, 연속해서 상기 반도체층 중 상기 소오스/드레인용 금속막의 식각에 의하여 노출된 영역을 a-Si가 노출되도록 식각하여 박막 트랜지스터를 형성하고 상기 박막트랜지스터의 상부에 보호막을 형성하는 단계;

상기 보호막을 식각하여, 상기 박막 트랜지스터의 소오스 전극을 노출시키는 비아홀을 형성하는 단계; 및

상기 비아홀이 매립되도록 화소 ITO막을 증착하고, 동시에 상기 반도체층 상부의 보호막 상부에 금속막을 증착하여 또 하나의 상부 게이트 전극을 형성하는 것을 포함하여 구성하는 것을 특징으로 하는 액정 표시 소자의 게이트 전극 형성방법.

청구항 2

제 1항에 있어서, 상기 금속막은 바람직하게 상기 화소 ITO막과 동일한 ITO막으로 구성하는 것을 특징으로 하는 액정 표시 소자의 게이트 전극 형성방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <13> 본 발명은 액정 표시 소자의 게이트 전극 형성 방법에 관한 것으로, 보다 구체적으로, 듀얼 게이트를 이용한 게이트 전극 형성 방법에 관한 것이다.
- <14> 일반적으로, TFT LCD(Thin Film Transistor Liquid Crystal Display)가 고정세화로 가면서 TFT의 라이팅 시간(Writing Time)이 감소하여 TFT의 충분한 이온을 요구한다. 현재 TFT 구조에서는 이온을 증가시키기 위해 TFT의 채널 폭(Width)을 증가시켜 라이팅 시간을 줄이고 있다.
- <15> 도 1a 내지 도 1c는 종래의 TFT LCD 제조 방법의 단면도를 도시한 것이고, 도 2는 종래의 TFT LCD의 평면도를 도시한 것이다.
- <16> 도 1a를 참조하면, 투명성 절연기판, 예를들어, 유리기판(1)과 같은 투명성 절연기판 상에 게이트 전극(2a)을 형성하고, 전체 상부에 게이트 절연막(3)을 증착한다. 그런다음 공지된 공정을 통해 상기 게이트 전극(2a) 상부의 게이트 절연막(3) 상에 a-si 과 n+a-si이 적층된 반도체층(4)을 형성하고 이어서, 단일 혹은 적층의 소오스/드레인용 금속막(5) 예컨대, Mo/Al/Mo으로 구성된 금속막을 증착한다.
- <17> 그런다음 도 1b를 참조하면, 공지된 방법에 의해 소오스/드레인용 금속막을 식각하여 소오스/드레인 전극(5a, 5b)을 형성하고, 연속해서 상기 반도체층의 n+ a - si을 건식식각 함으로써 박막 트랜지스터(10)를 구성한다.
- <18> 그 다음 도 1c를 참조하면, 상기 TFT(10)를 보호하기 위하여, 전체 상부에 보호막(6), 예컨대, SiNx막을 형성하고, 이어서, 상기 보호막(6)을 선택적으로 식각하여, 상기 TFT(10)의 소오스 전극(5a)을 노출시키는 비아홀(7)을 형성한다. 그리고나서, 상기 비아홀(7)이 매립되도록 보호막(6)상에 ITO막으로 된 화소전극(8)을 증착하여 상기 박막 트랜지스터(10)의 소오스 전극(5a)과 콘택되도록 한다.
- <19> 도 2를 참조하면, 하부 기판(도시되지 않음)상에 게이트 라인(2)과 데이터 라인(5)이 수직으로 교차되어, 격자 형태의 단위화소 공간을 한정한다. 여기서, 데이터 버스 라인(5)과 게이트 버스 라인(2)은 게이트 절연막(도시되지 않음)을 사이에 두고 절연되어 있고, 상기 게이트 버스 라인(2)과 데이터 버스 라인(5)의 교차점 부근에

는 박막 트랜지스트(10)가 형성된다. 이 때, 박막 트랜지스트는 게이트 버스 라인으로 부터 단위화소 공간쪽으로 소정 부분 연장된 게이트 전극(2a)과, 데이터 버스 라인(5)으로 부터 소정부분 연장된 소오스 전극(5a)과 드레인 전극(5b)으로 구성된다. 그리고나서, 상기 소오스 전극(5a)과 콘택되는 화소 전극(8)이 형성된다. 여기서 설명 부호 (7)은 소오스 전극(5a)과 화소 전극(8)의 비아홀(7)를 나타낸다

발명이 이루고자 하는 기술적 과제

- <20> 그러나, 상기와 같은 종래의 TFT LCD의 제조 방법은 다음과 같은 문제점이 있다.
- <21> TFT LCD(Thin Film Transistor Liquid Crystal Display)가 고정세화로 가면서 TFT의 라이팅 시간(Writing Time)이 감소하여 TFT의 충분한 이온이 요구된다. 현재 TFT 구조에서는 이온을 증가시키기 위해 TFT의 채널 폭(Width)을 증가시켜 라이팅 시간을 줄이고 있다. 여기서, TFT의 채널 폭을 증가 시킬 경우, 게이트 전극의 폭이 증가되면서 TFT의 크기가 커지게 되고, 이에 따라 화소의 개구율이 감소하게 되며, 패널의 휘도가 감소하게 된다. 또한 TFT의 이온 증가없이 구동하기 위해서는 게이트 구동전압을 높게 설정하여야한다.
- <22> 이에 따라, 본 발명은 상기와 같은 문제점을 해결하기 위해 안출된 것으로, TFT의 채널 폭을 증가시키지 않고 보호막 상부에 게이트 전극을 하나 더 형성하여 TFT의 Ion을 증가시키는 액정 표시 소자의 게이트 전극 형성 방법을 제공하는데에 그 목적이 있다.

발명의 구성 및 작용

- <23> 상기와 같은 문제점을 해결하기 위한, 본 발명은, 유리기관과 같은 투명성 절연기관 상에 하부 게이트 전극을 형성하고, 전체 상부에 게이트 절연막을 증착하는 단계; 상기 게이트 절연막 상부에 반도체층을 형성하고 이어서 단일 혹은 적층의 소오스/드레인용 금속막 증착하는 단계; 상기 소오스/드레인용 금속막을 식각하여 소오스/드레인 전극을 형성하고, 연속해서 상기 반도체층의 소정부분을 식각하여 박막 트랜지스터를 형성하고 상기 박막트랜지스터의 상부에 보호막을 형성하는 단계; 상기 보호막을 식각하여, 박막 트랜지스터의 소오스 전극을 노출시키는 비아홀을 형성하는 단계; 및 상기 비아홀이 매립되도록 화소 ITO막을 증착하고, 동시에 상기 반도체층 상부의 보호막 상부에 금속막을 증착하여 또 하나의 상부 게이트 전극을 형성하는 것을 포함하여 구성하는 것을 특징으로 한다.
- <24> 상기 금속막은 바람직하게 상기 화소 ITO막과 동일한 ITO막으로 구성한다.
- <25> (실시예)
- <26> 이하, 첨부된 도면을 참조하여, 본 발명의 액정 표시 소자의 게이트 전극 형성 방법을 상세히 설명한다.
도 3a 내지 도 3c는 본 발명의 액정 표시 소자의 게이트 전극 형성방법을 설명하기 위한 단면도이고, 도 4는 본 발명에 의해 형성된 액정 표시 소자의 평면도이다.
- <27> 도 3a를 참조하면, 투명성 절연기관, 예를들어, 유리기관(100)과 같은 투명성 절연기관 상에 하부 게이트 전극(200a) 및 게이트 버스 라인(도 4에 도시 ; 200)을 형성한다. 그리고, 유리기관(100) 상에 하부 게이트 전극(200a) 및 게이트 버스 라인(200)을 덮도록 게이트 절연막(300)을 증착한다. 그런 다음 공지된 공정을 통해 게이트 절연막(300) 상의 상기 하부 게이트 전극(200a)과 대응하는 부분에 a-si(도시되지 않음)과 n+a-si(도시되지 않음)이 연속해서 적층된 반도체층(400)을 형성한다. 상기에서 반도체층(400)을 구성하는 a-si는 이 후에 채널층으로 이용되고, n+a-si은 오믹 접촉층으로 이용된다. 그리고, 게이트 절연막(300) 상에 단일 혹은 적층의 금속막, 예를 들어, Mo/Al/Mo을 반도체층(400)을 덮도록 증착하여 소오스/드레인용 금속막(500)을 형성한다.
- <28> 그런다음 도 3b를 참조하면, 포토 공정에 의해 형성된 포토마스크를 식각마스크로 사용하여 식각하는 공지된 방법에 의해 소오스/드레인용 금속막(500)을 식각하여 소오스/드레인 전극(500a, 500b)과 데이터 버스 라인(500C)이 수직되게 형성하여 화소영역을 한정한다. 또한, 소오스/드레인용 금속막(500)을 하부 게이트 전극(200a)과 대응하는 부분도 반도체층(400)이 노출되도록 식각하여 소오스/드레인 전극(500a, 500b)으로 이격시키며, 이에, 연속해서 상기 노출된 반도체층(400)의 a-si이 노출되도록 n+a-si을 건식식각 함으로써 박막 트랜지스터(110)를 형성한다.
- <29> 그 다음 도 3c를 참조하면, 상기 박막 트랜지스터(110)를 보호하기 위하여, 게이트 절연막(300) 상에 반도체층(400), 소오스/드레인 전극(500a, 500b) 및 데이터 버스 라인(500C)을 덮도록 절연물질, 예컨대, SiN x막을 증착하여 보호막(600)을 형성한다.

그리고, 상기 보호막(600)을 선택적으로 식각하여 상기 TFT(110)의 드레인 전극(500b)을 노출시키는 제1비아홀(700)을 형성한다. 상기에서 드레인 전극(500b)을 노출시키는 비아홀(700)을 형성하는 식각 공정시 게이트 버스 라인(200)이 노출되도록 보호막(600) 및 게이트 절연막(300)을 식각하여 제2비아홀(도 4에 도시 ; 701)도 동시에 형성한다.

그리고, 게이트 절연막(300) 상에 제1비아홀(700)이 매립되어 드레인전극(500b)과 접촉되도록 ITO를 증착하고 박막트랜지스터(110)가 형성된 영역을 제외한 화소영역에만 잔류되게 패터닝하여 화소전극으로 사용되는 화소 ITO막(800)을 형성한다.

그리고, 노출된 게이트 절연막(300) 상에 화소 ITO막(800)을 덮도록 제2비아홀(701)을 채워 게이트 버스 라인(200)과 접촉되어 전기적으로 연결되는 금속막, 바람직하게 상기 화소 ITO막(800)과 동일한 ITO를 증착하고 하부 게이트 전극(200a)과 대응하는 부분에만 잔류되게 패터닝하여 상부 게이트 전극(900)을 형성한다.

또한, 상기에서 화소 ITO막(800)과 상부 게이트 전극(900)을 각각의 공정으로 형성하였으나 동시에 형성할 수도 있다. 즉, 게이트 절연막(300) 상에 제1 및 제2비아홀(700)(701)이 매립되어 드레인전극(500b) 및 게이트 버스 라인(200)과 접촉되도록 ITO를 증착하고 화소 영역의 박막트랜지스터(110)가 형성된 부분을 제외한 부분에 제1비아홀(700)을 통해 드레인전극(500b)과 접촉되며, 또한, 박막트랜지스터(110)가 형성된 부분에서는 게이트 버스 라인(200)과 접촉되게 동시에 패터닝하여 화소 ITO막(800)과 상부 게이트 전극(900)을 각각 이격되게 형성한다.

이에 따라, TFT-LCD에서 스위칭 소자인 TFT(110) 형성시 하부 게이트 전극(200a) 외에 보호막 상부에 상부 게이트 전극(900)을 금속막으로 형성하므로써 박막트랜지스터(110) 구동시 반도체층(400)의 게이트 절연막(300) 및 보호막(600)과 인접하는 두 부분에서 채널이 각각 형성되므로써 이온 전류를 증가시킬 수 있다.

<30> 도 4를 참조하면, 하부 기판(100) 상에 게이트 라인(200)과 데이터 라인(500C)이 수직으로 교차되어, 격자 형태의 단위화소 공간을 한정한다. 여기서, 데이터 버스 라인(500C)과 게이트 버스 라인(200)은 게이트 절연막(도시되지 않음)을 사이에 두고 절연되어 있고, 상기 게이트 절연막 상부에는 채널을 형성하는 반도체층(400)을 증착하며, 상기 게이트 버스 라인(200)과 데이터 버스 라인(500C)의 교차점 부근에 박막 트랜지스터(110)를 형성한다. 이 때, 박막 트랜지스터(110)는 게이트 버스 라인(200)으로 부터 단위화소 공간쪽으로 소정부분 연장된 하부 게이트 전극(200a)과, 데이터 버스 라인(500)으로 부터 소정부분 연장된 소오스 전극(500a)과 드레인 전극(500b)으로 구성된다. 그리고나서, 박막 트랜지스터(110)의 전면상에 박막 트랜지스터(110)를 보호하고 제1비아홀(700)을 구비하는 보호막(도시되지 않음)을 증착하고, 상기 제1비아홀(700)을 매립하는 화소 ITO막으로 구성된 화소 전극(800)을 형성한다. 이 때, 상기 화소 전극(800) 형성시, 동시에 보호막 상부의 하부 게이트 전극(200a)과 대응되게 패터닝하여 상부 게이트 전극(900)을 형성한다. 상기 상부 게이트 전극(900)은 바람직하게 화소 ITO막과 동일한 ITO막으로 구성한다.

<31> 이에 따라, 스위칭 소자인 박막 트랜지스터(110) 형성시, 하부 게이트 전극(200a) 외에 보호막 상부에 제2비아홀(701)을 통하여 상기 게이트 버스 라인(200)과 전기적으로 연결되어 하부 게이트 전극(200a)과 동일한 전압이 상부 게이트 전극(900)을 형성한다. 그러므로, TFT 구동시 하부 게이트 전극(200a) 및 상부 게이트 전극(900)에 동일한 전압이 인가되어 반도체층(400)의 게이트 절연막 및 보호막과 인접하는 두 부분에 채널이 형성된다.

발명의 효과

<32> 이상에서 자세히 설명한 바와같이, 게이트 전극을 하부 게이트 전극과 상부 게이트 전극으로 구성하여 TFT의 채널을 이중으로 형성함으로써, TFT의 폭을 증가시키지 않고도 기존과 동일한 TFT의 크기에서 이온을 증가시켜 개구율 감소를 방지한다. 또한, 상기 이온의 증가로 인한 게이트 전압이 감소한다.

<33> 이에 따라, Ion이 높은 이온에 의한 TFT 소형화와 저게이트 전압으로 화질 개선에 의한 경쟁력 증가의 효과가 있다.

<34> 기타, 본 발명의 요지에 벗어나지 않는 범위내에서 다양하게 변경하여 실시할 수 있다.

도면의 간단한 설명

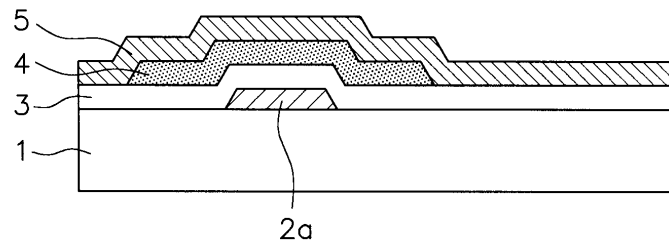
<1> 도 1a 내지 도 1c는 종래의 액정 표시 소자의 게이트 전극 형성방법을 설명하기 위한 단면도.

<2> 도 2는 종래의 액정 표시 소자의 게이트 전극 형성방법을 설명하기 위한 평면도.

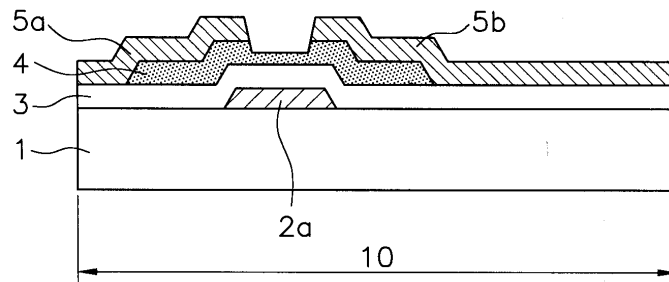
- <3> 도 3a 내지 도 3c는 본 발명의 액정 표시 소자의 게이트 전극 형성방법을 설명하기 위한 단면도.
- <4> 도 4는 본 발명의 액정 표시 소자의 게이트 전극 형성방법을 설명하기 위한 평면도.
- <5> * 도면의 주요 부분에 대한 부호 설명 *
- <6> 100 : 유리 기판 200 : 게이트 라인
- <7> 200a : 하부 게이트 전극 300 : 게이트 절연막
- <8> 400 : 반도체층 500 : 데이터 라인
- <9> 500a : 소오스 전극 500b : 드레인 전극
- <10> 600 : 보호막 700 : 비아홀
- <11> 800 : 화소 ITO막 900 : 상부 게이트 전극
- <12> 110 : 박막 트랜지스터

도면

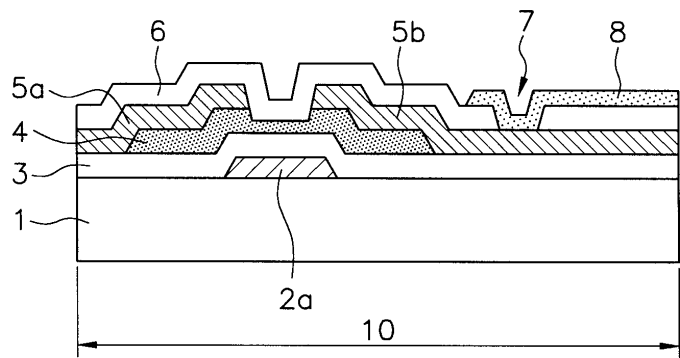
도면1a



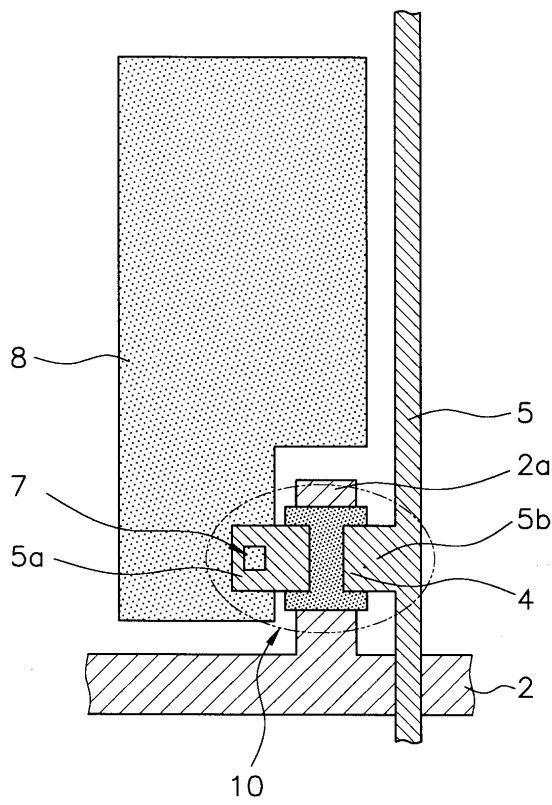
도면1b



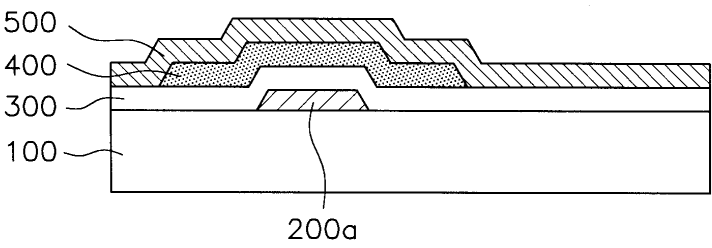
도면1c



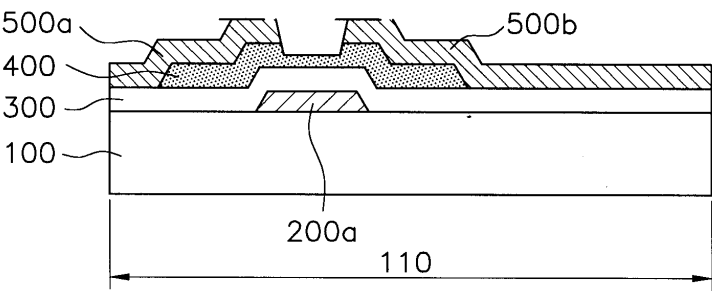
도면2



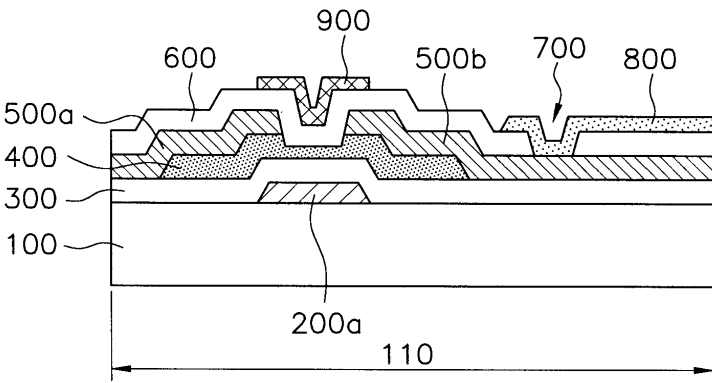
도면3a



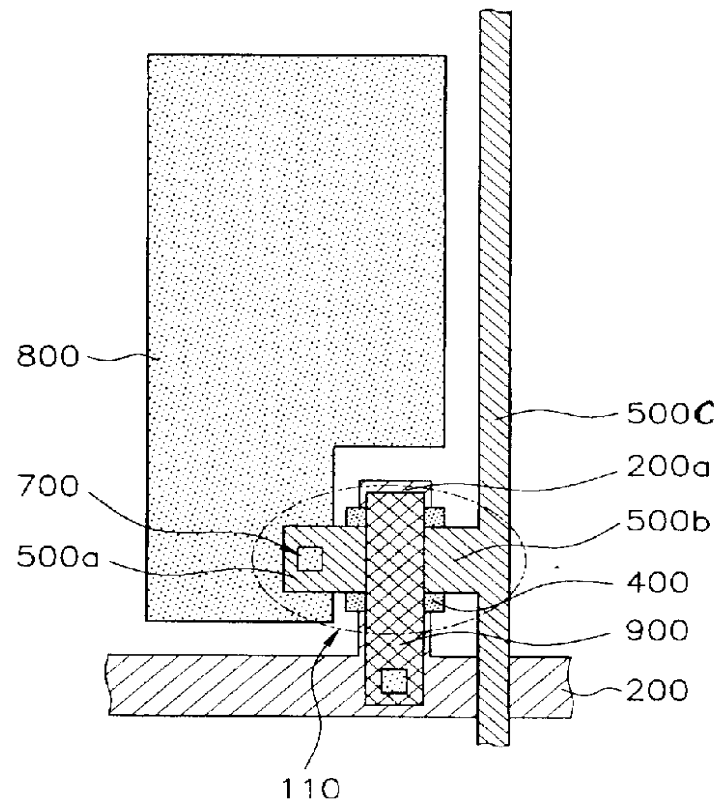
도면3b



도면3c



도면3d



专利名称(译)	形成液晶显示元件的栅电极的方法		
公开(公告)号	KR100770470B1	公开(公告)日	2007-10-26
申请号	KR1020000036710	申请日	2000-06-30
[标]申请(专利权)人(译)	HYDIS TECH HYDIS技术有限公司		
申请(专利权)人(译)	하이디스테크놀로지주식회사		
当前申请(专利权)人(译)	하이디스테크놀로지주식회사		
[标]发明人	LEE SEUNGMIN		
发明人	LEE,SEUNGMIN		
IPC分类号	G02F1/136		
代理人(译)	OH YONG SOO 郑某, TAE HOON		
其他公开文献	KR1020020002516A		
外部链接	Espacenet		

摘要(译)

本发明涉及一种形成液晶显示元件的栅电极的方法，并且公开了一种形成液晶显示元件的栅电极的方法，其中形成双栅电极以改善电特性。根据本发明，提供一种制造半导体器件的方法，包括：在诸如玻璃基板的透明绝缘基板上形成下栅电极；在栅极绝缘层上沉积半导体层，然后沉积用于单个或叠层的源/漏极层的金属层；蚀刻用于源极/漏极的金属膜以形成源/漏电极，连续蚀刻半导体层的预定部分以形成薄膜晶体管，并在薄膜晶体管上形成保护膜；蚀刻钝化层以形成暴露薄膜晶体管的源电极的通孔；并沉积像素ITO膜以掩埋通孔。并且在半导体层上方的保护膜上沉积金属膜以形成另一个上栅电极。

