(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
G09G 3/36 (2006.01)

(45) 공고일자 2007년08월22일
(11) 등록번호 10-0751197
(24) 등록일자 2007년08월14일

(21) 출원번호 10-2000-0085391
(22) 출원일자 2000년12월29일
심사청구일자 2005년12월28일

(65) 공개번호 10-2002-0056093
(43) 공개일자 2002년07월10일

(73) 특허권자 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 하용민
경상북도구미시도량2동77파크맨션105동1001호

(74) 대리인 허용록

(56) 선행기술조사문헌
KR100226789 B1
KR100329465 B1

심사관 : 김연호

전체 청구항 수 : 총 9 항

(54) 액정표시장치의 게이트 구동회로

(57) 요약

본 발명은 게이트 구동회로를 구동함에 있어서 화면 상하의 피드 트로우 전압의 차이로 인한 불균일을 보상하도록 한 액정표시장치의 게이트 구동회로를 제공하는 것으로, 게이트 구동신호를 상기 게이트 라인들에 순차적으로 인가하여 상기 게이트 라인들을 구동시키기 위한 게이트 구동부; 및 상기 게이트 라인들과 게이트 구동부 사이에 접속되고, 화면 상부와 화면 하부에서 서로 다른 지연값을 갖는 지연부를 구비한다.

대표도

도 5

특허청구의 범위

청구항 1.

액정셀들이 게이트라인들과 데이터라인들 사이에 배치되고, 상기 게이트라인들과 데이터라인들의 교차부에 스위치 소자를 구비하는 액정표시장치에 있어서,

게이트 구동신호를 상기 게이트 라인들에 순차적으로 인가하여 상기 게이트 라인들을 구동시키기 위한 게이트 구동부; 및

상기 게이트 라인들과 게이트 구동부 사이에 접속되고, 화면의 수직방향에 따라 화면 상부와 화면 하부에서 서로 다른 지연값을 갖는 지연부를 구비하는 액정표시장치의 게이트 구동회로.

청구항 2.

제 1 항에 있어서,

상기 지연부는 트랜지스터로 이루어진 버퍼단을 구비하며,

상기 버퍼단의 트랜지스터의 채널 폭을 화면 상부는 작게 하고, 화면 하부는 크게 설정하는 것을 특징으로 하는 액정표시장치의 게이트 구동회로.

청구항 3.

제 1 항에 있어서,

상기 지연부는,

시프트레지스터의 플립플롭;

상기 플립플롭의 출력신호를 지연시키기 위한 중간버퍼; 및

상기 중간버퍼의 출력신호를 지연시켜 게이트 주사선으로 출력하기 위한 출력버퍼를 구비하되,

상기 중간버퍼와 출력버퍼의 지연값이 서로다른 것을 특징으로 하는 액정표시장치의 게이트 구동회로.

청구항 4.

제 3 항에 있어서,

상기 중간버퍼가 화면 하부에 공급되는 신호를 지연시키도록 접속되는 경우에 비하여 화면 상부에 공급되는 신호를 지연시키도록 접속되는 경우에 큰 지연값을 갖으며,

상기 중간버퍼에 의해 지연된 신호가 공급되는 화면의 위치가 상부로부터 하부로 갈수록 상기 중간버퍼의 지연값이 작아지는 것을 특징으로 하는 액정표시장치의 게이트 구동회로.

청구항 5.

제 1 항에 있어서,

상기 지연부는,

시프트레지스터의 플립플롭;

상기 플립플롭의 출력신호를 지연시키기 위한 다수의 중간버퍼들; 및

상기 다수의 중간버퍼들을 통해 지연된 신호를 지연시켜 게이트 주사선으로 출력하기 위한 출력버퍼를 구비하되,

상기 다수의 중간버퍼들의 지연값은 동일하되, 상기 다수의 중간버퍼들과 출력버퍼의 지연값이 서로다른 것을 특징으로 하는 액정표시장치의 게이트 구동회로.

청구항 6.

제 5 항에 있어서,

화면 상부에 공급되는 신호를 지연시키기 위한 상기 중간버퍼들의 갯수가 화면 하부에 공급되는 신호를 지연시키기 위한 상기 중간버퍼들의 갯수보다 많은 것을 특징으로 하는 액정표시장치의 게이트 구동회로.

청구항 7.

제 4 항 또는 제 6 항에 있어서,

상기 중간버퍼들의 갯수는 중간버퍼의 지연값에 따라 조절되는 것을 특징으로 하는 액정표시장치의 게이트 구동회로.

청구항 8.

제 1 항에 있어서,

상기 지연부는,

시프트레지스터의 플립플롭;

상기 플립플롭의 출력신호를 지연시키기 위한 RC 필터; 및

상기 RC 필터의 출력신호를 지연시켜 게이트 주사선으로 출력하기 위한 출력버퍼를 구비하되,

상기 RC 필터는 자신이 접속되는 화면의 위치에 따라 RC값이 다르게 설정되는 것을 특징으로 하는 액정표시장치의 게이트 구동회로.

청구항 9.

제 7 항에 있어서,

상기 RC필터는 자신이 접속되는 화면의 위치가 상부에서 하부로 갈수록 RC값이 작게 설정되는 것을 특징으로 하는 액정표시장치의 게이트 구동회로.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액티브 매트릭스 표시장치(Active Matrix Display Device)용 구동회로에 관한 것으로, 특히 구동회로를 구동함에 있어서 화면 상하의 피드트로우 전압 차이로 인한 불균일을 보상하도록 한 액정표시장치의 게이트 구동회로에 관한 것이다.

액티브 매트릭스(Active Matrix)구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor; 이하 "TFT"라 함)를 이용하여 동화상을 표시하고 있다. 이러한 액정표시장치는 브라운관에 비하여 소형화가 가능하여 퍼스널 컴퓨터와 노트북 컴퓨터는 물론, 복사기등의 사무자동화기기, 휴대전화기나 호출기 등의 휴대기기까지 광범위하게 이용되고 있다.

구동회로가 일체화된 액정표시장치에는 게이트 주사신호를 제어하는 게이트 구동회로와 아날로그 비디오 데이터 신호를 제어하는 데이터 샘플링 회로가 유리기판에 동시에 형성되어 있다. 아울러 게이트 구동회로는 한 프레임내에서 순차적으로 게이트 라인에 의해 선택되게 되어 있다. 텔레비전 및 컴퓨터의 표시장치로 사용되는 액정표시장치는 액정셀들이 데이터 라인들과 셀렉트 라인들과의 교차부들에 각각 배열되어진 액정 매트릭스를 구비한다. 이들 셀렉트라인들은 액정 매트릭스의 수평라인(로우라인)들로서 시프트 레지스터에 의해 선택된다.

도 1을 참조하면, 액정표시장치(10)는, 디지털 데이터를 아날로그 데이터로 변환하기 위한 데이터 구동회로(11)와, 스캔펄스를 게이트라인(Gate line)들에 공급하기 위한 게이트 구동회로들(12, 13)과, 데이터 구동부(11)에 의해 변환된 아날로그 데이터를 샘플링하여 데이터라인(Data line)들에 공급하기 위한 데이터 샘플링회로(14)와, 게이트라인들과 데이터라인들이 형성된 액정표시패널(15)을 구비한다. 여기서, 액정표시패널(15) 상에 형성된 각 픽셀에는 박막트랜지스터(TFT)가 형성된다.
동일 게이트 라인을 좌우 양쪽에서 구동하므로, 게이트 라인 전체에 인가 파형의 균일성이 개선된다. 아울러 게이트 라인이 중간에서 끊어졌을 경우에도 좌우에서 게이트 신호가 들어오므로 결함을 줄일 수가 있다.

도 2를 보면 종래의 게이트 구동회로의 일례가 도시되어 있다.
도 2를 참조하면, 종래의 게이트 구동회로(20)는, 박막트랜지스터로 구성되어 있고, 각 단은 시프트 레지스터들(21-1 내지 21-n)과 전류버퍼들(22-1 내지 22-n)로 구성되어 있다. 클럭 버스 신호선의 전압을 상기 시프트 레지스터를 이용하여 샘플링하여 나온 신호는 부논리합 회로(NAND LOGIC)(미도시)과 전류를 증폭하는 상기 버퍼를 거쳐서 게이트라인에 걸리게 됨을 알 수 있게 된다. 구동용 클럭신호전원 신호선이 수백단 이상의 게이트 회로를 구성하도록 화면 수직 길이 이상 연결되어 있다. 상세히 하면, 클럭신호와 게이트 스타트 펄스가 함께 상기 시프트 레지스터에 인가되어 나온 신호는 상기 버퍼를 통해 게이트 회로에 연결되어 화소에 연결되고, 또 제 2 단의 상기 시프트레지스터에서 게이트 스타트 펄스로 작용하는 동작을 계속하게 된다. 화면의 크기가 증가할 경우 화면의 소정의 부분에서 클럭 신호선이 외부와 연결되어 게이트 회로의 각단으로 연결되어 있기 때문에 신호배선의 저항과 기생용량(parasitic capacitance)에 의해 클럭신호의 지연이 발생하고, 전원 배선의 경우는 상기 버퍼가 턴-온되거나 턴-오프될 경우 기생 부하에 의해 출력되는 전압 출력이 왜곡되게 된다. 이 때문에 게이트 구동회로의 첫단에서 아랫단로 갈수록, 즉 배선 공급원으로부터 멀어질수록 신호지연이 증가하여 출력전압의 라이징(rising)이나 폴링(falling)이 증가하게 된다.

도 3은 액정표시장치의 단위화소의 등가회로를 나타낸 것이다.
도 3을 참조하면, 액정표시패널(15)에 형성된 데이터라인과 게이트라인이 교차하는 부분에 박막트랜지스터(TFT)가 형성된다.
여기서, 게이트라인이 스캔되고 있으면 게이트전극에 펄스가 인가되고 모든 소오스 전극 라인에 신호전압이 인가되게 된다. 만약, 게이트 전극에 펄스가 인가되지 않으면 액정표시장치들은 턴-오프되어 액정 캐패시터(Cs)에 인가된 신호 전압이 유지될 것이다. 이러한 동작 원리에 의해 모든 게이트전극에 순차적으로 펄스를 인가하고, 해당 소오스 전극에 신호 전압을 인가함으로써 패널의 모든 화소를 구동하는 것이 가능하다. 이런 식으로 한 프레임의 화상이 표시되고 난 후 연속적으로 다른 프레임을 표시함으로 인해 동화상 표시가 가능하게 된다.

도 4a 및 도 4b를 참조하면, 도 2에서 도시한 게이트 구동회로에 있어서 첫단과 마지막단의 출력파형이 도시되어 있다. 첫단과 마지막단의 게이트 파형과 피드 트로우 전압에 차이가 있음을 알 수 있다. 게이트 파형의 라이징이 차이가 날 경우 화소에 신호를 충전하는 시간이 달라지는 차이가 있어서 화소의 신호전압의 불균일을 야기할 수 있게 된다. 아울러 게이트 파형의 폴링(falling)이 다를 경우 화소스위치가 턴-오프되는 동안에 화소의 전하가 피드트로우에 의해 변동이 발생하는데 그 값에 차이가 나서 수직 위치에 따라서 같은 신호를 인가하더라도 서로 다른 신호가 인가되게 된다. 일반적으로 화소스위치의 이동도가 높은 다결정 실리콘 액정표시장치의 경우 턴-오프가 느려 질 경우, 턴-오프되는 동안 화소로 재충전

(recharge)이 일어나서 피드트로우 전압이 감소하게 된다. 특히 화소 전압에 따라 피드트로우 전압이 다르기 때문에 양(+)과 음(-)인 계의 피드트로우 전압이 서로 다르고 또한 위치마다 변화하므로 공통전압을 조절하더라도 전 화면에 균일한 플리커나 잔상을 기대하기가 어려워진다.

따라서, 이러한 점을 보상하기 위해서는 게이트구동회로의 배선저항이나 기생용량을 감소시킬 수 밖에 없는데, 이럴 경우 회로 면적이 증가하거나 구조적인 문제로 해결하기가 곤란한 문제점이 있게 된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 화면 상하의 피드 트로우전압의 차이로 인한 불균일을 보상하도록 한 액정표시장치의 게이트 구동회로를 제공하는데 있다.

발명의 구성

이와 같은 목적을 달성하기 위하여 본 발명은, 액정셀들이 게이트라인들과 데이터라인들 사이에 배치되고, 상기 게이트라인들과 데이터라인들의 교차부에 스위치 소자를 구비하는 액정표시장치에 있어서, 게이트 구동신호를 상기 게이트 라인들에 순차적으로 인가하여 상기 게이트 라인들을 구동시키기 위한 게이트 구동부; 및 상기 게이트 라인들과 게이트 구동부 사이에 접속되고, 화면 상부와 화면 하부에서 서로 다른 지연값을 갖는 지연부를 구비한다.
상기 지연부는 트랜지스터로 이루어진 버퍼단을 구비하며, 상기 버퍼단의 트랜지스터의 채널 폭을 화면 상부는 작게 하고, 화면 하부는 크게 설정하는 것을 특징으로 한다.
상기 지연부는, 시프트레지스터의 플립플롭; 상기 플립플롭의 출력신호를 지연시키기 위한 중간버퍼; 및 상기 중간버퍼의 출력신호를 지연시켜 게이트 주사선으로 출력하기 위한 출력버퍼를 구비하되, 상기 중간버퍼와 출력버퍼의 지연값이 서로 다른 것을 특징으로 한다. 여기서, Y상기 중간버퍼가 화면 하부에 공급되는 신호를 지연시키도록 접속되는 경우에 비하여 화면 상부에 공급되는 신호를 지연시키도록 접속되는 경우에 큰 지연값을 갖으며, 상기 중간버퍼에 의해 지연된 신호가 공급되는 화면의 위치가 상부로부터 하부로 갈수록 상기 중간버퍼의 지연값이 작아지는 것을 특징으로 한다.
상기 지연부는, 시프트레지스터의 플립플롭; 상기 플립플롭의 출력신호를 지연시키기 위한 다수의 중간버퍼들; 및 상기 다수의 중간버퍼들을 통해 지연된 신호를 지연시켜 게이트 주사선으로 출력하기 위한 출력버퍼를 구비하되, 상기 다수의 중간버퍼들의 지연값은 동일하되, 상기 다수의 중간버퍼들과 출력버퍼의 지연값이 서로다른 것을 특징으로 한다. 여기서, 화면 상부에 공급되는 신호를 지연시키기 위한 상기 중간버퍼들의 갯수가 화면 하부에 공급되는 신호를 지연시키기 위한 상기 중간버퍼들의 갯수보다 많은 것을 특징으로 한다.
상기 중간버퍼들의 갯수는 중간버퍼의 지연값에 따라 조절되는 것을 특징으로 한다.
상기 지연부는, 시프트레지스터의 플립플롭; 상기 플립플롭의 출력신호를 지연시키기 위한 RC 필터; 및 상기 RC 필터의 출력신호를 지연시켜 게이트 주사선으로 출력하기 위한 출력버퍼를 구비하되, 상기 RC 필터는 자신이 접속되는 화면의 위치에 따라 RC값이 다르게 설정되는 것을 특징으로 한다.
상기 RC필터는 자신이 접속되는 화면의 위치가 상부에서 하부로 갈수록 RC값이 작게 설정되는 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 도면들을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 5 내지 도 10을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 5는 본 발명의 제 1 실시예에 따른 게이트 구동회로를 나타낸 것이다.
도 5를 참조하면, 게이트 구동회로(30)는, 시프트레지스터의 플립플롭(31)과, 전류버퍼(32)를 구비한다.
여기서, 전류버퍼(32)는, 전원전압과 접지 사이에 직렬 접속된 P모스 트랜지스터(PT1) 및 N모스 트랜지스터(NT1)를 구비하되, P모스 트랜지스터(PT1) 및 N모스 트랜지스터(NT1)의 게이트는 플립플롭(31)의 출력단에 공통접속되고, P모스 트랜지스터(PT1)의 소스는 전원전압에 접속되고, P모스 트랜지스터(PT1)의 드레인과 N모스 트랜지스터(NT1)의 드레인은 게이트 주사선에 공통접속되며, 그리고 N모스 트랜지스터(NT1)의 소스는 접지에 접속된다.
플립플롭(31)과 버퍼(32)를 통하여 나온 신호는 게이트 주사선을 통하고 또 다음단의 게이트 스타트 펄스로 인가되게 된다. 이와 같은 동작에 따라, 아래로 갈수록 지연값이 증가되게 된다. 따라서 버퍼소자의 지연값을 화면 상부는 작게 해주고, 화면 하부로 갈수록 증가시켜서 화면 상하의 불균일함을 보상하고자 하는 방안을 나타내는 것이다. 즉, 화면 최상부는 배선에 의한 지연값이 작으므로 버퍼단의 트랜지스터(PT1, NT1) 채널 폭을 작게 해줌으로써 지연값을 증가시키게 한다. 첫번째 버퍼단으로부터 최종단의 버퍼단으로 갈수록 채널폭을 비례적으로 증가해서 최종단에는 버퍼단의 트랜지스터(PT1, NT1) 채널 폭을 가장 크게 하는 방식으로 해주게 하여 지연값을 감소시키게 한다. 결론적으로 출력에 영향을 미치는 소자의 지연값을 동일하게 하지 않고 서로 다르게 함으로써 하부로 갈수록 커지는 지연값을 보상하고자 하는 것이다.

도 6은 본 발명의 제 2 실시예에 따른 게이트 구동회로를 나타낸 것이다.
도 6을 참조하면, 게이트 구동회로(40)는, 시프트레지스터의 플립플롭(41)과, 플립플롭(41)의 출력신호를 지연시키기 위한 버퍼(42)와, 버퍼(42)의 출력신호를 지연시키기 위한 출력버퍼(43)를 구비한다. 여기서, 버퍼(42)는 지연값을 조절하는 기능을 갖는다.
출력버퍼(43)는, 전원전압과 접지 사이에 직렬 접속된 P모스 트랜지스터(PT2) 및 N모스 트랜지스터(NT2)를 구비하되, P모스 트랜지스터(PT2) 및 N모스 트랜지스터(NT2)의 게이트는 버퍼(42)의 출력단에 공통접속되고, P모스 트랜지스터(PT2)의 소스는 전원전압에 접속되고, P모스 트랜지스터(PT2)의 드레인과 N모스 트랜지스터(NT2)의 드레인은 게이트 주사선에 공통접속되며, 그리고 N모스 트랜지스터(NT2)의 소스는 접지에 접속된다.
지연값을 조절하는 버퍼(42)를 출력버퍼(43)와 플립플롭(41) 사이에 삽입하고, 버퍼(42)의 지연값을 조절함으로써 위치에 따른 지연값의 차이를 보상하는 것을 나타낸다. 이로써 지연값이 다른 버퍼를 이용함으로써 레이아웃 면적을 크게 변화시키지 않으면서 전체 지연값을 조절하게 하는 특징이 있게 된다. 상세히 하면, 상부에는 지연율이 큰 버퍼를 사용하고, 하부로 갈수록 지연값이 작은 버퍼를 사용함으로써 화면 상하부의 신호 지연값을 조절하게 된다.

도 7은 본 발명의 제 3 실시예에 따른 게이트 구동회로를 나타낸 것이다.
도 7을 참조하면, 게이트 구동회로(50)는, 시프트레지스터의 플립플롭(51)과, 플립플롭(51)의 출력신호를 지연시키기 위한 버퍼(52)와, 버퍼(52)의 출력신호를 지연시키기 위한 버퍼(53)와, 버퍼(53)의 출력신호를 지연시키기 위한 출력버퍼(54)를 구비한다. 여기서, 버퍼(52, 53)는 지연값을 조절하는 기능을 갖는다.
출력버퍼(54)는, 전원전압과 접지 사이에 직렬 접속된 P모스 트랜지스터(PT3) 및 N모스 트랜지스터(NT3)를 구비하되, P모스 트랜지스터(PT3) 및 N모스 트랜지스터(NT3)의 게이트는 버퍼(53)의 출력단에 공통접속되고, P모스 트랜지스터(PT3)의 소스는 전원전압에 접속되고, P모스 트랜지스터(PT3)의 드레인과 N모스 트랜지스터(NT3)의 드레인은 게이트 주사선에 공통접속되며, 그리고 N모스 트랜지스터(NT3)의 소스는 접지에 접속된다.
시프트레지스터의 플립플롭(51)과 출력버퍼(54) 사이에 중간 버퍼들(52, 53)을 삽입하는데에 있어서, 도 6에 도시된 게이트 구동회로(40)에 도시된 버퍼(42)의 지연값을 변화시키는 것이 아니라 동일한 지연값을 가지는 버퍼의 숫자를 조절함으로써 화면 상하부의 신호지연을 조절하게 된다. 화면 상부는 다수의 버퍼를 배열하게 하고 화면 하부로 갈수록 버퍼의 수를 적게 함으로써 출력파형을 조절할 수 있다. 예를 들어 패널의 상단부는 버퍼를 3개 정도 쓰고, 상중부에는 2개, 하중부에는 1개의 버퍼만을 사용하여 지연값을 조절하게 된다.

본 발명에 따른 제 4 실시예는 도면으로는 도시되어 있지 않지만, 제 2 실시예와 제 3 실시예를 조합하여 지연값을 조절하는 경우이다. 버퍼의 크기를 다르게 함과 하단으로 갈수록 버퍼를 적게 사용하는 것을 병행하여 지연율을 조절함으로써 화면을 균일하게 표현하도록 하게 한다.
도 8은 본 발명의 또다른 실시예에 따른 게이트 구동회로를 나타낸 것이다.
도 8을 참조하면, 게이트 구동회로(60)는, 시프트레지스터의 플립플롭(61)과, 플립플롭(61)의 출력신호를 딜레이시키기 위한 딜레이소자(62)와, 딜레이소자(62)의 출력신호를 지연시키기 출력버퍼(63)를 구비한다.
출력버퍼(63)는, 전원전압과 접지 사이에 직렬 접속된 P모스 트랜지스터(PT4) 및 N모스 트랜지스터(NT4)를 구비하되, P모스 트랜지스터(PT4) 및 N모스 트랜지스터(NT4)의 게이트는 딜레이 소자(62)의 출력단에 공통접속되고, P모스 트랜지스터(PT4)의 소스는 전원전압에 접속되고, P모스 트랜지스터(PT4)의 드레인과 N모스 트랜지스터(NT4)의 드레인은 게이트 주사선에 공통접속되며, 그리고 N모스 트랜지스터(NT4)의 소스는 접지에 접속된다.
여기서, 딜레이 소자(62)로는 도 9에 도시된 RC필터가 이용될 수 있다. 상기 RC 필터의 RC 값을 점점 감소 시킴으로서 마지막으로 갈수록 딜레이를 감소시킨다.

삭제

도 10은 PMOS 구동회로의 일례를 도시한 것이다. 이 구동회로에서 구동회로 출력의 상승시간이나 하강시간을 결정하는 소자는 T_1이 되는데, T_1의 소자를 크게 하면 출력의 상승시간과 하강 시간이 감소하고 소자의 채널 폭을 감소시키면 상승시간과 하강시간은 증가하게 된다. 따라서, 게이트 구동회로의 인입부에 가까울수록 소자의 크기를 감소시키고 멀수록 증가시키면 출력의 균일도를 크게 향상시킬 수 있으며 이는 화소 전압의 균일도로 이어져 화질을 개선할 수 있게 된다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시장치의 게이트 구동회로는 게이트 드라이버의 출력단 버퍼의 지연값을 화면 상부의 부분과 화면 하부의 부분을 다르게 하여 신호지연에 의한 파형 불균일을 보상할 수 있게 된다. 이에 따라 액정표시장치의 게이트 구동회로에서 수직 방향의 신호 지연에 의해 발생하는 화소 전압의 불균일성을 개선함으로써 화질 및 휘도의 균일성을 꾀할 수 있게 된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

도 1은 구동회로가 일체화된 박막트랜지스터 액정표시장치(TFT-LCD)의 개략도.

도 2는 게이트 구동회로의 블럭도.

도 3은 액정표시장치의 단위화소의 등가회로도.

도 4a와 도 4b는 구동회로의 첫단과 마지막단 게이트 파형 및 피드트로우 전압의 특성도.

도 5는 본 발명의 제 1 실시예에 따른 액정표시장치의 게이트 구동회로도.

도 6은 본 발명의 제 2 실시예에 따른 액정표시장치의 게이트 구동회로도.

도 7은 본 발명의 제 3 실시예에 따른 액정표시장치의 게이트 구동회로도.

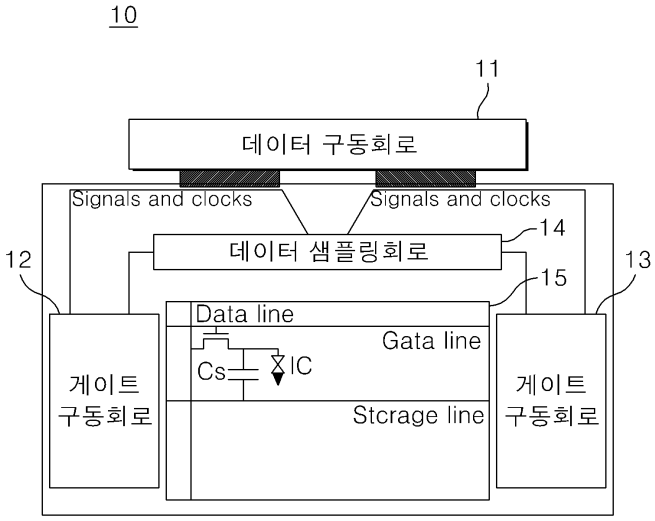
도 8은 본 발명의 제 4 실시예에 따른 액정표시장치의 게이트 구동회로도.

도 9는 RC Delay의 개략도.

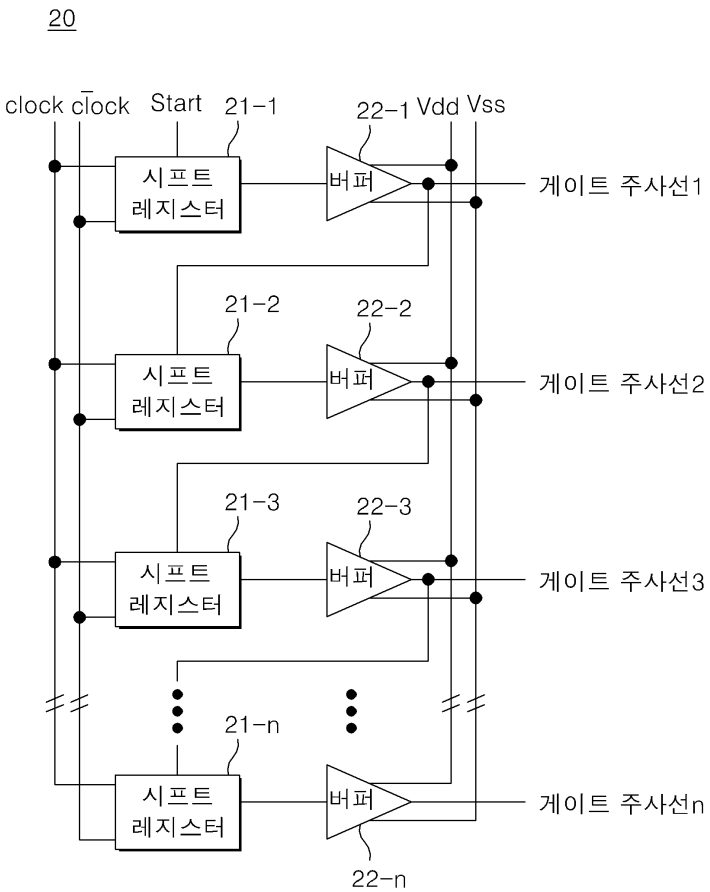
도 10은 PMOS 구동회로의 실례도.

도면

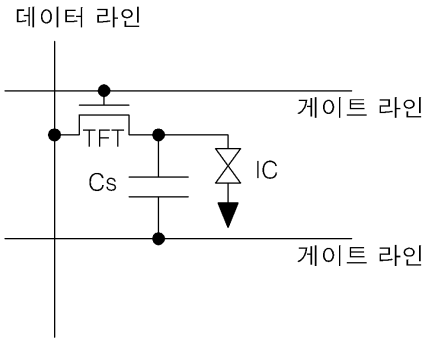
도면1


10
11
데이터 구동회로
Signals and clocks
Signals and clocks
14
데이터 샘플링회로
12
13
15
Data line
Gata line
Cs
IC
Stcrage line
게이트
구동회로
게이트
구동회로

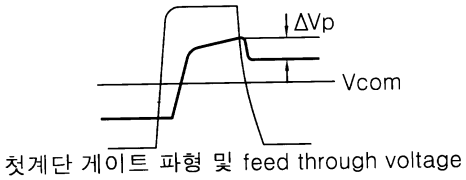
도면2


20
clock
clock
Start
21-1
22-1
Vdd
Vss
시프트
레지스터
버퍼
게이트 주사선1
21-2
22-2
게이트 주사선2
21-3
22-3
게이트 주사선3
21-n
게이트 주사선n
22-n

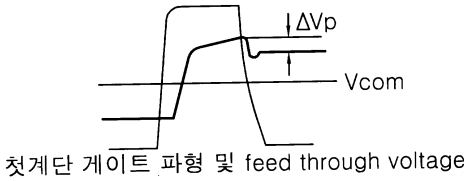
도면3



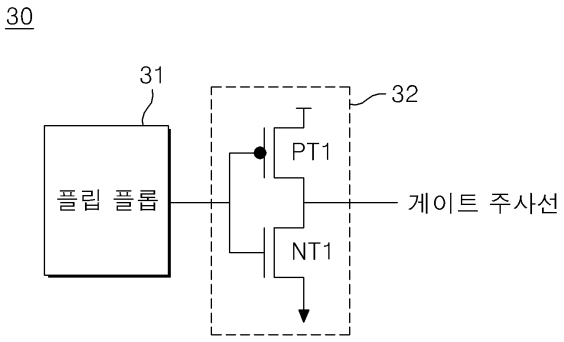
도면4a



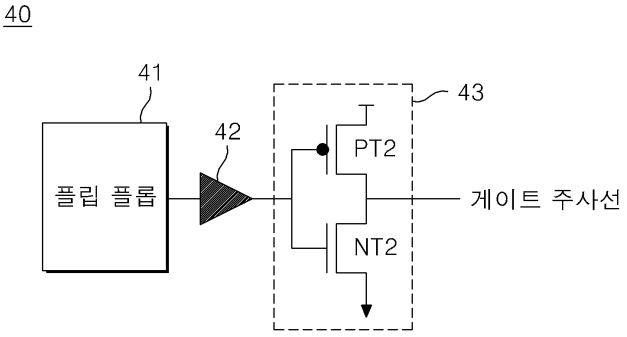
도면4b



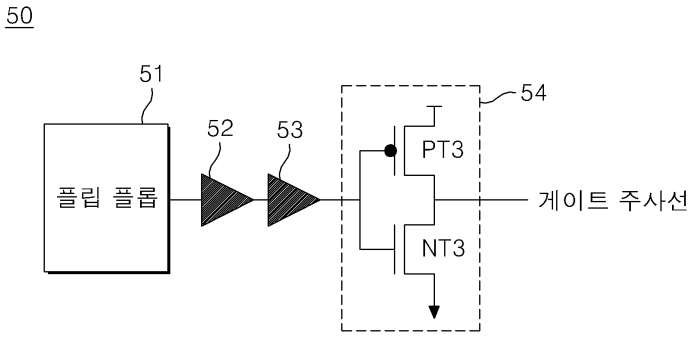
도면5



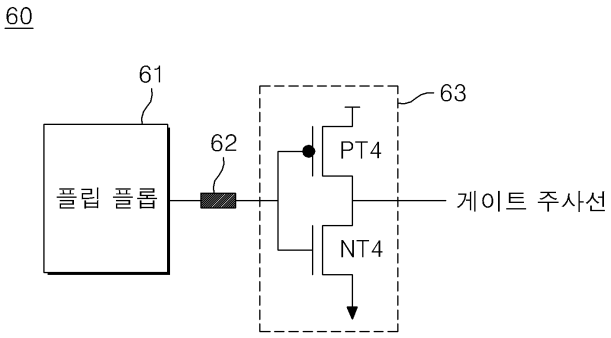
도면6



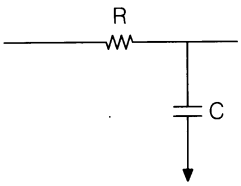
도면7



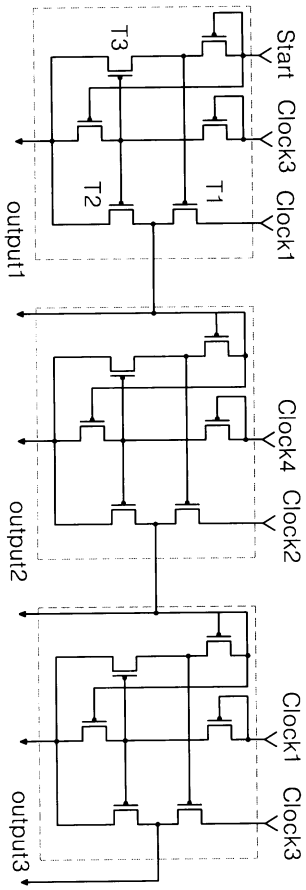
도면8



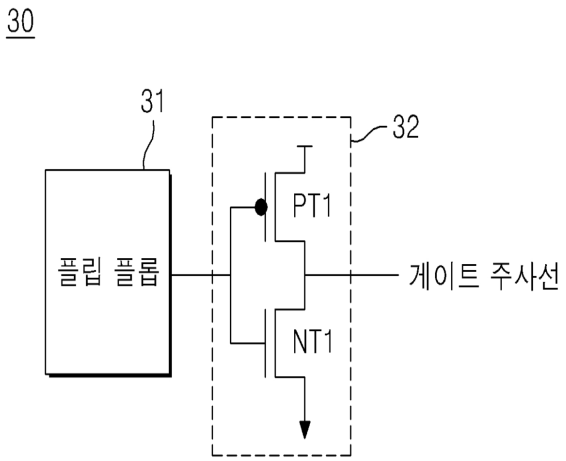
도면9



도면10


T3
T2
T1
Start
Clock3
Clock1
output1
Clock4
Clock2
output2
Clock1
Clock3
output3

专利名称(译)	一种液晶显示器的栅极驱动电路		
公开(公告)号	KR100751197B1	公开(公告)日	2007-08-22
申请号	KR1020000085391	申请日	2000-12-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HA YONG MIN		
发明人	HA,YONG MIN		
IPC分类号	G09G3/36		
其他公开文献	KR1020020056093A		
外部链接	Espacenet		

摘要(译)

液晶显示装置的栅极驱动电路技术领域本发明涉及一种液晶显示装置的栅极驱动电路，其在驱动栅极驱动电路时补偿由屏幕的上部和下部之间的馈通电压的差异引起的不均匀性。 根据本发明的液晶显示器的栅极驱动电路，用于将栅极驱动器的输出缓冲器的延迟值减小到屏幕的上部和屏幕的下部，以及步骤。 根据本发明，通过使栅极驱动电路的输出缓冲器的延迟值不同于屏幕的上部和屏幕的下部，可以通过改善由于信号延迟引起的波形不均匀性来改善图像质量。 五