



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G02F 1/13 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년04월11일 10-0705630 2007년04월03일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2004-0117992 2004년12월31일 2004년12월31일	(65) 공개번호 (43) 공개일자	10-2006-0078387 2006년07월05일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자 비오이 하이디스 테크놀로지 주식회사
 경기도 이천시 부발읍 아미리 산 136-1

(72) 발명자 임병천
 경기 여주군 가남면 현진아파트 105-705

(74) 대리인 강성배

(56) 선행기술조사문헌
KR10199716659
* 심사관에 의하여 인용된 문헌

심사관 : 한상수

전체 청구항 수 : 총 2 항

(54) 액정표시장치의 어레이 테스트 방법

(57) 요약

본 발명은 액정표시장치의 어레이 테스트 방법을 개시한다. 개시된 본 발명의 어레이 테스트 방법은, 각 게이트 및 데이터 배선의 OLB 패드들로부터 패널 외곽으로 연장되어 형성된 배선들에 대해, 홀수 배선들을 하나의 연결배선으로 연결하고, 짝수 배선들을 다른 하나의 연결배선으로 연결한 상태로, 상기 각 연결배선에 테스트 신호를 인가한 후, 어레이 기판 상부에 위치시키는 모듈레이터를 통하여 게이트 및 데이터 배선의 단선, 단락 및 화소결함을 분석하는 액정표시장치의 어레이 테스트 방법에 있어서, 상기 OLB 패드들로부터 연장된 홀수 배선들을 제1연결배선으로 연결하고, 상기 OLB 패드들로부터 연장되고 상기 제1연결배선과 교차하는 짝수 배선들을 제2연결배선으로 연결하며, 상기 제1연결배선과 짝수 배선들간 크로스 캐패시턴스가 감소되도록, 상기 제1연결배선에서 OLB 패드 블록의 시작단과 끝단에 각각 대응하는 부분들을 제3연결배선으로 연결한 상태로 상기 제1 및 제2연결배선에 테스트 신호를 인가하는 것을 특징으로 한다.

대표도

도 2

특허청구의 범위

청구항 1.

각 게이트 및 데이터 배선의 OLB 패드들로부터 패널 외곽으로 연장되어 형성된 배선들에 대해, 홀수 배선들을 하나의 연결배선으로 연결하고, 짝수 배선들을 다른 하나의 연결배선으로 연결한 상태로, 상기 각 연결배선에 테스트 신호를 인가한 후, 어레이 기관 상부에 위치시키는 모듈레이터를 통하여 게이트 및 데이터 배선의 단선, 단락 및 화소결함을 분석하는 액정표시장치의 어레이 테스트 방법에 있어서,

상기 OLB 패드로부터 연장된 홀수 배선들을 제1연결배선으로 연결하고, 상기 OLB 패드로부터 연장되고 상기 제1연결배선과 교차하는 짝수 배선들을 제2연결배선으로 연결하며, 상기 제1연결배선과 짝수 배선들간 크로스 캐패시턴스가 감소되도록, 상기 제1연결배선에서 OLB 패드 블럭의 시작단과 끝단에 각각 대응하는 부분들을 제3연결배선으로 연결한 상태로 상기 제1 및 제2연결배선에 테스트 신호를 인가하는 것을 특징으로 하는 액정표시장치의 어레이 테스트 방법.

청구항 2.

삭제

청구항 3.

각 게이트 및 데이터 배선의 OLB 패드들로부터 패널 외곽으로 연장되어 형성된 배선들에 대해, 홀수 배선들을 하나의 연결배선으로 연결하고, 짝수 배선들을 다른 하나의 연결배선으로 연결한 상태로, 상기 각 연결배선에 테스트 신호를 인가한 후, 어레이 기관 상부에 위치시키는 모듈레이터를 통하여 게이트 및 데이터 배선의 단선, 단락 및 화소결함을 분석하는 액정표시장치의 어레이 테스트 방법에 있어서,

상기 OLB 패드로부터 연장된 짝수 배선들을 제1연결배선으로 연결하고, 상기 OLB 패드로부터 연장되고 상기 제1연결배선과 교차하는 홀수 배선들을 제2연결배선으로 연결하며, 상기 제1연결배선과 홀수 배선들간 크로스 캐패시턴스가 감소되도록, 상기 제1연결배선에서 OLB 패드 블럭의 시작단과 끝단에 각각 대응하는 부분들을 제3연결배선으로 연결한 상태로 상기 제1 및 제2연결배선에 테스트 신호를 인가하는 것을 특징으로 하는 액정표시장치의 어레이 테스트 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치의 어레이 테스트 방법에 관한 것으로, 보다 상세하게는, 어레이 테스트시의 검출력을 향상시키기 위한 배선 구조에 관한 것이다.

액정표시장치는 경량 및 박형의 표시장치로서, 이러한 잇점을 토대로 CRT를 대신할 표시장치로 개발되어져 왔으며, 노트북 및 모니터 등에 사용되고 있음은 물론 최근에 들어서는 모바일 및 TV를 포함한 다양한 분야에서 널리 사용되고 있다.

이러한 액정표시장치는 전형적으로 박막트랜지스터 어레이 기관과 컬러필터 기관이 액정층의 개재하에 합착된 액정패널과 상기 패널을 구동시키기 위한 구동 회로부 및 백라이트유니트를 포함한 광학기구로 구성된다.

한편, 액정표시장치를 제조함에 있어서, 각 공정을 진행한 후에는 다음 공정으로 불량품이 유출되는 것을 방지하기 위해 테스트 단계를 수행하는 것이 일반적이며, 이러한 테스트는 박막트랜지스터 어레이 기관이 완성된후 실시되는 어레이 테스트, 패널 공정이 완료된후 실시되는 셀 테스트, 그리고, 구동회로 및 백라이트유니트 모두를 결합시킨후 실시되는 모듈 테스트로 나뉜다. 이때, 각 단계별 테스트는 후속 단계로의 불량품 유출에 의한 재료비 낭비 및 생산성 저감 방지를 위해 확실하고 효과적으로 진행되어야만 한다.

여기서, 상기 어레이 테스트는, 첫째, 게이트 및 데이터 패드[=OLB(Out Lead Bonding) 패드]들 각각에 프로우브(probe pin)을 직접 접촉시켜 테스트 신호를 인가한후 각 화소에 저장된 전하(charge)량을 검출하여 어레이 기관에서의 단선, 단

락 및 화소결합 등을 분석하는 방법, 둘째, 게이트 및 데이터 패드들을 각각 홀수(odd) 및 짝수(even) 패드들끼리 연결하고 테스트 신호를 인가한 후 어레이 기판 상부에 위치시키는 모듈레이터를 통하여 어레이 기판에서의 단선, 단락 및 화소결합 등을 분석하는 방법의 두가지 형태가 있다.

그런데, 전자의 방법은 테스트 자체가 용이하고 그 결과가 비교적 정확하지만, 프로우브 핀에 의해 패드가 손상될 수 있어 제품 불량률이 유발될 수 있다. 이에, 최근에는 프로우브 핀이 직접 콘택되지 않아 상기 프로우브 핀에 의한 패드 손상이 없는 후자의 방법을 많이 이용하고 있는 실정이다.

그러나, 각각의 패드를 홀수 및 짝수 패드들끼리 연결하여 테스트하는 후자의 방법은 패드 손상을 방지할 수 있다는 측면에서 잇점은 있지만, 도 1에 도시된 바와 같이, 홀수 배선(1a)들을 연결한 제1연결배선(1)과 짝수 배선(2a)간 중첩되는 부분에서 크로스 캐패시턴스(cross capacitance; 10)가 만들어지게 되고, 패널 크기가 커질수록 상기 크로스 캐패시턴스(10)에 의한 배선 저항이 커짐으로써, 인가되는 신호의 지연(delay) 및 드롭(drop) 현상이 발생하는 등, 패널 크기가 커질수록 테스트의 신뢰성이 저하되는 문제가 발생된다.

도 1에서, 미설명된 도면부호 2는 짝수 배선(2a)들을 연결하는 제2연결배선을, 10은 게이트 및 데이터 배선들로부터 연장되어 패널 외곽에 형성되는 OLB 패드를, 그리고, 20a 및 20b는 제1 및 제2연결배선과 연결되는 테스트 패드를 각각 나타낸다.

한편, 상기한 크로스 캐패시턴스를 줄이기 위한 방법으로서, 근본적으로 배선 저항을 줄이는 방법을 들 수 있고, 상기 배선 저항을 줄이는 실질적인 방법으로는 배선 물질로서 저저항 금속을 사용하거나, 또는, 배선 폭을 증가시키는 방법을 예로 들 수 있지만, 배선 물질의 선택은 공정의 제약에 의해 쉽게 적용할 수 없으며, 그리고, 배선 폭을 증가시키는 방법은 배선 저항은 감소시킬 수 있을지 몰라도 배선들 사이의 오버랩 캐패시턴스(overlap capacitance)가 증가하여 오히려 신호 지연 현상을 더욱 증가시키는 결과를 초래한다. 아울러, 배선 폭을 증가시키는 방법은 패널 내부에서의 면적이 증가되는 바, 고해상도의 구현에 장애가 되고, 또한, 이와 같은 배선은 패널 공정이 완료된 후 그라인딩에 의해 제거되어야 하는데, 배선 폭이 넓으면 모두 제거되지 않고 남는 현상이 발생되므로, 이는 패드간 단락 불량을 유발할 수 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기한 바와 같은 종래의 문제점을 해결하기 위해 안출된 것으로서, 배선과 연결배선간 크로스 캐패시턴스에 기인하는 어레이 테스트의 검출력 저하를 개선시킬 수 있는 액정표시장치의 어레이 테스트 방법을 제공함에 그 목적이 있다.

발명의 구성

상기와 같은 목적을 달성하기 위하여, 본 발명은, 각 게이트 및 데이터 배선의 OLB 패드들로부터 패널 외곽으로 연장되어 형성된 배선들에 대해, 홀수 배선들을 하나의 연결배선으로 연결하고, 짝수 배선들을 다른 하나의 연결배선으로 연결한 상태로, 상기 각 연결배선에 테스트 신호를 인가한 후, 어레이 기판 상부에 위치시키는 모듈레이터를 통하여 게이트 및 데이터 배선의 단선, 단락 및 화소결합을 분석하는 액정표시장치의 어레이 테스트 방법에 있어서, 상기 OLB 패드로부터 연장된 홀수 배선들을 제1연결배선으로 연결하고, 상기 OLB 패드로부터 연장되고 상기 제1연결배선과 교차하는 짝수 배선들을 제2연결배선으로 연결하며, 상기 제1연결배선과 짝수 배선들간 크로스 캐패시턴스가 감소되도록, 상기 제1연결배선에서 OLB 패드 블록의 시작단과 끝단에 각각 대응하는 부분들을 제3연결배선으로 연결한 상태로 상기 제1 및 제2연결배선에 테스트 신호를 인가하는 것을 특징으로 하는 액정표시장치의 어레이 테스트 방법을 제공한다.

또한, 본 발명은, 각 게이트 및 데이터 배선의 OLB 패드들로부터 패널 외곽으로 연장되어 형성된 배선들에 대해, 홀수 배선들을 하나의 연결배선으로 연결하고, 짝수 배선들을 다른 하나의 연결배선으로 연결한 상태로, 상기 각 연결배선에 테스트 신호를 인가한 후, 어레이 기판 상부에 위치시키는 모듈레이터를 통하여 게이트 및 데이터 배선의 단선, 단락 및 화소결합을 분석하는 액정표시장치의 어레이 테스트 방법에 있어서, 상기 OLB 패드로부터 연장된 짝수 배선들을 제1연결배선으로 연결하고, 상기 OLB 패드로부터 연장되고 상기 제1연결배선과 교차하는 홀수 배선들을 제2연결배선으로 연결하며, 상기 제1연결배선과 홀수 배선들간 크로스 캐패시턴스가 감소되도록, 상기 제1연결배선에서 OLB 패드 블록의 시작단과 끝단에 각각 대응하는 부분들을 제3연결배선으로 연결한 상태로 상기 제1 및 제2연결배선에 테스트 신호를 인가하는 것을 특징으로 하는 액정표시장치의 어레이 테스트 방법을 제공한다.

(실시예)

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다.

본 발명은 어레이 테스트를 행함에 있어, 각 게이트 및 데이터 배선의 OLB 패드들로부터 패널 외곽으로 연장되어 형성된 배선들에 대해 홀수 배선들과 짝수 배선들을 서로 다른 연결배선으로 연결한 상태로 상기 연결배선에 테스트 신호를 인가한 후 어레이 기판 상에 위치시키는 모듈레이터를 통하여 게이트 및 데이터 배선의 단선, 단락 및 화소결함을 분석하는 어레이 테스트 방법을 이용한다.

그리고, 이러한 어레이 테스트를 진행함에 있어서, 상기 배선과 연결배선간 크로스 캐패시턴스에 의한 테스트 검출력 저하를 개선시키기 위해 배선 구조를 다음과 같이 한다.

도 2는 본 발명에 따른 액정표시장치의 어레이 테스트 방법을 설명하기 위한 도면이다. 여기서, 도 1과 동일한 부분은 동일한 도면부호로 나타낸다.

도시된 바와 같이, 본 발명은 각 게이트 및 데이터 배선의 OLB 패드들로부터 패널 외곽으로 연장되어 형성된 배선들(1a, 2a)을 연결함에 있어 2개의 연결배선만을 이용하는 것이 아니라, 홀수/짝수/홀수 또는 짝수/홀수/짝수의 3개의 연결배선(1,2,3)을 이용한다.

즉, 본 발명은 홀수 배선들(1a) 또는 짝수 배선들(2a), 예컨대, 홀수 배선들(1a)은 제1연결배선(1)으로 연결하고, 짝수 배선들(2a) 또는 홀수 배선들(1a), 예컨대, 짝수 배선들(2a)을 제2연결배선(2)으로 연결한다. 그리고, OLB 패드 블럭(10)의 시작단과 끝단에 각각 대응하는 제1연결배선 부분들을 제3연결배선(3)으로 연결한다. 이때, 상기 제1연결배선(1)은 종래의 그것에 비해 절반의 폭을 갖도록 형성하며, 상기 제2연결배선(2)은 종래와 동일한 폭을 갖도록 형성하고, 그리고, 상기 제3연결배선(3)은 제1연결배선(1)과 같은 폭을 갖도록 형성한다.

그리고, 이와같은 상태에서 제1 및 제2연결배선 끝단의 각 테스트 패드(20a, 20b)에 테스트 신호를 인가한다.

이 경우, 종래와 같이 2개의 연결배선만을 형성하였을 때의 짝수 배선(2a)과 제1연결배선(1)간 크로스 캐패시턴스가 100이라고 가정하면, 홀수/짝수/홀수 또는 짝수/홀수/짝수의 3개의 연결배선을 형성하는 것으로 인해 크로스 캐패시턴스를 절반 수준인 50으로 감소시킬 수 있다. 이것은 크로스 캐패시턴스가 3개의 연결배선중 두곳 사이에서만 형성되고, 다른 한 곳에서는 형성되지 않기 때문이다. 그리고, 저항 측면에서 볼 때, 홀수/홀수 또는 짝수/짝수간 병렬로 배선이 형성되기 때문에 배선 저항은 증가되지 않는다.

따라서, 배선 저항은 증가되지 않는 반면, 크로스 캐패시턴스는 감소된 연결배선의 폭 만큼 감소되기 때문에, 본 발명은 테스트 검출력을 종래 보다 개선시킬 수 있다.

자세하게, 도 1에서 제1연결배선(1) 및 제2연결배선(2)의 폭을 각각 $100\mu\text{m}$ 로 하고, OLB 패드로부터 연장되는 배선, 즉, 짝수 배선(2a)의 폭을 $20\mu\text{m}$ 로 하였다고 가정할 때, 제1연결배선(1)과 짝수 배선(2a)간 중첩부의 면적은 $100 \times 20\mu\text{m}^2$ 이 된다. 한편, 이때의 저항과 캐패시턴스는 각각 100으로 가정한다.

반면, 도 2에서 본 발명은 제2연결배선(2)의 폭은 $100\mu\text{m}$ 를 그대로 유지하면서 제1연결배선(1)의 폭을 종래의 절반 수준인 $50\mu\text{m}$ 으로 줄이고, 제3연결배선(3)의 폭을 줄어든 제1연결배선(1)의 폭에 해당하는 $50\mu\text{m}$ 로 하므로, 이때의 배선 저항, 즉, 제1연결배선(1)의 배선 저항은 상기 제3연결배선(3)이 OLB 패드 블럭(10)의 시작단과 끝단에 대응하는 제1연결배선 부분들을 서로 연결한 형태이고, 이는 제1연결배선(1)과 병렬 연결된 구조이므로, 결국, 종래와 거의 유사한 값인 100을 갖게 된다. 이에 반해, 제1연결배선(1)과 짝수 배선(2a)간 중첩 면적은 상기 제1연결배선(1)의 폭이 종래의 절반 수준으로 감소된 것과 관련해서 $50 \times 20\mu\text{m}^2$ 이 되는 바, 결국, 상기 제1연결배선(1)과 짝수 배선(2a)간 크로스 캐패시턴스는 종래의 절반으로 낮출 수 있게 된다.

그러므로, 본 발명은 배선 저항은 2개의 연결배선을 이용하는 경우와 동일하게 유지할 수 있는 반면, 크로스 캐패시턴스는 1/2로 감소시킬 수 있는 바, 어레이 테스트시의 검출력을 개선시킬 수 있고, 그래서, 후속 공정으로의 불량품 유출을 효과적으로 방지할 수 있게 된다.

한편, 종래 2개의 연결배선을 구성하는 경우, 제1연결배선은 제2연결배선과 연결되는 OLB 패드로부터의 연장 배선과 계속 중첩되기 때문에 게이트 금속 또는 데이터 금속 중 어느 1개로만 구성될 수 밖에 없다. 그러나, 제3연결배선은 중첩이 없으므로, 이중 금속막으로의 구성이 가능해진다.

따라서, 본 발명은 동일 공간을 사용하더라도 제3연결배선을 이중 금속막으로 구성함으로써 배선 저항을 더욱 감소시킬 수 있다.

여기에서는 본 발명을 특정 실시예에 관련하여 도시하고 설명하였지만, 본 발명이 그에 한정되는 것은 아니며, 이하의 특허청구의 범위는 본 발명의 정신과 분야를 이탈하지 않는 한도 내에서 본 발명이 다양하게 개조 및 변형될 수 있다는 것을 당업계에서 통상의 지식을 가진 자가 용이하게 알 수 있다.

발명의 효과

이상에서와 같이, 본 발명은 3개의 연결배선으로 OLB 패드로부터 나온 홀수 및 짝수 배선들을 연결시켜 줌으로써 어레이 테스트시의 검출력을 향상시킬 수 있으며, 이에 따라, 후속 공정으로 불량품이 유출되는 것을 효과적으로 방지할 수 있고, 그래서, 불량품 유출에 의한 재료비 낭비 및 생산성 저감을 방지할 수 있다.

도면의 간단한 설명

도 1은 종래의 어레이 테스트 방법을 설명하기 위한 도면.

도 2는 본 발명에 따른 액정표시장치의 어레이 테스트 방법을 설명하기 위한 도면.

* 도면의 주요 부분에 대한 부호의 설명 *

1 : 제1연결배선 1a : 홀수 배선

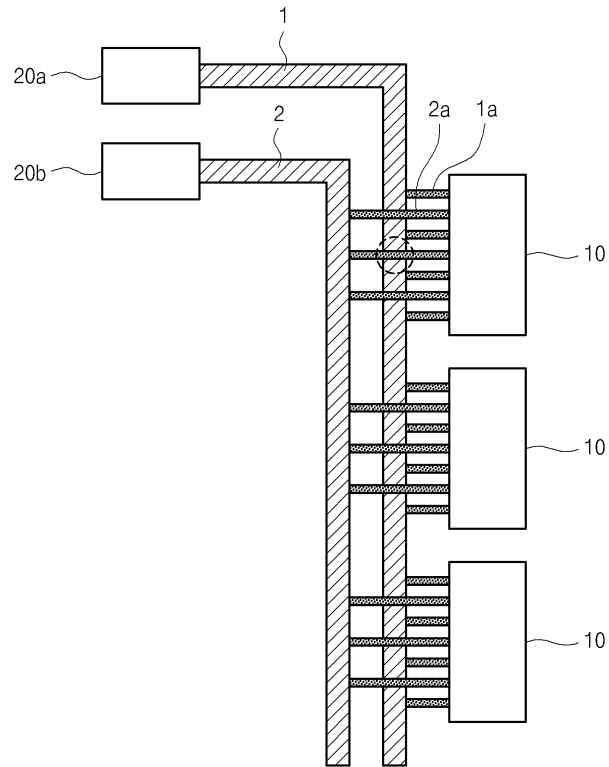
2 : 제2연결배선 2b : 짝수 배선

3 : 제3연결배선 10 : OLB 패드 블록

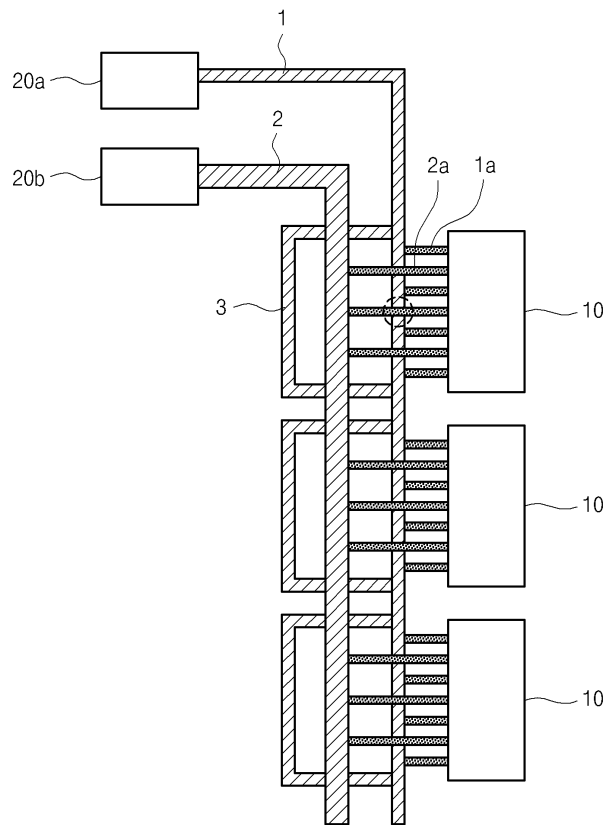
20a, 20b : 테스트 패드

도면

도면1



도면2



专利名称(译)	液晶显示器的阵列测试方法		
公开(公告)号	KR100705630B1	公开(公告)日	2007-04-11
申请号	KR1020040117992	申请日	2004-12-31
[标]申请(专利权)人(译)	HYDIS TECH HYDIS技术有限公司		
申请(专利权)人(译)	하이디스테크놀로지주식회사		
当前申请(专利权)人(译)	하이디스테크놀로지주식회사		
[标]发明人	LIM BYUNCHEON		
发明人	LIM,BYUNCHEON		
IPC分类号	G02F1/13		
CPC分类号	G02F1/1362 G02F2001/136254 G09G3/006		
其他公开文献	KR1020060078387A		
外部链接	Espacenet		

摘要(译)

目的：提供一种测试LCD阵列的方法，以提高阵列测试时的检测精度，从而有效地防止产生有缺陷的LCD，通过分别连接奇数线和延伸的偶数线OLB（外部引线键合）焊盘块，带连接线。

