



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0067950
(43) 공개일자 2009년06월25일

(51) Int. Cl.

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

(21) 출원번호 10-2007-0135788

(22) 출원일자 2007년12월21일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

장수혁

대구 북구 동천동 영남2차타운 103동 902호

김중우

경북 구미시 원평동 937-68번지 주공아파트 110동 106호

(74) 대리인

특허법인로알

전체 청구항 수 : 총 10 항

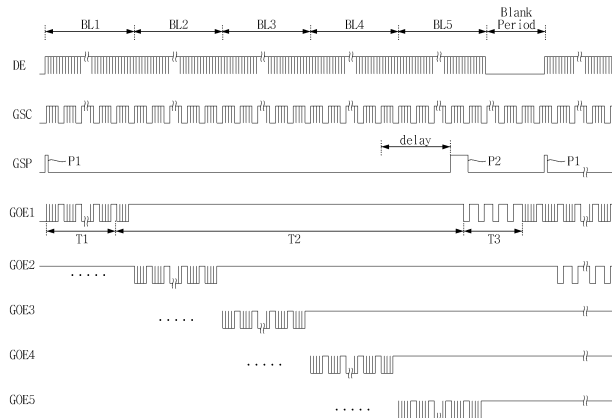
(54) 액정표시장치와 그 구동방법

(57) 요약

본 발명은 임펄스 방식으로 구동되는 액정표시장치에 관한 것이다.

이 액정표시장치는 다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정표시패널; 상기 데이터라인들에 정극성/부극성 데이터전압과 블랙 계조전압을 상기 데이터라인들에 공급하는 데이터 구동회로; 상기 게이트라인들에 게이트 펄스를 공급하는 다수의 게이트 드라이브 IC들; 프레임 주파수를 검출하는 프레임 주파수 검출기; 및 상기 데이터 구동회로와 상기 게이트 드라이브 IC들의 동작 타이밍을 제어하고, 상기 프레임 주파수가 변할 때 상기 게이트 드라이브 IC들을 제어하기 위한 게이트 타이밍 제어신호를 변조하여 상기 액정표시패널에 충전되는 블랙 계조전압의 충전시간을 변화시키는 타이밍 컨트롤러를 구비한다.

대표도 - 도9



특허청구의 범위

청구항 1

다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정표시패널;

상기 데이터라인들에 정극성/부극성 데이터전압과 블랙 계조전압을 상기 데이터라인들에 공급하는 데이터 구동 회로;

상기 게이트라인들에 게이트 펄스를 공급하는 다수의 게이트 드라이브 IC들;

프레임 주파수를 검출하는 프레임 주파수 검출기; 및

상기 데이터 구동회로와 상기 게이트 드라이브 IC들의 동작 타이밍을 제어하고, 상기 프레임 주파수가 변할 때 상기 게이트 드라이브 IC들을 제어하기 위한 게이트 타이밍 제어신호를 변조하여 상기 액정표시패널에 충전되는 블랙 계조전압의 충전시간을 변화시키는 타이밍 컨트롤러를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 프레임 주파수 검출기는,

상기 프레임 주파수에 관계없이 고정된 클럭신호를 이용하여 수직 동기신호를 카운트하여 상기 프레임 주파수를 검출하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 게이트 타이밍 제어신호는,

상기 게이트 드라이브 IC들 중 첫 번째 게이트펄스를 발생하는 첫 번째 게이트펄스가 인가되는 시작라인을 지시하고 펄스폭이 다른 제1 및 제2 펄스를 포함하는 게이트 스타트 펄스; 및

상기 게이트 드라이브 IC 각각에 인가되고 위상이 순차적으로 쉬프트되고 각각 상기 데이터전압에 동기되는 제1 구간신호, 상기 게이트 드라이브 IC들의 출력을 차단하는 제2 구간신호, 및 상기 블랙 계조전압에 동기되는 제3 구간신호를 포함하는 다수의 게이트 출력 인에이블신호를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 타이밍 컨트롤러는,

상기 프레임 주파수가 낮아질 때 상기 게이트 스타트 펄스의 제1 펄스와 제2 펄스 사이의 시간차를 줄이고, 상기 게이트 출력 인에이블신호들에서 상기 제2 구간신호를 좁혀 1 프레임기간 대비 상기 블랙 계조전압의 충전시간을 줄이는 것을 특징으로 하는 액정표시장치.

청구항 5

제 3 항에 있어서,

상기 타이밍 컨트롤러는,

상기 프레임 주파수가 낮아진 후에 높아질 때 상기 게이트 스타트 펄스의 제1 펄스와 제2 펄스 사이의 시간차를 늘리고, 상기 게이트 출력 인에이블신호들에서 상기 제2 구간신호를 늘려 1 프레임기간 대비 상기 블랙 계조전압의 충전시간을 늘리는 것을 특징으로 하는 액정표시장치.

청구항 6

다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정표시패널을 가지는 액정표시장치, 상기 데이터라인들에 정극성/부극성 데이터전압과 블랙 계조전압을 상기 데이터라인들에 공급하는 데이터 구동회로; 및 상기 게

이트라인들에 게이트 펄스를 공급하는 다수의 게이트 드라이브 IC들을 구비하는 액정표시장치의 구동방법에 있어서,

프레임 주파수를 검출하는 단계; 및

상기 프레임 주파수가 변할 때 상기 게이트 드라이브 IC들을 제어하기 위한 게이트 타이밍 제어신호를 변조하여 상기 액정표시패널에 충전되는 블랙 계조전압의 충전시간을 변화시키는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 7

제 6 항에 있어서,

상기 프레임 주파수를 검출하는 단계는,

상기 프레임 주파수에 관계없이 고정된 클럭신호를 이용하여 수직 동기신호를 카운트하여 상기 프레임 주파수를 검출하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 8

제 6 항에 있어서,

상기 게이트 타이밍 제어신호는,

상기 게이트 드라이브 IC들 중 첫 번째 게이트펄스를 발생하는 첫 번째 게이트펄스가 인가되는 시작라인을 지시하고 펄스폭이 다른 제1 및 제2 펄스를 포함하는 게이트 스타트 펄스; 및

상기 게이트 드라이브 IC 각각에 인가되고 위상이 순차적으로 쉬프트되고 각각 상기 데이터전압에 동기되는 제1 구간신호, 상기 게이트 드라이브 IC들의 출력을 차단하는 제2 구간신호, 및 상기 블랙 계조전압에 동기되는 제3 구간신호를 포함하는 다수의 게이트 출력 인에이블신호를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 9

제 8 항에 있어서,

상기 블랙 계조전압의 충전시간을 변화시키는 단계는,

상기 프레임 주파수가 낮아질 때 상기 게이트 스타트 펄스의 제1 펄스와 제2 펄스 사이의 시간차를 줄이고, 상기 게이트 출력 인에이블신호들에서 상기 제2 구간신호를 좁혀 1 프레임기간 대비 상기 블랙 계조전압의 충전시간을 줄이는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 10

제 8 항에 있어서,

상기 블랙 계조전압의 충전시간을 변화시키는 단계는,

상기 프레임 주파수가 낮아진 후에 높아질 때 상기 게이트 스타트 펄스의 제1 펄스와 제2 펄스 사이의 시간차를 늘리고, 상기 게이트 출력 인에이블신호들에서 상기 제2 구간신호를 늘려 1 프레임기간 대비 상기 블랙 계조전압의 충전시간을 늘리는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

명 세 서

발명의 상세한 설명

기술 분야

<1> 본 발명은 임펄스 방식으로 구동되는 액정표시장치와 그 구동방법에 관한 것이다.

배경 기술

<2> 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film

Transistor : 이하 "TFT"라 함)를 이용하여 동영상상을 표시하고 있다. 이 액정표시장치는 음극선관(Cathode Ray Tube, CRT)에 비하여 소형화가 가능하여 휴대용 정보기기, 사무기기, 컴퓨터 등에서 표시기에 응용됨은 물론, 텔레비전에도 응용되어 빠르게 음극선관을 대체하고 있다.

- <3> 이 액정표시장치는 액정의 유지특성에 의해 동영상상에서 화면이 선명하지 못하고 흐릿하게 보이는 블러링(Blurring) 현상이 나타나게 된다. CRT는 도 1과 같이 매우 짧은 시간 동안만 형광체를 발광시켜 셀에 데이터를 표시한 후에 그 셀에서 발광이 없는 임펄스 구동으로 화상을 표시한다. 이에 비하여, 액정표시장치는 도 2와 같이 스캐닝기간 동안, 액정셀에 데이터가 공급된 후 나머지 필드 기간(또는 프레임기간) 동안 그 액정셀에 충전된 데이터가 유지되는 홀드 구동으로 화상을 표시한다.
- <4> CRT에 표시되는 동영상상은 임펄스 구동으로 표시되기 때문에 도 3과 같이 관람자가 느끼는 지각영상(Perceived image)이 선명하게 된다. 이에 비하여, 액정표시장치에서는 동영상상에서 액정의 유지특성 때문에 도 4와 같이 관람자가 느끼는 지각영상의 명암이 뚜렷하지 않고 흐릿하게 보여진다. 이러한 지각영상의 차이는 움직임을 추종하는 눈에서 일시적으로 지속되는 영상의 적분효과에 기인한다. 따라서, 액정표시장치의 응답속도가 빠르다 하더라도, 눈의 움직임과 매 프레임의 정적영상(static image) 사이의 불일치로 인하여 관람자는 흐릿한 화면을 보게 된다. 모션 블러(Motion blur) 현상을 개선하기 위하여, 비디오 데이터를 화면 상에 표시한 후에 그 화면에 블랙 데이터를 공급함으로써 액정표시장치를 임펄스 구동하는 기술 예컨대, 블랙 데이터 삽입방식(Black Data Insertion, BDI)이 제안되고 있다.
- <5> 블랙 데이터 삽입방식의 하나로 화면을 다수의 블록으로 분할하여 분할 구동하고 각 블록들을 데이터 전압 충전(write), 데이터 유지(hold), 블랙 데이터 삽입의 순으로 동작시킨다. 이 블랙 데이터 삽입방식은 프레임 레이트(Frame rate)와 관계없이 블랙 데이터 삽입 비율(Black data insertion ratio)이 고정되어 있다. 블랙 데이터 삽입 비율이란 도 5와 같이 1 프레임기간 내에서 블랙 데이터 삽입기간(BDI)이 차지하는 비율로 정의된다.
- <6> 종래의 블랙 데이터 삽입방식은 프레임 레이트와 관계없이 블랙 데이터 삽입 비율이 고정되어 있으므로 프레임 레이트가 달라질 때 화면이 깜빡이게 보이는 플리커 현상이 나타난다. 프레임 주파수가 50Hz, 60Hz, 및 75Hz로 3 개의 프레임 주파수를 지원하고 블랙 데이터 삽입비율이 30%로 고정된 액정표시장치를 예로 들면, 도 6과 같이 75Hz(13.33msec)의 프레임 주파수에서 블랙 데이터 삽입기간(BDI)은 대략 3.99msec이므로 플리커 수준이 눈이 잘 보이지 않는 수준이다. 그런데, 블랙 데이터 삽입비율이 30%로 고정되어 있기 때문에 프레임 주파수를 50Hz로 낮추면 블랙 데이터 삽입기간이 6.0msec로 길어진다. 따라서, 종래의 블랙 데이터 삽입방식은 프레임 주파수가 낮아지면 플리커 현상을 일으킨다.

발명의 내용

해결 하고자하는 과제

- <7> 따라서, 본 발명의 목적은 상기 종래 기술의 문제점들을 해결하고자 안출된 발명으로써 블랙 데이터 삽입방식으로 구동되는 액정표시장치의 플리커를 방지하도록 한 액정표시장치와 그 구동방법을 제공하는데 있다.

과제 해결수단

- <8> 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시장치는 다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정표시패널; 상기 데이터라인들에 정극성/부극성 데이터전압과 블랙 계조전압을 상기 데이터라인들에 공급하는 데이터 구동회로; 상기 게이트라인들에 게이트 펄스를 공급하는 다수의 게이트 드라이브 IC들; 프레임 주파수를 검출하는 프레임 주파수 검출기; 및 상기 데이터 구동회로와 상기 게이트 드라이브 IC들의 동작 타이밍을 제어하고, 상기 프레임 주파수가 변할 때 상기 게이트 드라이브 IC들을 제어하기 위한 게이트 타이밍 제어신호를 변조하여 상기 액정표시패널에 충전되는 블랙 계조전압의 충전시간을 변화시키는 타이밍 콘트롤러를 구비한다.
- <9> 본 발명의 실시예에 따른 액정표시장치의 구동방법은 프레임 주파수를 검출하는 단계; 및 상기 프레임 주파수가 변할 때 상기 게이트 드라이브 IC들을 제어하기 위한 게이트 타이밍 제어신호를 변조하여 상기 액정표시패널에 충전되는 블랙 계조전압의 충전시간을 변화시키는 단계를 포함한다.

효 과

<10> 본 발명의 실시예에 따른 액정표시장치와 그 구동방법은 블랙 데이터 삽입방식으로 구동되는 액정표시장치의 프레임 주파수를 실시간 감시하고, 그 프레임 주파수가 낮게 변할 때 게이트 타이밍 제어신호의 타이밍을 조정함으로써 블랙 데이터 삽입비율(BDI%)을 낮추어 플리커를 방지할 수 있다. 나아가, 본 발명의 실시예에 따른 액정표시장치와 그 구동방법은 프레임 주파수 변화에 따라 블랙 데이터 삽입비율(BDI%)을 조정하여 어떠한 프레임 주파수에서도 모션 블러의 예방 등 임펄스 구동효과를 얻을 수 있다.

발명의 실시를 위한 구체적인 내용

- <11> 이하, 도 7 내지 도 12를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.
- <12> 도 7을 참조하면, 본 발명의 실시예에 따른 액정표시장치의 구동방법은 프레임 주파수를 실시간 감시하고, 프레임 주파수가 낮아질 때 플리커를 방지하기 위하여 1 프레임기간 대비 블랙 데이터 삽입기간을 낮춘다. 75Hz(13.33 msec)의 프레임 주파수에서 블랙 데이터 삽입비율(BDI%)의 30% 일때 블랙 데이터 삽입기간(BDI)은 대략 3.99 msec이므로 플리커 수준이 눈이 잘 보이지 않는 수준이다. 본 발명은 프레임 주파수가 낮아질 때 4.0 msec 이하의 약한 플리커 수준을 유지하기 위하여, 프레임 주파수가 75Hz에서 60Hz(16.67 msec)로 낮아지면 블랙 데이터 삽입비율(BDI%)을 24%(4.0 msec)로 낮춘다. 또한, 본 발명은 프레임 주파수가 75Hz에서 50Hz(20 msec)로 또는, 60Hz에서 50Hz로 낮아지면 블랙 데이터 삽입비율(BDI%)을 20%(4.0 msec)로 낮춘다. 따라서, 본 발명의 실시예에 따른 액정표시장치의 구동방법은 프레임 주파수가 낮아질 때 관찰자가 플리커를 거의 느끼지 않는 수준으로 관리하기 위하여, 프레임 주파수를 실시간 감시하여 어떠한 프레임 주파수에서도 1 프레임기간 내에서 블랙 데이터 삽입기간을 4.0msec 이하로 유지한다.
- <13> 프레임 주파수가 낮아진 후에 프레임 주파수가 높아질 때 블랙 데이터 삽입비율(BDI%)이 낮은 값으로 고정된다면, 1 프레임기간 대비 블랙 데이터 삽입기간이 낮기 때문에 충분한 임펄스 효과를 얻을 수 없다. 따라서, 본 발명의 실시예에 따른 액정표시장치의 구동방법은 프레임 주파수를 실시간 감시하고, 프레임 주파수가 낮아진 후에 높아질 때 만족할만한 임펄스 효과 수준을 유지하기 위하여 1 프레임기간 대비 블랙 데이터 삽입비율(BDI%)을 높인다. 예를 들면, 본 발명은 프레임 주파수가 50Hz에서 60Hz로 높아지면 블랙 데이터 삽입비율(BDI%)을 20%에서 24%로 높인다. 그리고 본 발명은 프레임 주파수가 50 Hz에서 75Hz로 또는, 60Hz에서 75 Hz로 높아지면 블랙 데이터 삽입비율(BDI%)을 30%로 높인다.
- <14> 본 발명의 실시예에 따른 액정표시장치의 구동방법은 화면을 분할 구동하기 위한 게이트 드라이브 집적회로들(integrated circuit, IC) 각각에 인가되는 게이트 타이밍 제어신호들을 제어하여 블랙 데이터 삽입비율(BDI%)을 조정한다.
- <15> 도 8 내지 도 11d는 5 개의 게이트 드라이브 IC들을 이용하여 화면을 5 개의 블록으로 분할 구동하여 블랙 데이터 삽입비율(BDI%)을 20%~80% 사이에서 가변하는 예를 설명하기 위한 도면들이다.
- <16> 도 8을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널, 타이밍 콘트롤러(81), 데이터 구동회로(82), 및 게이트 구동회로(83)를 구비한다. 데이터 구동회로(82)는 다수의 소스 드라이브 IC들을 포함한다. 게이트 구동회로(83)는 다수의 게이트 드라이브 IC들(831 내지 835)을 포함한다.
- <17> 액정표시패널은 두 장의 유리기관 사이에 액정층이 형성된다. 이 액정표시패널은 m 개의 데이터라인들(84)과 n 개의 게이트라인들(85)의 교차 구조에 의해 매트릭스 형태로 배치된 m×n 개의 액정셀들(Clc)을 포함한다.
- <18> 액정표시패널의 하부 유리기관에는 데이터라인들(84), 게이트라인들(85), TFT들, 및 스토리지 커패시터(Cst)가 형성된다. 액정셀들(Clc)은 TFT에 접속되어 화소전극들(1)과 공통전극(2) 사이의 전계에 의해 구동된다. 액정표시패널의 상부 유리기관 상에는 블랙매트릭스, 컬러필터 및 공통전극(2)이 형성된다. 한편, 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기관 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 하부 유리기관 상에 형성된다. 액정표시패널의 상부 유리기관과 하부 유리기관 상에는 광축이 직교하는 편광판이 부착되고 액정과 접하는 계면에 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.
- <19> 이 액정표시패널의 표시화면은 게이트 드라이브 IC들(831 내지 835)에 인가되는 게이트 타이밍 제어신호에 따라 다수의 블록(BL1 내지 BL5)으로 분할 구동된다. 이 블록들(BL1 내지 BL5)은 블랙 데이터 삽입비율(BDI%)이 20% 미만일 때, 데이터 표시, 데이터 유지, 및 블랙 삽입 순서로 순차적으로 구동된다. 또한, 블록들(BL1 내지 BL5)은 블랙 데이터 삽입비율(BDI%)이 20% 이상일 때, 데이터 표시, 데이터 유지, 블랙 삽입 및 블랙 유지 순서

로 순차적으로 구동된다.

- <20> 타이밍 콘트롤러(81)는 수직/수평 동기신호(Vsync, Hsync), 데이터 인에이블 신호(Data Enable), 도트클럭신호(DCLK), 고정클럭신호(FCLK) 등의 타이밍신호를 입력받아 데이터 구동회로(82), 및 게이트 구동회로(83)의 동작 타이밍을 제어하기 위한 제어신호들을 발생한다. 이러한 제어신호들은 게이트 타이밍 제어신호와 데이터 타이밍 제어신호를 포함한다. 또한, 타이밍 콘트롤러(81)는 프레임 주파수를 실시간 감시하여 프레임 주파수의 변화를 검출하고, 프레임 주파수가 낮아질 때 게이트 타이밍 제어신호를 조정하여 블랙 데이터 삽입비율(BDI%)을 낮추는 반면, 프레임 주파수가 높아질 때 게이트 타이밍 제어신호를 조정하여 블랙 데이터 삽입비율(BDI%)을 높인다. 또한, 타이밍 콘트롤러(81)는 데이터 구동회로(82)에 디지털 비디오 데이터(RGB)를 공급한다.
- <21> 게이트 타이밍 제어신호는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭신호(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등을 포함한다.
- <22> 게이트 스타트 펄스(GSP)는 제1 게이트 드라이브 IC(831)에 인가되어 제1 게이트 드라이브 IC(831)로부터 첫 번째 게이트펄스가 발생되도록 스캔이 시작되는 시작 라인을 지시한다. 게이트 쉬프트 클럭신호(GSC)는 게이트 스타트 펄스(GSP)를 쉬프트시키기 위한 클럭신호이다. 게이트 드라이브 IC들(831 내지 835)의 쉬프트 레지스터는 게이트 쉬프트 클럭신호(GSC)의 라이징 에지에서 게이트 스타트 펄스(GSP)와 게이트펄스를 다음 스테이지(stage)로 쉬프트시킨다. 제2 내지 제5 게이트 드라이브 IC(832 내지 835)는 앞단의 게이트 드라이브 IC의 최종단 출력을 게이트 스타트 펄스(GSP)로써 입력받아 첫 번째 게이트 펄스를 발생한다. 게이트 출력 인에이블신호(GOE)는 게이트 드라이브 IC들(831 내지 835)에 개별적으로 인가된다. 게이트 드라이브 IC들(831 내지 835)은 게이트 출력 인에이블신호(GOE)의 로우논리기간 즉, 이전 펄스의 폴링타임 직후로부터 그 다음 펄스의 라이징 타임 직전까지의 기간 동안 게이트펄스를 출력한다. 게이트 출력 인에이블신호(GOE)의 하이논리기간 동안 게이트 드라이브 IC들(831 내지 835)는 게이트펄스를 발생하지 않는다.
- <23> 데이터 타이밍 제어신호는 소스 스타트 펄스(Source Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 극성제어신호(Polarity : POL), 및 소스 출력 인에이블신호(Source Output Enable, SOEb) 등을 포함한다. 소스 스타트 펄스(SSP)는 데이터가 표시될 1 수평라인에서 시작 화소를 지시한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 데이터 구동회로(82) 내에서 데이터의 래치동작을 지시한다. 극성제어신호(POL)는 데이터 구동회로(82)로부터 출력되는 아날로그 비디오 데이터전압의 극성을 제어한다. 소스 출력 인에이블신호(SOEb)는 소스 드라이브 IC의 출력을 제어한다. 데이터 타이밍 제어신호에는 프리차지 제어신호(Pre-charge control signal)을 더 포함할 수 있다. 데이터 구동회로는 데이터라인들(84)에 공급되는 아날로그 전압의 스윙폭을 줄이기 위하여, 프리차지 제어신호에 응답하여 정극성/부극성 프리차지전압을 정극성/부극성 데이터전압에 앞서 데이터라인들(84)에 공급한다.
- <24> 타이밍 콘트롤러(81)에는 프레임 주파수 검출기가 내장된다. 프레임 주파수 검출기는 수직 동기신호(Vsync)를 고정클럭신호(FCLK)로 카운터하여 현재 입력되는 영상의 프레임 주파수를 검출한다. 고정클럭신호(FCLK)는 프레임 주파수와 관계없이 항상 일정한 주파수로 발생하는 클럭신호이다. 한편, 도트클럭신호(DCLK), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable) 등의 타이밍 신호들은 프레임 주파수가 변할 때 수직 동기신호(Vsync)와 함께 주파수가 변하므로 프레임 주파수의 변화를 체크하기 위한 기준신호가 될 수 없다. 타이밍 콘트롤러(81)는 프레임 주파수가 변할 때 게이트 타이밍 제어신호 특히, 후술하는 바와 같이 게이트 스타트 펄스(GSP)와 게이트 출력 인에이블신호들(GOE)의 타이밍을 조정하여 프레임 주파수 변화에 따라 블랙 데이터 삽입비율(BDI%)을 가변시킨다. 한편, 본 발명은 타이밍 콘트롤러(81) 대신에, 기존 타이밍 콘트롤러에 프레임 주파수 검출기 및 타이밍 신호 변조회로를 접속시켜 기존 타이밍 콘트롤러로부터 출력되는 게이트 타이밍 제어신호와 데이터 타이밍 제어신호를 프레임 주파수에 따라 변조할 수도 있다.
- <25> 데이터 구동회로(82)의 데이터 드라이브 IC들 각각은 쉬프트 레지스터, 래치, 디지털-아날로그 변환기, 출력 버퍼 등을 포함한다. 데이터 구동회로(82)는 타이밍 콘트롤러(81)의 제어 하에 디지털 비디오 데이터(RGB)를 래치한다. 그리고 데이터 구동회로(82)는 차지셰어전압 또는 정극성/부극성 프리차지전압으로 발생하는 블랙 게조전압을 데이터라인들(84)에 공급한 후, 디지털 비디오 데이터(RGB)를 극성제어신호(POL)에 따라 아날로그 정극성/부극성 감마보상전압으로 변환하여 정극성/부극성 아날로그 데이터전압을 발생하고 그 데이터전압을 데이터라인들(84)에 공급한다. 이 데이터 구동회로(82)는 데이터 표시 블록으로 구동되는 블록(BL1 내지 BL5)의 스캔타임 동안 데이터전압을 데이터라인들(84)에 공급하고, 블랙 삽입 블록으로 구동되는 블록(BL1 내지 BL5)의 스캔타임 동안 블랙 게조 전압을 데이터라인들(84)에 공급한다.
- <26> 게이트 드라이브 IC들(831 내지 835) 각각은 쉬프트 레지스터, 쉬프트 레지스터의 출력신호를 액정셀의 TFT 구

동에 적합한 스윙폭으로 변환하기 위한 레벨 쉬프터 및 레벨 쉬프터와 게이트라인(85) 사이에 접속되는 출력 버퍼를 각각 포함한다. 게이트 드라이브 IC들(831 내지 835)은 게이트 타이밍 제어신호들에 응답하여 게이트펄스를 게이트라인들(85)에 순차적으로 공급한다. 이러한 게이트 드라이브 IC들(831 내지 835)은 프레임 주파수에 따라 가변되는 게이트 타이밍 제어신호의 게이트 스타트 펄스(GSP)와 게이트 출력 인에이블신호(GOE1 내지 GOE5)에 의해 블록들(BL1 내지 BL5)을 데이터 표시 블록, 데이터 유지 블록, 블랙 삽입 블록 및 블랙 유지 블록으로 구동한다.

<27> 블랙 삽입 블록의 액정셀들에 공급되는 블랙 계조전압은 타이밍 콘트롤러(81) 또는 데이터 구동회로(82) 내에서 생성될 수 있다. 타이밍 콘트롤러(81)는 디지털 비디오 데이터들(RGB) 사이에 블랙 삽입 블록의 스캔타입에 동기되도록 디지털 블랙 계조 데이터를 삽입하고, 데이터 구동회로(82)는 그 디지털 블랙 계조 데이터를 아날로그 블랙 계조 전압으로 변환할 수 있다. 또한, 타이밍 콘트롤러(81)에서 소스 출력 인에이블신호(SOE)나 프리차지 제어신호의 듀티비를 높이는 방법으로 블랙 삽입 블록의 액정셀들에 블랙 계조전압을 충전시킬 수도 있다. 이 경우에, 본 발명의 실시예에 따른 액정표시장치는 액정셀에서 차지제어전압이나 프리차지전압의 충전시간을 늘려 별도의 블랙 계조 전압을 생성하지 않고 차지제어전압이나 프리차지전압으로 블랙 삽입 효과 즉, 임펄스 구동 효과를 얻을 수 있다.

<28> 도 9는 도 8에 도시된 게이트 타이밍 제어신호를 나타내는 파형도이다.

<29> 도 9를 참조하면, 게이트 스타트 펄스(GSP)는 제1 펄스(P1)와, 가변되는 블랙 데이터 삽입비율(BDI%)에 따라 지연값이 달라지는 제2 펄스(P2)를 포함한다.

<30> 제1 펄스(P1)의 펄스폭은 대략 1 수평기간이며, 제2 펄스(P2)의 펄스폭은 대략 N(N은 2 이상의 정수) 수평기간이다. 게이트 드라이브 IC(831 내지 835)는 제1 펄스(P1)를 게이트 쉬프트 클럭(GSC)에 따라 순차적으로 쉬프트시킨다. 제1 펄스(P1)에 응답하여 동작하기 시작하는 게이트 드라이브 IC(831 내지 835)에 의해 스캐닝이 시작되는 블록(BL1 내지 BL5)은 데이터 표시 블록으로 구동된다. 데이터 표시 블록으로 구동되는 블록(BL1 내지 BL5)에서, 게이트펄스는 1 라인씩 게이트라인들에 순차적으로 인가된다.

<31> 또한, 게이트 드라이브 IC(831 내지 835)는 제2 펄스(P2)를 게이트 쉬프트 클럭(GSC)에 따라 순차적으로 쉬프트시킨다. 제2 펄스(P2)에 응답하여 동작하기 시작하는 게이트 드라이브 IC(831 내지 835)에 의해 스캐닝이 시작되는 블록(BL1 내지 BL5)은 블랙 삽입 블록으로 구동된다. 블랙 삽입 블록으로 구동되는 블록(BL1 내지 BL5)에서 게이트펄스들은 펄스폭이 넓은 제2 펄스(P2)와 대략 1 수평기간의 주기로 발생하는 게이트 쉬프트 클럭(GSC)의 상관 관계에 따라 일부 중첩된다. 예컨대, 블랙 삽입 블록으로 구동되는 블록(BL1 내지 BL5)에서, k(k는 정수) 번째 게이트라인에 인가되는 게이트펄스와 k+1 번째 게이트라인에 인가되는 게이트펄스가 일부 중첩된다. 게이트 드라이브 IC들(831 내지 835)에 개별적으로 인가되는 게이트 출력 인에이블신호들(GOE1 내지 GOE5)에 의해, 데이터 표시 블록(BL1 내지 BL5)에 순차적으로 인가되는 N 개의 게이트펄스들에 이어서, 블랙 삽입 블록(BL1 내지 BL5)에 N 개의 게이트펄스들이 동시에 인가된 다음, 다시 데이터 표시 블록(BL1 내지 BL5)에 순차적으로 N 개의 게이트펄스들이 인가된다. 이와 같은 동작을 반복하여, 데이터 표시 블록을 담당하는 게이트 드라이브 IC(831 내지 835)과 블랙 삽입 블록을 담당하는 게이트 드라이브 IC(831 내지 835)는 게이트펄스들을 교대로 인가한다.

<32> 게이트 출력 인에이블신호(GOE1 내지 GOE5)는 순차적으로 쉬프트된다. 게이트 출력 인에이블신호(GOE1 내지 GOE5)는 데이터 표시 블록을 담당하는 게이트 드라이브 IC(831 내지 835)의 출력을 온/오프(on/off) 제어하는 제1 구간(T1), 데이터 유지블록을 담당하는 게이트 드라이브 IC(831 내지 835)의 출력을 차단하는 제2 구간(T2), 및 블랙 삽입 블록을 담당하는 게이트 드라이브 IC(831 내지 835)의 게이트 출력을 온/오프(on/off) 제어하는 제3 구간(T3)를 포함한다.

<33> 게이트 출력 인에이블신호(GOE1 내지 GOE5)의 제1 구간(T1) 동안, 타이밍 콘트롤러(81)는 게이트 스타트 펄스(GSC)의 라이징 타임마다 게이트 출력 인에이블신호(GOE1 내지 GOE5)의 펄스를 발생한다. 이 펄스들 사이의 로우논리기간 동안 데이터 표시 블록을 담당하는 게이트 드라이브 IC(831 내지 835)는 게이트펄스를 발생한다. 따라서, 제1 구간(T1) 동안, 데이터 표시 블록을 담당하는 게이트 드라이브 IC(831 내지 835)는 게이트 스타트 펄스(GSP)를 게이트 쉬프트 클럭(GSC)의 라이징 타임마다 쉬프트시켜 게이트라인들에 게이트펄스를 순차적으로 인가한다. 데이터 드라이브 IC들은 데이터 표시 블록에 인가되는 게이트펄스들에 동기되는 아날로그 데이터전압을 데이터라인들에 공급한다. 따라서, 데이터 표시 블록의 액정셀들은 아날로그 데이터전압을 충전한다.

<34> 게이트 출력 인에이블신호(GOE1 내지 GOE5)의 제2 구간(T2) 동안, 타이밍 콘트롤러(81)는 게이트 출력 인에이블

신호(GOE1 내지 GOE5)를 하이논리의 직류전압으로 발생한다. 따라서, 데이터 표시 블록을 담당하는 게이트 드라이브 IC(831 내지 835)는 게이트 펄스를 발생하지 않는다. 이 제2 구간(T2) 동안, 데이터 드라이브 IC들은 다른 데이터 표시 블록에 표시될 아날로그 데이터전압과, 블랙 표시 블록의 액정셀들에 충전될 블랙 계조전압을 출력한다.

<35> 게이트 출력 인에이블신호(GOE1 내지 GOE5)의 제3 구간(T3) 동안, 타이밍 콘트롤러(81)는 데이터 표시 블록에서 4 개의 게이트라인들에 순차적으로 게이트펄스가 인가되는 동안 블랙 표시 블록을 담당하는 게이트 드라이브 IC(831 내지 835)에 대략 N 수평기간(도 10의 예에서 4 수평기간) 만큼의 펄스폭으로 게이트 출력 인에이블신호(GOE1 내지 GOE5)의 펄스를 발생한다. 그 결과, 제3 구간(T3) 동안 블랙 표시 블록을 담당하는 게이트 드라이브 IC들(831 내지 835)는 게이트 펄스를 출력하지 않고, 그 기간 동안 데이터 표시 블록의 게이트라인들에는 게이트펄스들이 순차적으로 인가된다. 한편, 이 기간 동안 블랙 표시 블록을 담당하는 게이트 드라이브 IC(831 내지 835)는 게이트펄스를 출력시키지 않지만, 그 내부의 쉬프트 레지스터는 대략 4 수평기간의 게이트 스타트 펄스(GSP)와 게이트 스타트 펄스를 다음 스테이지로 쉬프트시키고 있다. 4 수평기간 만큼의 펄스폭을 가지는 펄스에 이어서, 타이밍 콘트롤러(81)는 게이트 출력 인에이블신호(GOE1 내지 GOE5)를 대략 1 수평기간 동안 로우논리전압으로 유지한다. 이 때, 블랙 표시 블록을 담당하는 게이트 드라이브 IC(831 내지 835)는 내부의 쉬프트 레지스터에서 일부가 중첩되면서 쉬프트되는 게이트펄스들을 4 개의 라인들에 동시에 출력하고, 데이터 드라이브 IC들은 그 게이트펄스들에 동기되는 블랙 계조 전압을 동시에 출력한다.

<36> 도 11a 내지 도 11d는 프레임 주파수에 따라 변화되는 블랙 데이터 삽입비율(BDI%)을 나타내는 도면들이다.

<37> 도 11a는 5 개의 블록들(BL1 내지 BL5)이 20%의 블랙 데이터 삽입비율(BDI%)로 구동되는 예를 보여 준다.

<38> 도 11a를 참조하면, 5 개의 게이트 드라이브 IC들(831 내지 835)에 의해 화면이 5 개의 블록(BL1 내지 BL5)으로 분할 구동된다면, 그 블록들(BL1 내지 BL5)은 1 프레임기간 동안 5 개의 서브 프레임기간(SF1 내지 SF5)으로 시분할 구동된다.

<39> 타이밍 콘트롤러(81)는 N 번째 프레임기간의 제1 서브 프레임기간(SF1)의 시작과 동시에 제1 블록(BL1)을 담당하는 제1 게이트 드라이브 IC(831)에 게이트 스타트 펄스(GSP)의 제1 펄스(P1)와 제1 게이트 출력 인에이블신호(GOE1)의 제1 구간 신호(T1)를 공급한다. 이 때, 게이트 스타트 펄스(GSP)의 제1 펄스(P1)와 제2 펄스(P2) 사이의 시간차는 대략 4 서브 프레임 기간이다. N-1 번째 프레임기간 동안 발생한 게이트 스타트 펄스(GSP)는 제1 게이트 드라이브 IC(831)을 경유하여 제2 게이트 드라이브 IC(832)로 쉬프트된다. 따라서, N 번째 프레임기간의 제1 서브 프레임(SF1)의 시작과 동시에 제2 게이트 드라이브 IC(832)에는 게이트 스타트 펄스(GSP)의 제2 펄스(P2)와 제2 게이트 출력 인에이블신호(GOE2)의 제3 구간신호(T3)가 공급된다.

<40> 제1 서브 프레임기간(SF1) 동안, 제1 블록(BL1)은 게이트 스타트 펄스(GSP)의 제1 펄스(P1)와 제1 게이트 출력 인에이블신호(GOE)의 제1 구간 신호(T1)에 따라 1 라인씩 순차적으로 발생하는 게이트펄스들에 의해 스캐닝되면서 데이터 드라이브 IC들로부터의 아날로그 데이터전압을 충전한다. 제2 블록(BL2)은 게이트 스타트 펄스(GSP)의 제2 펄스(P2)와 제2 게이트 출력 인에이블신호(GOE2)의 제3 구간 신호(T3)에 따라 N 라인씩 중첩되는 게이트펄스들에 의해 스캐닝되면서 데이터 드라이브 IC들로부터의 블랙 계조 전압을 충전한다. 제3 블록(BL3)은 게이트펄스의 출력을 차단하는 제3 게이트 출력 인에이블신호(GOE)의 제2 구간 신호(T2)에 따라 N-1 번째 프레임기간의 제3 서브 프레임기간(SF3)에 충전하였던 아날로그 데이터전압을 유지한다. 제4 블록(BL4)은 게이트펄스의 출력을 차단하는 제3 게이트 출력 인에이블신호(GOE)의 제2 구간 신호(T2)에 따라 N-1 번째 프레임기간의 제4 서브 프레임기간(SF4)에 충전하였던 아날로그 데이터전압을 유지한다. 제5 블록(BL5)은 게이트펄스의 출력을 차단하는 제5 게이트 출력 인에이블신호(GOE5)의 제2 구간 신호(T2)에 따라 N-1 번째 프레임기간의 제5 서브 프레임기간(SF5)에 충전하였던 아날로그 데이터전압을 유지한다. 따라서, 제1 서브 프레임기간(SF1) 동안 제1, 제3 내지 제5 블록(BL1, BL3, BL4, BL5)은 데이터 전압을 충전하거나 유지하는 데이터 표시 블록으로 구동되고, 제2 블록(BL2)은 블랙 계조 전압을 충전하는 블랙 표시 블록으로 구동된다.

<41> 제2 서브 프레임기간(SF2) 동안, 제1 블록(BL1)은 게이트펄스의 출력을 차단하는 제1 게이트 출력 인에이블신호(GOE1)의 제2 구간 신호(T2)에 따라 제1 서브 프레임기간(SF1)에 충전하였던 아날로그 데이터전압을 유지한다. 제2 블록(BL2)은 게이트 스타트 펄스(GSP)의 제1 펄스(P1)와 제2 게이트 출력 인에이블신호(GOE2)의 제1 구간 신호(T1)에 따라 1 라인씩 순차적으로 발생하는 게이트펄스들에 의해 스캐닝되면서 데이터 드라이브 IC들로부터의 아날로그 데이터전압을 충전한다. 제3 블록(BL3)은 게이트 스타트 펄스(GSP)의 제2 펄스(P2)와 제3 게이트 출력 인에이블신호(GOE)의 제3 구간 신호(T3)에 따라 N 라인씩 중첩되는 게이트펄스들에 의해 스캐닝되면서 데이터 드라이브 IC들로부터의 블랙 계조 전압을 충전한다. 제4 블록(BL4)은 게이트펄스의 출력을 차단하는 제4 게이트

트 출력 인에이블신호(GOE4)의 제2 구간 신호(T2)에 따라 N-1 번째 프레임 기간의 제4 서브 프레임기간(SF4)에 충전하였던 아날로그 데이터전압을 유지한다. 제5 블록(BL3)은 게이트펄스의 출력을 차단하는 제5 게이트 출력 인에이블신호(GOE5)의 제2 구간 신호(T2)에 따라 N-1 번째 프레임 기간의 제5 서브 프레임기간(SF5)에 충전하였던 아날로그 데이터전압을 유지한다. 따라서, 제2 서브 프레임기간(SF2) 동안 제1, 제2, 제4 및 제5 블록(BL1, BL2, BL4, BL5)은 데이터 전압을 충전하거나 유지하는 데이터 표시 블록으로 구동되고, 제3 블록(BL3)은 블랙 계조 전압을 충전하는 블랙 표시 블록으로 구동된다.

<42> 제3 서브 프레임기간(SF3) 동안, 제1 블록(BL1)은 게이트펄스의 출력을 차단하는 제1 게이트 출력 인에이블신호(GOE1)의 제2 구간 신호(T2)에 따라 제1 서브 프레임기간(SF1)에 충전하였던 아날로그 데이터전압을 유지한다. 제2 블록(BL2)은 게이트펄스의 출력을 차단하는 제2 게이트 출력 인에이블신호(GOE2)의 제2 구간 신호(T2)에 따라 제2 서브 프레임기간(SF2)에 충전하였던 아날로그 데이터전압을 유지한다. 제3 블록(B3)은 게이트 스타트 펄스(GSP)의 제1 펄스(P1)와 제3 게이트 출력 인에이블신호(GOE)의 제1 구간 신호(T1)에 따라 1 라인씩 순차적으로 발생하는 게이트펄스들에 의해 스캐닝되면서 데이터 드라이브 IC들로부터의 아날로그 데이터전압을 충전한다. 제4 블록(B4)은 게이트 스타트 펄스(GSP)의 제2 펄스(P2)와 제4 게이트 출력 인에이블신호(GOE)의 제3 구간 신호(T3)에 따라 N 라인씩 중첩되는 게이트펄스들에 의해 스캐닝되면서 데이터 드라이브 IC들로부터의 블랙 계조 전압을 충전한다. 제5 블록(BL5)은 게이트펄스의 출력을 차단하는 제5 게이트 출력 인에이블신호(GOE)의 제2 구간 신호(T2)에 따라 N-1 번째 프레임 기간의 제5 서브 프레임기간(SF5)에 충전하였던 아날로그 데이터전압을 유지한다. 따라서, 제3 서브 프레임기간(SF3) 동안 제1 내지 제3, 제5 블록(BL1, BL2, BL3, BL5)은 데이터 전압을 충전하거나 유지하는 데이터 표시 블록으로 구동되고, 제4 블록(BL4)은 블랙 계조 전압을 충전하는 블랙 표시 블록으로 구동된다.

<43> 제4 서브 프레임기간(SF4) 동안, 제1 블록(BL1)은 게이트펄스의 출력을 차단하는 제1 게이트 출력 인에이블신호(GOE1)의 제2 구간 신호(T2)에 따라 제1 서브 프레임기간(SF1)에 충전하였던 아날로그 데이터전압을 유지한다. 제2 블록(BL2)은 게이트펄스의 출력을 차단하는 제2 게이트 출력 인에이블신호(GOE2)의 제2 구간 신호(T2)에 따라 제2 서브 프레임기간(SF2)에 충전하였던 아날로그 데이터전압을 유지한다. 제3 블록(BL3)은 게이트펄스의 출력을 차단하는 제3 게이트 출력 인에이블신호(GOE)의 제2 구간 신호(T2)에 따라 제3 서브 프레임기간(SF3)에 충전하였던 아날로그 데이터전압을 유지한다. 제4 블록(B4)은 게이트 스타트 펄스(GSP)의 제1 펄스(P1)와 제4 게이트 출력 인에이블신호(GOE4)의 제1 구간 신호(T1)에 따라 1 라인씩 순차적으로 발생하는 게이트펄스들에 의해 스캐닝되면서 데이터 드라이브 IC들로부터의 아날로그 데이터전압을 충전한다. 제5 블록(B5)은 게이트 스타트 펄스(GSP)의 제2 펄스(P2)와 제5 게이트 출력 인에이블신호(GOE5)의 제3 구간 신호(T3)에 따라 N 라인씩 중첩되는 게이트펄스들에 의해 스캐닝되면서 데이터 드라이브 IC들로부터의 블랙 계조 전압을 충전한다. 따라서, 제4 서브 프레임기간(SF4) 동안 제1 내지 제4 블록(BL1 내지 BL4)은 데이터 전압을 충전하거나 유지하는 데이터 표시 블록으로 구동되고, 제5 블록(BL5)은 블랙 계조 전압을 충전하는 블랙 표시 블록으로 구동된다.

<44> 제5 서브 프레임기간(SF5) 동안, 제1 블록(BL1)은 게이트 스타트 펄스(GSP)의 제2 펄스(P2)와 제1 게이트 출력 인에이블신호(GOE1)의 제3 구간 신호(T3)에 따라 N 라인씩 중첩되는 게이트펄스들에 의해 스캐닝되면서 데이터 드라이브 IC들로부터의 블랙 계조 전압을 충전한다. 제2 블록(BL2)은 게이트펄스의 출력을 차단하는 제2 게이트 출력 인에이블신호(GOE)의 제2 구간 신호(T2)에 따라 제2 서브 프레임기간(SF2)에 충전하였던 아날로그 데이터전압을 유지한다. 제3 블록(BL3)은 게이트펄스의 출력을 차단하는 제3 게이트 출력 인에이블신호(GOE)의 제2 구간 신호(T2)에 따라 제3 서브 프레임기간(SF3)에 충전하였던 아날로그 데이터전압을 유지한다. 제4 블록(BL3)은 게이트펄스의 출력을 차단하는 제4 게이트 출력 인에이블신호(GOE)의 제2 구간 신호(T2)에 따라 제4 서브 프레임기간(SF4)에 충전하였던 아날로그 데이터전압을 유지한다. 제5 블록(B5)은 게이트 스타트 펄스(GSP)의 제1 펄스(P1)와 제5 게이트 출력 인에이블신호(GOE5)의 제1 구간 신호(T1)에 따라 1 라인씩 순차적으로 발생하는 게이트펄스들에 의해 스캐닝되면서 데이터 드라이브 IC들로부터의 아날로그 데이터전압을 충전한다. 따라서, 제5 서브 프레임기간(SF5) 동안 제2 내지 제5 블록(BL2 내지 BL5)은 데이터 전압을 충전하거나 유지하는 데이터 표시 블록으로 구동되고, 제1 블록(BL1)은 블랙 계조 전압을 충전하는 블랙 표시 블록으로 구동된다.

<45> 도 9의 파형은 도 11a와 같이 각 블록들(BL1 내지 BL5)이 동작할 때 인가되는 게이트 타이밍 제어신호를 나타낸다. 각 블록들(BL1 내지 BL5)은 타이밍 컨트롤러(81)에 의해 발생하는 도 9 및 도 11a와 같은 게이트 타이밍 제어신호에 따라 1 프레임기간 대비 1/5 시간 동안 블랙 계조 전압을 충전한다. 즉, 도 11a에 도시된 블록들(BL1 내지 BL5)은 20%의 블랙 데이터 삽입비율(BDI%)로 구동된다.

<46> 도 11b는 블록들(BL1 내지 BL5)이 40%의 블랙 데이터 삽입비율(BDI%)로 구동되는 예를 보여 준다.

- <47> 도 11b를 참조하면, 타이밍 콘트롤러(81)는 N 번째 프레임기간의 제1 서브 프레임기간(SF1)의 시작과 동시에 제1 블록(BL1)을 담당하는 제1 게이트 드라이브 IC(831)에 게이트 스타트 펄스(GSP)의 제1 펄스(P1)와 제1 게이트 출력 인에이블신호(GOE1)의 제1 구간 신호(T1)를 공급한다. 이 때, 게이트 스타트 펄스(GSP)의 제1 펄스(P1)와 제2 펄스(P2) 사이의 시간차는 대략 3 서브 프레임 기간이다. N-1 번째 프레임기간 동안 발생된 게이트 스타트 펄스(GSP)는 제1 및 제2 게이트 드라이브 IC들(831, 832)을 경유하여 제3 게이트 드라이브 IC(833)로 쉬프트된다. 따라서, N 번째 프레임기간의 제1 서브 프레임(SF1)의 시작과 동시에 제3 게이트 드라이브 IC(833)에는 게이트 스타트 펄스(GSP)의 제2 펄스(P2)와 제3 게이트 출력 인에이블신호(GOE3)의 제3 구간신호(T3)가 공급된다.
- <48> 제1 서브 프레임기간(SF1) 동안, 제1 블록(BL1)은 게이트 스타트 펄스(GSP)의 제1 펄스(P1)와 제1 게이트 출력 인에이블신호(GOE1)의 제1 구간 신호(T1)에 따라 1 라인씩 순차적으로 발생하는 게이트펄스들에 의해 스캐닝되면서 데이터 드라이브 IC들로부터의 아날로그 데이터전압을 충전한다. 제1 서브 프레임기간(SF1) 동안, 제2 게이트 드라이브 IC(832)에 인가되는 제2 게이트 출력 인에이블신호(GOE2)는 제2 구간신호(T2)와 같이 하이논리를 유지하는 직류전압으로 인가된다. 따라서, 제2 블록(BL2)은 하이논리를 유지하는 직류전압의 제2 게이트 출력 인에이블신호(GOE2)에 따라 N-1 번째 프레임기간의 제5 서브 프레임(SF5)에 충전하였던 블랙 계조 전압을 유지한다. 제3 블록(BL3)은 게이트 스타트 펄스(GSP)의 제2 펄스(P2)와 제3 게이트 출력 인에이블신호(GOE3)의 제3 구간 신호(T3)에 따라 N 라인씩 중첩되는 게이트펄스들에 의해 스캐닝되면서 데이터 드라이브 IC들로부터의 블랙 계조 전압을 충전한다. 제4 블록(BL4)은 게이트펄스의 출력을 차단하는 제4 게이트 출력 인에이블신호(GOE4)의 제2 구간 신호(T2)에 따라 N-1 번째 프레임 기간의 제4 서브 프레임기간(SF4)에 충전하였던 아날로그 데이터전압을 유지한다. 제5 블록(BL5)은 게이트펄스의 출력을 차단하는 제5 게이트 출력 인에이블신호(GOE5)의 제2 구간 신호(T2)에 따라 N-1 번째 프레임 기간의 제5 서브 프레임기간(SF5)에 충전하였던 아날로그 데이터 전압을 유지한다. 이와 같이 제1 서브 프레임기간(SF1) 동안 제1, 제4 및 제5 블록(BL1, BL4, BL5)은 데이터 전압을 충전하거나 유지하는 데이터 표시 블록으로 구동되고, 제2 및 제3 블록(BL2, BL3)은 블랙 계조 전압을 충전하거나 유지하는 블랙 표시 블록으로 구동된다.
- <49> 제2 서브 프레임기간(SF2) 동안, 제1 블록(BL1)은 게이트펄스의 출력을 차단하는 제1 게이트 출력 인에이블신호(GOE1)의 제2 구간 신호(T2)에 따라 제1 서브 프레임기간(SF1)에 충전하였던 아날로그 데이터전압을 유지한다. 제2 블록(BL2)은 게이트 스타트 펄스(GSP)의 제1 펄스(P1)와 제2 게이트 출력 인에이블신호(GOE2)의 제1 구간 신호(T1)에 따라 1 라인씩 순차적으로 발생하는 게이트펄스들에 의해 스캐닝되면서 데이터 드라이브 IC들로부터의 아날로그 데이터전압을 충전한다. 제2 서브 프레임기간(SF2) 동안, 제3 게이트 드라이브 IC(833)에 인가되는 제3 게이트 출력 인에이블신호(GOE3)는 제2 구간신호(T2)와 같이 하이논리를 유지하는 직류전압으로 인가된다. 따라서, 제3 블록(BL3)은 하이논리를 유지하는 직류전압의 제3 게이트 출력 인에이블신호(GOE3)에 따라 제1 서브 프레임기간(SF1)에 충전하였던 블랙 계조 전압을 유지한다. 제4 블록(BL4)은 게이트 스타트 펄스(GSP)의 제2 펄스(P2)와 제4 게이트 출력 인에이블신호(GOE4)의 제3 구간 신호(T3)에 따라 N 라인씩 중첩되는 게이트 펄스들에 의해 스캐닝되면서 데이터 드라이브 IC들로부터의 블랙 계조 전압을 충전한다. 제5 블록(BL5)은 게이트펄스의 출력을 차단하는 제5 게이트 출력 인에이블신호(GOE5)의 제2 구간 신호(T2)에 따라 N-1 번째 프레임 기간의 제5 서브 프레임기간(SF5)에 충전하였던 아날로그 데이터전압을 유지한다. 이와 같이 제2 서브 프레임기간(SF2) 동안 제1, 제2, 제5 블록(BL1, BL2, BL5)은 데이터 전압을 충전하거나 유지하는 데이터 표시 블록으로 구동되고, 제3 및 제4 블록(BL3, BL4)은 블랙 계조 전압을 충전하거나 유지하는 블랙 표시 블록으로 구동된다.
- <50> 제3 서브 프레임기간(SF3) 동안, 제1 블록(BL1)은 게이트펄스의 출력을 차단하는 제1 게이트 출력 인에이블신호(GOE1)의 제2 구간 신호(T2)에 따라 제1 서브 프레임기간(SF1)에 충전하였던 아날로그 데이터전압을 유지한다. 제2 블록(BL2)은 게이트펄스의 출력을 차단하는 제2 게이트 출력 인에이블신호(GOE2)의 제2 구간 신호(T2)에 따라 제2 서브 프레임기간(SF2)에 충전하였던 아날로그 데이터전압을 유지한다. 제3 블록(BL3)은 게이트 스타트 펄스(GSP)의 제1 펄스(P1)와 제3 게이트 출력 인에이블신호(GOE3)의 제1 구간 신호(T1)에 따라 1 라인씩 순차적으로 발생하는 게이트펄스들에 의해 스캐닝되면서 데이터 드라이브 IC들로부터의 아날로그 데이터전압을 충전한다. 제3 서브 프레임기간(SF3) 동안, 제4 게이트 드라이브 IC(834)에 인가되는 제4 게이트 출력 인에이블신호(GOE4)는 제2 구간신호(T2)와 같이 하이논리를 유지하는 직류전압으로 인가된다. 따라서, 제4 블록(BL4)은 하이논리를 유지하는 직류전압의 제4 게이트 출력 인에이블신호(GOE4)에 따라 제2 서브 프레임기간(SF2)에 충전하였던 블랙 계조 전압을 유지한다. 제5 블록(BL5)은 게이트 스타트 펄스(GSP)의 제2 펄스(P2)와 제5 게이트 출력 인에이블신호(GOE5)의 제3 구간 신호(T3)에 따라 N 라인씩 중첩되는 게이트펄스들에 의해 스캐닝되면서 데이

터 드라이브 IC들로부터의 블랙 계조 전압을 충전한다. 이와 같이 제3 서브 프레임기간(SF3) 동안 제1 내지 제3 블록(BL1 내지 BL3)은 데이터 전압을 충전하거나 유지하는 데이터 표시 블록으로 구동되고, 제4 및 제5 블록(BL4, BL5)은 블랙 계조 전압을 충전하거나 유지하는 블랙 표시 블록으로 구동된다.

<51> 제4 서브 프레임기간(SF4) 동안, 제1 블록(BL1)은 게이트 스타트 펄스(GSP)의 제2 펄스(P2)와 제1 게이트 출력 인에이블신호(GOE1)의 제3 구간 신호(T3)에 따라 N 라인씩 중첩되는 게이트펄스들에 의해 스캐닝되면서 데이터 드라이브 IC들로부터의 블랙 계조 전압을 충전한다. 제2 블록(BL2)은 게이트펄스의 출력을 차단하는 제2 게이트 출력 인에이블신호(GOE2)의 제2 구간 신호(T2)에 따라 제2 서브 프레임기간(SF2)에 충전하였던 아날로그 데이터전압을 유지한다. 제3 블록(BL3)은 게이트펄스의 출력을 차단하는 제3 게이트 출력 인에이블신호(GOE3)의 제2 구간 신호(T2)에 따라 제3 서브 프레임기간(SF3)에 충전하였던 아날로그 데이터전압을 유지한다. 제4 블록(BL4)은 게이트 스타트 펄스(GSP)의 제1 펄스(P1)와 제4 게이트 출력 인에이블신호(GOE4)의 제1 구간 신호(T1)에 따라 1 라인씩 순차적으로 발생하는 게이트펄스들에 의해 스캐닝되면서 데이터 드라이브 IC들로부터의 아날로그 데이터전압을 충전한다. 제4 서브 프레임기간(SF4) 동안, 제5 게이트 드라이브 IC(835)에 인가되는 제5 게이트 출력 인에이블신호(GOE5)는 제2 구간신호(T2)와 같이 하이논리를 유지하는 직류전압으로 인가된다. 따라서, 제5 블록(BL5)은 하이논리를 유지하는 직류전압의 제5 게이트 출력 인에이블신호(GOE5)에 따라 제3 서브 프레임기간(SF3)에 충전하였던 블랙 계조 전압을 유지한다. 이와 같이 제4 서브 프레임기간(SF4) 동안 제2 내지 제4 블록(BL2 내지 BL4)은 데이터 전압을 충전하거나 유지하는 데이터 표시 블록으로 구동되고, 제1 및 제5 블록(BL1, BL5)은 블랙 계조 전압을 충전하거나 유지하는 블랙 표시 블록으로 구동된다.

<52> 제5 서브 프레임기간(SF5) 동안, 제1 게이트 드라이브 IC(831)에 인가되는 제1 게이트 출력 인에이블신호(GOE1)는 제2 구간신호(T2)와 같이 하이논리를 유지하는 직류전압으로 인가된다. 따라서, 제1 블록(BL1)은 하이논리를 유지하는 직류전압의 제1 게이트 출력 인에이블신호(GOE1)에 따라 제4 서브 프레임기간(SF4)에 충전하였던 블랙 계조 전압을 유지한다. 제5 서브 프레임기간(SF5) 동안, 제2 블록(BL2)은 게이트 스타트 펄스(GSP)의 제2 펄스(P2)와 제2 게이트 출력 인에이블신호(GOE2)의 제3 구간 신호(T3)에 따라 N 라인씩 중첩되는 게이트펄스들에 의해 스캐닝되면서 데이터 드라이브 IC들로부터의 블랙 계조 전압을 충전한다. 제3 블록(BL3)은 게이트펄스의 출력을 차단하는 제3 게이트 출력 인에이블신호(GOE3)의 제2 구간 신호(T2)에 따라 제3 서브 프레임기간(SF2)에 충전하였던 아날로그 데이터전압을 유지한다. 제4 블록(BL4)은 게이트펄스의 출력을 차단하는 제4 게이트 출력 인에이블신호(GOE4)의 제2 구간 신호(T2)에 따라 제4 서브 프레임기간(SF4)에 충전하였던 아날로그 데이터전압을 유지한다. 제5 블록(BL5)은 게이트 스타트 펄스(GSP)의 제1 펄스(P1)와 제5 게이트 출력 인에이블신호(GOE5)의 제1 구간 신호(T1)에 따라 1 라인씩 순차적으로 발생하는 게이트펄스들에 의해 스캐닝되면서 데이터 드라이브 IC들로부터의 아날로그 데이터전압을 충전한다. 이와 같이 제5 서브 프레임기간(SF5) 동안 제3 내지 제5 블록(BL3 내지 BL5)은 데이터 전압을 충전하거나 유지하는 데이터 표시 블록으로 구동되고, 제1 및 제2 블록(BL1, BL2)은 블랙 계조 전압을 충전하거나 유지하는 블랙 표시 블록으로 구동된다.

<53> 도 11b와 같은 방식으로 블록들(BL1 내지 BL5)을 구동하기 위하여, 타이밍 컨트롤러(81)는 도 9의 파형에 비하여 게이트 스타트 펄스(GSP)에서 제2 펄스(P2)의 지연값을 더 줄여야 한다. 또한, 타이밍 컨트롤러(81)는 게이트 스타트 펄스(GSP)에서 제2 펄스(P2)가 앞당겨지고 남은 기간 동안, 즉, 게이트 출력 인에이블신호들(GOE1 내지 GOE5)에서 제3 구간신호(T3)와 제1 구간신호(T1) 사이의 기간 동안 블랙 유지를 위한 하이논리전압 구간을 할당하여야 한다. 도 11b에 도시된 각 블록들(BL1 내지 BL5)은 타이밍 컨트롤러(81)에 의해 타이밍이 조정된 게이트 타이밍 제어신호에 따라 1 프레임기간 대비 2/5 시간 동안 블랙 계조 전압을 충전한다. 즉, 도 11b에 도시된 블록들(BL1 내지 BL5)은 40%의 블랙 데이터 삽입비율(BDI%)로 구동된다.

<54> 도 11c는 블록들(BL1 내지 BL5)이 60%의 블랙 데이터 삽입비율(BDI%)로 구동되는 예를 보여 준다.

<55> 도 11c를 참조하면, 타이밍 컨트롤러(81)는 N 번째 프레임기간의 제1 서브 프레임기간(SF1)의 시작과 동시에 제1 블록(BL1)을 담당하는 제1 게이트 드라이브 IC(831)에 게이트 스타트 펄스(GSP)의 제1 펄스(P1)와 제1 게이트 출력 인에이블신호(GOE1)의 제1 구간 신호(T1)를 공급한다. 이 때, 게이트 스타트 펄스(GSP)의 제1 펄스(P1)와 제2 펄스(P2) 사이의 시간차는 대략 2 서브 프레임 기간이다. N-1 번째 프레임기간 동안 발생한 게이트 스타트 펄스(GSP)는 제1 내지 제3 게이트 드라이브 IC들(831 내지 833)을 경유하여 제4 게이트 드라이브 IC(834)로 쉬프트된다. 따라서, N 번째 프레임기간의 제1 서브 프레임(SF1)의 시작과 동시에 제4 게이트 드라이브 IC(834)에는 게이트 스타트 펄스(GSP)의 제2 펄스(P2)와 제4 게이트 출력 인에이블신호(GOE4)의 제3 구간신호(T3)가 공급된다.

<56> 제1 서브 프레임기간(SF1) 동안, 제1 블록(BL1)은 게이트 스타트 펄스(GSP)의 제1 펄스(P1)와 제1 게이트 출력

인에이블신호(GOE1)의 제1 구간 신호(T1)에 따라 1 라인씩 순차적으로 발생하는 게이트펄스들에 의해 스캐닝되면서 데이터 드라이브 IC들로부터의 아날로그 데이터전압을 충전한다. 제2 게이트 출력 인에이블신호(GOE2)는 N-1 번째 프레임기간의 제5 서브 프레임기간(SF5)의 시작부터 N 번째 프레임기간의 제1 서브 프레임기간(SF1)의 종료까지 제2 구간신호(T2)와 같이 하이논리 전압을 유지한다. 또한, 제3 게이트 출력 인에이블신호(GOE3)는 제1 서브 프레임기간(SF1)의 시작과 동시에 하이논리전압으로 발생되고 제2 서브 프레임(SF2)의 종료시점까지 그 하이논리전압을 유지한다. 따라서, 제1 서브 프레임기간(SF1) 동안 제2 블록(BL2)은 제2 게이트 출력 인에이블신호(GOE2)에 따라 N-1 번째 프레임기간의 제4 서브 프레임(SF4)에 충전하였던 블랙 계조 전압을 유지한다. 제3 블록(BL3)은 제3 게이트 출력 인에이블신호(GOE3)에 따라 N-1 번째 프레임기간의 제5 서브 프레임(SF5)에 충전하였던 블랙 계조 전압을 유지한다. 제4 블록(BL4)은 게이트 스타트 펄스(GSP)의 제2 펄스(P2)와 제4 게이트 출력 인에이블신호(GOE4)의 제3 구간 신호(T3)에 따라 N 라인씩 중첩되는 게이트펄스들에 의해 스캐닝되면서 데이터 드라이브 IC들로부터의 블랙 계조 전압을 충전한다. 제5 블록(BL5)은 게이트펄스의 출력을 차단하는 제5 게이트 출력 인에이블신호(GOE5)의 제2 구간 신호(T2)에 따라 N-1 번째 프레임 기간의 제5 서브 프레임기간(SF5)에 충전하였던 아날로그 데이터전압을 유지한다. 이와 같이 제1 서브 프레임기간(SF1) 동안 제1 및 제5 블록(BL1, BL5)은 데이터 전압을 충전하거나 유지하는 데이터 표시 블록으로 구동되고, 제2 내지 제4 블록(BL2 내지 BL4)은 블랙 계조 전압을 충전하거나 유지하는 블랙 표시 블록으로 구동된다.

<57> 제2 서브 프레임기간(SF2) 동안, 제1 블록(BL1)은 게이트펄스의 출력을 차단하는 제1 게이트 출력 인에이블신호(GOE1)의 제2 구간 신호(T2)에 따라 제1 서브 프레임기간(SF1)에 충전하였던 아날로그 데이터전압을 유지한다. 제2 블록(BL2)은 게이트 스타트 펄스(GSP)의 제1 펄스(P1)와 제2 게이트 출력 인에이블신호(GOE2)의 제1 구간 신호(T1)에 따라 1 라인씩 순차적으로 발생하는 게이트펄스들에 의해 스캐닝되면서 데이터 드라이브 IC들로부터의 아날로그데이터전압을 충전한다. 제3 게이트 출력 인에이블신호(GOE3)는 제1 서브 프레임기간(SF1)부터 제2 프레임기간(SF2)의 종료시점까지 제2 구간신호(T2)와 같이 하이논리 전압을 유지한다. 제4 게이트 출력 인에이블신호(GOE4)는 제2 서브 프레임기간(SF2)의 시작부터 제3 서브 프레임(SF3)의 종료까지 제2 구간신호(T2)와 같이 하이논리 전압을 유지한다. 따라서, 제2 서브 프레임기간(SF2) 동안 제3 블록(BL3)은 제3 게이트 출력 인에이블신호(GOE3)에 따라 N-1 번째 프레임기간의 제5 서브 프레임(SF5)에 충전하였던 블랙 계조 전압을 유지한다. 제4 블록(BL4)은 제4 게이트 출력 인에이블신호(GOE4)에 따라 제1 서브 프레임(SF1)에 충전하였던 블랙 계조 전압을 유지한다. 제5 블록(BL5)은 게이트 스타트 펄스(GSP)의 제2 펄스(P2)와 제5 게이트 출력 인에이블신호(GOE5)의 제3 구간 신호(T3)에 따라 N 라인씩 중첩되는 게이트펄스들에 의해 스캐닝되면서 데이터 드라이브 IC들로부터의 블랙 계조 전압을 충전한다. 이와 같이 제2 서브 프레임기간(SF2) 동안 제1 및 제2 블록(BL1, BL2)은 데이터 전압을 충전하거나 유지하는 데이터 표시 블록으로 구동되고, 제3 내지 제5 블록(BL3 내지 BL5)은 블랙 계조 전압을 충전하거나 유지하는 블랙 표시 블록으로 구동된다.

<58> 제3 서브 프레임기간(SF3) 동안, 제1 블록(BL1)은 게이트 스타트 펄스(GSP)의 제2 펄스(P2)와 제1 게이트 출력 인에이블신호(GOE1)의 제3 구간 신호(T3)에 따라 N 라인씩 중첩되는 게이트펄스들에 의해 스캐닝되면서 데이터 드라이브 IC들로부터의 블랙 계조 전압을 충전한다. 제2 블록(BL2)은 게이트펄스의 출력을 차단하는 제2 게이트 출력 인에이블신호(GOE2)의 제2 구간 신호(T2)에 따라 제2 서브 프레임기간(SF2)에 충전하였던 아날로그 데이터전압을 유지한다. 제3 블록(BL3)은 게이트 스타트 펄스(GSP)의 제1 펄스(P1)와 제3 게이트 출력 인에이블신호(GOE3)의 제1 구간 신호(T1)에 따라 1 라인씩 순차적으로 발생하는 게이트펄스들에 의해 스캐닝되면서 데이터 드라이브 IC들로부터의 아날로그 데이터전압을 충전한다. 제4 블록(BL4)은 게이트 스타트 펄스(GSP)의 제2 펄스(P2)와 제4 게이트 출력 인에이블신호(GOE4)의 제3 구간신호(T3)에 따라 N 라인씩 중첩되는 게이트펄스들에 의해 스캐닝되면서 데이터 드라이브 IC들로부터의 블랙 계조 전압을 충전한다. 따라서, 제3 서브 프레임기간(SF3) 동안, 제5 블록(BL5)은 제5 게이트 출력 인에이블신호(GOE5)에 따라 제2 서브 프레임(SF2)에 충전하였던 블랙 계조 전압을 유지한다. 이와 같이 제3 서브 프레임기간(SF3) 동안 제2 및 제3 블록(BL2, BL3)은 데이터 전압을 충전하거나 유지하는 데이터 표시 블록으로 구동되고, 제1, 제4 및 제5 블록(BL1, BL4 내지 BL5)은 블랙 계조 전압을 충전하거나 유지하는 블랙 표시 블록으로 구동된다.

<59> 제1 게이트 출력 인에이블신호(GOE1)는 제4 서브 프레임기간(SF4)의 시작시점부터 제5 서브 프레임기간(SF5)의 종료시점까지 하이논리 전압을 유지한다. 따라서, 제1 블록(BL1)은 제4 서브 프레임기간(SF4) 동안 하이논리전압을 유지하는 제1 게이트 출력 인에이블신호(GOE1)에 따라 제3 서브 프레임(SF3)에 충전하였던 블랙 계조 전압을 유지한다. 제2 블록(BL2)은 게이트 스타트 펄스(GSP)의 제2 펄스(P2)와 제2 게이트 출력 인에이블신호(GOE2)의 제3 구간 신호(T3)에 따라 N 라인씩 중첩되는 게이트펄스들에 의해 스캐닝되면서 데이터 드라이브 IC들로부터의 블랙 계조 전압을 충전한다. 제3 블록(BL2)은 게이트펄스의 출력을 차단하는 제3 게이트 출력 인에이블신호(GOE3)의 제2 구간 신호(T2)에 따라 제3 서브 프레임기간(SF3)에 충전하였던 아날로그 데이터전압을 유

지한다. 제4 블록(BL4)은 게이트 스타트 펄스(GSP)의 제1 펄스(P1)와 제4 게이트 출력 인에이블신호(GOE4)의 제1 구간 신호(T1)에 따라 1 라인씩 순차적으로 발생하는 게이트펄스들에 의해 스캐닝되면서 데이터 드라이브 IC들로부터의 아날로그 데이터전압을 충전한다. 제5 블록(BL5)은 게이트 스타트 펄스(GSP)의 제2 펄스(P2)와 제5 게이트 출력 인에이블신호(GOE5)의 제3 구간신호(T3)에 따라 N 라인씩 중첩되는 게이트펄스들에 의해 스캐닝되면서 데이터 드라이브 IC들로부터의 블랙 계조 전압을 충전한다. 이와 같이 제4 서브 프레임기간(SF4) 동안 제3 및 제4 블록(BL3, BL4)은 데이터 전압을 충전하거나 유지하는 데이터 표시 블록으로 구동되고, 제1, 제2 및 제5 블록(BL1, BL2 내지 BL5)은 블랙 계조 전압을 충전하거나 유지하는 블랙 표시 블록으로 구동된다.

<60> 제1 게이트 출력 인에이블신호(GOE1)는 제4 서브 프레임기간(SF4)부터 제5 서브 프레임기간(SF5)의 종료시점까지 하이논리 전압을 유지한다. 제2 게이트 출력 인에이블신호(GOE2)는 제5 서브 프레임기간(SF5)의 시작시점부터 N+1 번째 프레임기간의 제1 서브 프레임기간(SF1)의 종료시점까지 하이논리 전압을 유지한다. 따라서, 제1 블록(BL1)은 제5 서브 프레임기간(SF5) 동안, 하이논리전압을 유지하는 제1 게이트 출력 인에이블신호(GOE1)에 따라 제3 서브 프레임(SF3)에 충전하였던 블랙 계조 전압을 유지한다. 제2 블록(BL2)은 제5 서브 프레임기간(SF5) 동안, 하이논리전압을 유지하는 제2 게이트 출력 인에이블신호(GOE2)에 따라 제4 서브 프레임(SF4)에 충전하였던 블랙 계조 전압을 유지한다. 제3 블록(BL3)은 게이트 스타트 펄스(GSP)의 제2 펄스(P2)와 제3 게이트 출력 인에이블신호(GOE3)의 제3 구간 신호(T3)에 따라 N 라인씩 중첩되는 게이트펄스들에 의해 스캐닝되면서 데이터 드라이브 IC들로부터의 블랙 계조 전압을 충전한다. 제4 블록(BL4)은 게이트펄스의 출력을 차단하는 제4 게이트 출력 인에이블신호(GOE4)의 제2 구간 신호(T2)에 따라 제4 서브 프레임기간(SF4)에 충전하였던 아날로그 데이터전압을 유지한다. 제5 블록(BL5)은 게이트 스타트 펄스(GSP)의 제1 펄스(P1)와 제5 게이트 출력 인에이블신호(GOE4)의 제1 구간 신호(T1)에 따라 1 라인씩 순차적으로 발생하는 게이트펄스들에 의해 스캐닝되면서 데이터 드라이브 IC들로부터의 아날로그 데이터전압을 충전한다. 이와 같이 제5 서브 프레임기간(SF5) 동안 제4 및 제5 블록(BL4, BL5)은 데이터 전압을 충전하거나 유지하는 데이터 표시 블록으로 구동되고, 제1 내지 제3 블록(BL1 내지 BL3)은 블랙 계조 전압을 충전하거나 유지하는 블랙 표시 블록으로 구동된다.

<61> 도 11c와 같은 방식으로 블록들(BL1 내지 BL5)을 구동하기 위하여, 타이밍 컨트롤러(81)는 도 11b의 구동방식에서 발생하는 파형에 비하여 게이트 스타트 펄스(GSP)에서 제2 펄스(P2)의 지연값을 더 줄여야 한다. 또한, 타이밍 컨트롤러(81)는 게이트 스타트 펄스(GSP)에서 제2 펄스(P2)가 앞당겨지고 남은 기간 동안, 즉, 게이트 출력 인에이블신호들(GOE1 내지 GOE5)에서 제3 구간신호(T3)와 제1 구간신호(T1) 사이의 기간 동안 블랙 유지를 위한 하이논리전압 구간을 할당하여야 한다. 도 11c에 도시된 각 블록들(BL1 내지 BL5)은 타이밍 컨트롤러(81)에 의해 타이밍이 조정된 게이트 타이밍 제어신호에 따라 1 프레임기간 대비 3/5 시간 동안 블랙 계조 전압을 충전한다. 즉, 도 11c에 도시된 블록들(BL1 내지 BL5)은 60%의 블랙 데이터 삽입비율(BDI%)로 구동된다.

<62> 도 11d는 블록들(BL1 내지 BL5)이 80%의 블랙 데이터 삽입비율(BDI%)로 구동되는 예를 보여 준다.

<63> 도 11d를 참조하면, 타이밍 컨트롤러(81)는 N 번째 프레임기간의 제1 서브 프레임기간(SF1)의 시작과 동시에 제1 블록(BL1)을 담당하는 제1 게이트 드라이브 IC(831)에 게이트 스타트 펄스(GSP)의 제1 펄스(P1)와 제1 게이트 출력 인에이블신호(GOE1)의 제1 구간 신호(T1)를 공급한다. 이 때, 게이트 스타트 펄스(GSP)의 제1 펄스(P1)와 제2 펄스(P2) 사이의 시간차는 대략 1 서브 프레임 기간이다. N-1 번째 프레임기간 동안 발생한 게이트 스타트 펄스(GSP)는 제1 내지 제4 게이트 드라이브 IC들(831 내지 834)을 경유하여 제5 게이트 드라이브 IC(835)로 쉬프트된다. 따라서, N 번째 프레임기간의 제1 서브 프레임(SF1)의 시작과 동시에 제5 게이트 드라이브 IC(835)에는 게이트 스타트 펄스(GSP)의 제2 펄스(P2)와 제5 게이트 출력 인에이블신호(GOE5)의 제3 구간신호(T3)가 공급된다.

<64> 제1 서브 프레임기간(SF1) 동안, 제1 블록(BL1)은 게이트 스타트 펄스(GSP)의 제1 펄스(P1)와 제1 게이트 출력 인에이블신호(GOE1)의 제1 구간 신호(T1)에 따라 1 라인씩 순차적으로 발생하는 게이트펄스들에 의해 스캐닝되면서 데이터 드라이브 IC들로부터의 아날로그 데이터전압을 충전한다. 제2 게이트 출력 인에이블신호(GOE2)는 N-1 번째 프레임기간의 제4 서브 프레임기간(SF4)의 시작시점부터 N 번째 프레임기간의 제1 서브 프레임기간(SF1)의 종료시점까지 하이논리 전압을 유지한다. 제3 게이트 출력 인에이블신호(GOE3)는 N-1 번째 프레임기간의 제5 서브 프레임기간(SF5)의 시작시점부터 N 번째 프레임기간의 제2 서브 프레임기간(SF2)의 종료시점까지 하이논리 전압을 유지한다. 제4 게이트 출력 인에이블신호(GOE4)는 제1 서브 프레임기간(SF1)의 시작시점부터 제3 서브 프레임기간(SF3)의 종료시점까지 하이논리 전압을 유지한다. 따라서, 제1 서브 프레임기간(SF1) 동안 제2 블록(BL2)은 제2 게이트 출력 인에이블신호(GOE2)에 따라 N-1 번째 프레임기간의 제3 서브 프레임(SF3)에 충전하였던 블랙 계조 전압을 유지한다. 제3 블록(BL3)은 제3 게이트 출력 인에이블신호(GOE3)에 따라 N-1 번째 프레임기간의 제4 서브 프레임(SF4)에 충전하였던 블랙 계조 전압을 유지한다. 제4 블록(BL4)은 제4 게이트

출력 인에이블신호(GOE4)에 따라 N-1 번째 프레임기간의 제5 서브 프레임(SF5)에 충전하였던 블랙 계조 전압을 유지한다. 제5 블록(BL5)은 게이트 스타트 펄스(GSP)의 제2 펄스(P2)와 제5 게이트 출력 인에이블신호(GOE5)의 제3 구간 신호(T3)에 따라 N 라인씩 중첩되는 게이트펄스들에 의해 스캐닝되면서 데이터 드라이브 IC들로부터의 블랙 계조 전압을 충전한다. 이와 같이 제1 서브 프레임기간(SF1) 동안 제1 블록(BL1)은 데이터 전압을 충전하는 데이터 표시 블록으로 구동되고, 제2 내지 제5 블록(BL2 내지 BL5)은 블랙 계조 전압을 충전하거나 유지하는 블랙 표시 블록으로 구동된다.

<65> 제2 서브 프레임기간(SF2) 동안, 제1 블록(BL1)은 게이트 스타트 펄스(GSP)의 제2 펄스(P2)와 제1 게이트 출력 인에이블신호(GOE1)의 제3 구간 신호(T3)에 따라 N 라인씩 중첩되는 게이트펄스들에 의해 스캐닝되면서 데이터 드라이브 IC들로부터의 블랙 계조 전압을 충전한다. 제2 블록(BL2)은 게이트 스타트 펄스(GSP)의 제1 펄스(P1)와 제2 게이트 출력 인에이블신호(GOE2)의 제1 구간 신호(T1)에 따라 1 라인씩 순차적으로 발생하는 게이트펄스들에 의해 스캐닝되면서 데이터 드라이브 IC들로부터의 아날로그 데이터전압을 충전한다. 제2 서브 프레임기간(SF2) 동안 제3 블록(BL3)은 하이논리전압을 유지하는 제3 게이트 출력 인에이블신호(GOE3)에 따라 N-1 번째 프레임기간의 제4 서브 프레임(SF4)에 충전하였던 블랙 계조 전압을 유지한다. 제4 블록(BL4)은 제4 게이트 출력 인에이블신호(GOE4)에 따라 N-1 번째 프레임기간의 제5 서브 프레임(SF5)에 충전하였던 블랙 계조 전압을 유지한다. 제5 게이트 출력 인에이블신호(GOE5)는 제2 서브 프레임기간(SF2)의 시작시점부터 제4 서브 프레임기간(SF4)의 종료시점까지 하이논리전압을 유지한다. 따라서, 제5 블록(BL5)은 제2 서브 프레임기간(SF2) 동안 하이논리전압을 유지하는 제5 게이트 출력 인에이블신호(GOE5)에 따라 제1 서브 프레임(SF1)에 충전하였던 블랙 계조 전압을 유지한다. 이와 같이 제2 서브 프레임기간(SF2) 동안 제2 블록(BL2)은 데이터 전압을 충전하는 데이터 표시 블록으로 구동되고, 제1, 제3 내지 제5 블록(BL1, BL3 내지 BL5)은 블랙 계조 전압을 충전하거나 유지하는 블랙 표시 블록으로 구동된다.

<66> 제1 게이트 출력 인에이블신호(GOE1)는 제3 서브 프레임기간(SF3)의 시작시점부터 제5 서브 프레임기간(SF5)의 종료시점까지 하이논리 전압을 유지한다. 따라서, 제1 블록(BL1)은 제3 서브 프레임기간(SF3) 동안 제1 게이트 출력 인에이블신호(GOE1)에 따라 제2 서브 프레임(SF2)에 충전하였던 블랙 계조 전압을 유지한다. 제2 블록(BL2)은 제3 서브 프레임기간(SF3) 동안 게이트 스타트 펄스(GSP)의 제2 펄스(P2)와 제2 게이트 출력 인에이블신호(GOE2)의 제3 구간 신호(T3)에 따라 N 라인씩 중첩되는 게이트펄스들에 의해 스캐닝되면서 데이터 드라이브 IC들로부터의 블랙 계조 전압을 충전한다. 제3 블록(BL3)은 게이트 스타트 펄스(GSP)의 제1 펄스(P1)와 제3 게이트 출력 인에이블신호(GOE3)의 제1 구간 신호(T1)에 따라 1 라인씩 순차적으로 발생하는 게이트펄스들에 의해 스캐닝되면서 데이터 드라이브 IC들로부터의 아날로그 데이터전압을 충전한다. 제4 블록(BL4)은 제3 서브 프레임기간(SF3) 동안 하이논리전압을 유지하는 제4 게이트 출력 인에이블신호(GOE4)에 따라 N-1 번째 프레임기간의 제5 서브 프레임(SF5)에 충전하였던 블랙 계조 전압을 유지한다. 제5 블록(BL5)은 제3 서브 프레임기간(SF3) 동안 하이논리전압을 유지하는 제5 게이트 출력 인에이블신호(GOE5)에 따라 제1 서브 프레임(SF1)에 충전하였던 블랙 계조 전압을 유지한다. 이와 같이 제3 서브 프레임기간(SF3) 동안 제3 블록(BL3)은 데이터 전압을 충전하는 데이터 표시 블록으로 구동되고, 제1, 제2, 제4, 및 제5 블록(BL1, BL2, BL4, BL5)은 블랙 계조 전압을 충전하거나 유지하는 블랙 표시 블록으로 구동된다.

<67> 제4 서브 프레임기간 동안, 제1 블록(BL1)은 하이논리전압을 유지하는 제1 게이트 출력 인에이블신호(GOE1)에 따라 제2 서브 프레임(SF2)에 충전하였던 블랙 계조 전압을 유지한다. 제2 게이트 출력 인에이블신호(GOE2)는 제4 서브 프레임기간(SF4)의 시작시점부터 N+1 번째 프레임기간의 제1 서브 프레임기간(SF1)의 종료시점까지 하이논리 전압을 유지한다. 따라서, 제2 블록(BL2)은 제4 서브 프레임기간(SF4) 동안 제2 게이트 출력 인에이블신호(GOE2)에 따라 제3 서브 프레임(SF3)에 충전하였던 블랙 계조 전압을 유지한다. 제3 블록(BL3)은 제4 서브 프레임기간(SF4) 동안 게이트 스타트 펄스(GSP)의 제2 펄스(P2)와 제3 게이트 출력 인에이블신호(GOE3)의 제3 구간 신호(T3)에 따라 N 라인씩 중첩되는 게이트펄스들에 의해 스캐닝되면서 데이터 드라이브 IC들로부터의 블랙 계조 전압을 충전한다. 제4 블록(BL4)은 게이트 스타트 펄스(GSP)의 제1 펄스(P1)와 제4 게이트 출력 인에이블신호(GOE4)의 제1 구간 신호(T1)에 따라 1 라인씩 순차적으로 발생하는 게이트펄스들에 의해 스캐닝되면서 데이터 드라이브 IC들로부터의 아날로그 데이터전압을 충전한다. 제5 블록(BL5)은 제4 서브 프레임기간(SF4) 동안 하이논리전압을 유지하는 제5 게이트 출력 인에이블신호(GOE5)에 따라 제1 서브 프레임(SF1)에 충전하였던 블랙 계조 전압을 유지한다. 이와 같이 제4 서브 프레임기간(SF4) 동안 제4 블록(BL4)은 데이터 전압을 충전하는 데이터 표시 블록으로 구동되고, 제1 내지 제3, 제5 블록(BL1 내지 BL3, BL5)은 블랙 계조 전압을 충전하거나 유지하는 블랙 표시 블록으로 구동된다.

<68> 제5 서브 프레임기간 동안, 제1 블록(BL1)은 하이논리전압을 유지하는 제1 게이트 출력 인에이블신호(GOE1)에

따라 제2 서브 프레임(SF2)에 충전하였던 블랙 계조 전압을 유지한다. 제2 블록(BL2)은 하이논리전압을 유지하는 제2 게이트 출력 인에이블신호(GOE2)에 따라 제3 서브 프레임(SF3)에 충전하였던 블랙 계조 전압을 유지한다. 제3 게이트 출력 인에이블신호(GOE3)는 제5 서브 프레임기간(SF5)의 시작시점부터 N+1 번째 프레임기간의 제2 서브 프레임기간(SF2)의 종료시점까지 하이논리 전압을 유지한다. 따라서, 제3 블록(BL3)은 제5 서브 프레임기간(SF5) 동안 제3 게이트 출력 인에이블신호(GOE3)에 따라 제4 서브 프레임(SF4)에 충전하였던 블랙 계조 전압을 유지한다. 제4 블록(BL4)은 제5 서브 프레임기간(SF5) 동안 게이트 스타트 펄스(GSP)의 제2 펄스(P2)와 제4 게이트 출력 인에이블신호(GOE4)의 제3 구간 신호(T3)에 따라 N 라인씩 중첩되는 게이트펄스들에 의해 스캐닝되면서 데이터 드라이브 IC들로부터의 블랙 계조 전압을 충전한다. 제5 블록(BL5)은 게이트 스타트 펄스(GSP)의 제1 펄스(P1)와 제5 게이트 출력 인에이블신호(GOE5)의 제1 구간 신호(T1)에 따라 1 라인씩 순차적으로 발생하는 게이트펄스들에 의해 스캐닝되면서 데이터 드라이브 IC들로부터의 아날로그 데이터전압을 충전한다. 이와 같이 제5 서브 프레임기간(SF5) 동안 제5 블록(BL5)은 데이터 전압을 충전하는 데이터 표시 블록으로 구동되고, 제1 내지 제4 블록(BL1 내지 BL4)은 블랙 계조 전압을 충전하거나 유지하는 블랙 표시 블록으로 구동된다.

<69> 도 11d와 같은 방식으로 블록들(BL1 내지 BL5)을 구동하기 위하여, 타이밍 컨트롤러(81)는 도 11c의 구동방식에서 발생하는 파형에 비하여 게이트 스타트 펄스(GSP)에서 제2 펄스(P2)의 지연값을 더 줄여야 한다. 또한, 타이밍 컨트롤러(81)는 게이트 스타트 펄스(GSP)에서 제2 펄스(P2)가 앞당겨지고 남은 기간 동안, 즉, 게이트 출력 인에이블신호들(GOE1 내지 GOE5)에서 제3 구간신호(T3)와 제1 구간신호(T1) 사이의 기간 동안 블랙 유지를 위한 하이논리전압 구간을 할당하여야 한다. 도 11d에 도시된 각 블록들(BL1 내지 BL5)은 타이밍 컨트롤러(81)에 의해 타이밍이 조정된 게이트 타이밍 제어신호에 따라 1 프레임기간 대비 4/5 시간 동안 블랙 계조 전압을 충전한다. 즉, 도 11d에 도시된 블록들(BL1 내지 BL5)은 80%의 블랙 데이터 삽입비율(BDI%)로 구동된다.

<70> 전술한 실시예는 블랙 데이터 삽입비율(BDI%)을 20%, 40%, 60%, 80%로 가변하는 예를 설명하였지만, 이 조정범위에 국한되지 않는다. 예컨대, 본 발명의 실시예에 따른 액정표시장치는 데이터 드라이브 IC들의 개수를 추가하고 타이밍 컨트롤러(81)에 의해 게이트 타이밍 제어신호의 타이밍이 조절됨으로써 도 7과 같은 방법으로 블랙 데이터 삽입비율(BDI%)이 조정될 수 있다.

<71> 도 12는 본 발명의 실시예에 따른 액정표시장치의 구동방법을 단계적으로 나타내는 흐름도이다.

<72> 도 12를 참조하면, 타이밍 컨트롤러(81)는 수직 동기신호(Vsync)를 고정클럭신호(FCLK)로 카운터하여 프레임 주파수를 실시간 감시한다.(S1)

<73> 프레임 주파수의 실시간 감시 결과, 현재 입력되는 영상의 프레임 주파수에 변화가 없거나 프레임 주파수가 높게 변하면 타이밍 컨트롤러(S3)는 현재의 블랙 데이터 삽입비율(BDI%)을 유지한다.(S2, S3)

<74> 프레임 주파수의 실시간 감시 결과, 현재 입력되는 영상의 프레임 주파수가 낮게 변하면 타이밍 컨트롤러(S3)는 플리커를 약한 수준으로 유지하기 위하여 현재의 블랙 데이터 삽입비율(BDI%)을 낮게 조정한다.(S4, S5) 여기서, 타이밍 컨트롤러(81)는 전술한 바와 같이 프레임 주파수가 낮아질 때 게이트 스타트 펄스(GSP)에서 제1 펄스(P1)와 제2 펄스(P2) 사이의 시간차를 줄이고, 게이트 출력 인에이블신호들(GOE1 내지 GOE5)에서 제2 구간신호(T2)를 좁혀 1 프레임기간 대비 블랙 계조전압의 충전시간을 줄인다.

<75> 프레임 주파수의 실시간 감시 결과, 현재 입력되는 영상의 프레임 주파수가 낮게 변한 후에 높게 변하면 타이밍 컨트롤러(S3)는 동영상에서 모션 블러 현상이 나타나지 않을 정도의 만족할 만한 수준으로 임펄스 효과를 얻기 위하여 현재의 블랙 데이터 삽입비율(BDI%)을 높게 조정한다.(S6, S7) 여기서, 타이밍 컨트롤러(81)는 프레임 주파수가 낮아진 후에 높아질 때 게이트 스타트 펄스(GSP)의 제1 펄스(P1)와 제2 펄스(P2) 사이의 시간차를 늘리고, 게이트 출력 인에이블신호들(GOE1내지 GOE5)에서 제2 구간신호(T2)를 늘려 1 프레임기간 대비 블랙 계조 전압의 충전시간을 늘린다.

<76> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

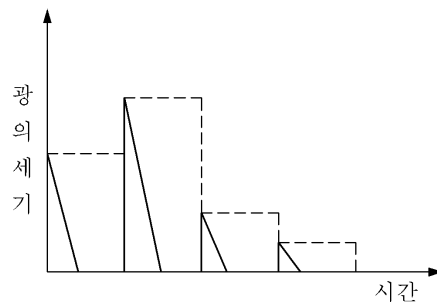
<77> 도 1은 음극선관의 발광특성을 나타내는 특성도.

<78> 도 2는 액정표시장치의 발광특성을 나타내는 특성도.

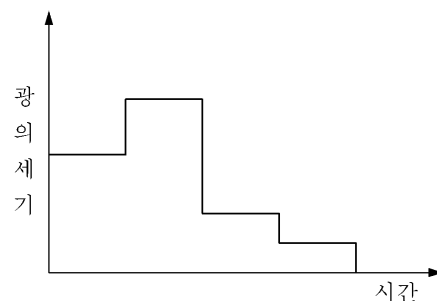
- | | |
|------|--|
| <79> | 도 3은 관람자가 느끼는 음극선관의 지각영상을 나타내는 도면. |
| <80> | 도 4는 관람자가 느끼는 액정표시장치의 지각영상을 나타내는 도면. |
| <81> | 도 5는 블랙 데이터 삽입 비율의 일예를 보여 주는 도면. |
| <82> | 도 6은 프레임 주파수의 변화에 따라 고정된 블랙 데이터 삽입 비율을 나타내는 도면. |
| <83> | 도 7은 본 발명의 실시예에 따른 액정표시장치 및 그 구동방법에서 프레임 주파수 변화에 따른 블랙 데이터 삽입비율을 설명하기 위한 도면. |
| <84> | 도 8은 본 발명의 실시예에 따른 액정표시장치를 나타내는 블록도. |
| <85> | 도 9는 도 8에 도시된 게이트 타이밍 제어신호를 나타내는 파형도. |
| <86> | 도 10은 데이터 표시블록과 블랙 표시 블록에서 도 8에 도시된 게이트 타이밍 제어신호를 자세히 나타내는 파형도. |
| <87> | 도 11a 내지 도 11d는 프레임 주파수에 따라 변화되는 블랙 데이터 삽입비율(BDI%)을 나타내는 도면들. |
| <88> | 도 12는 본 발명의 실시예에 따른 액정표시장치의 구동방법을 단계적으로 나타내는 흐름도. |
| <89> | 〈도면의 주요 부분에 대한 부호의 설명〉 |
| <90> | 81 : 타이밍 콘트롤러 82 : 데이터 구동회로 |
| <91> | 83 : 게이트 구동회로 |

도면

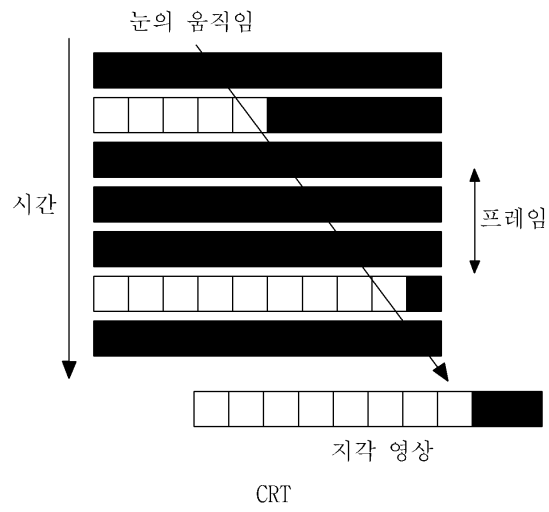
도면1



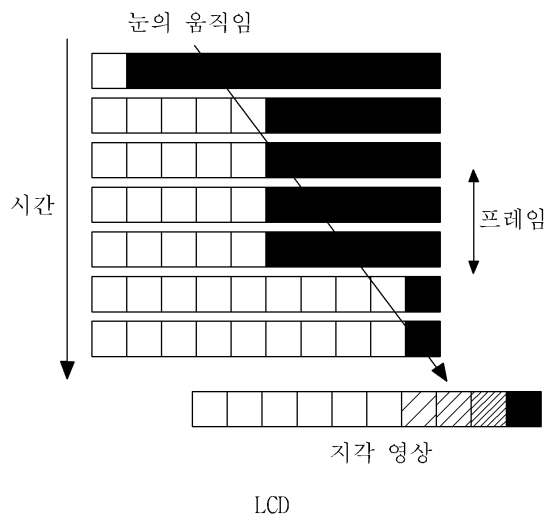
도면2



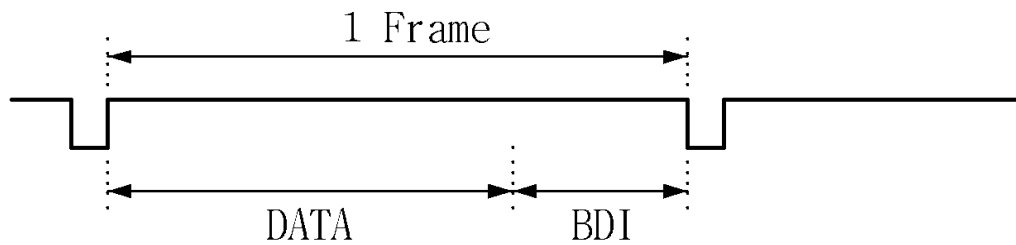
도면3



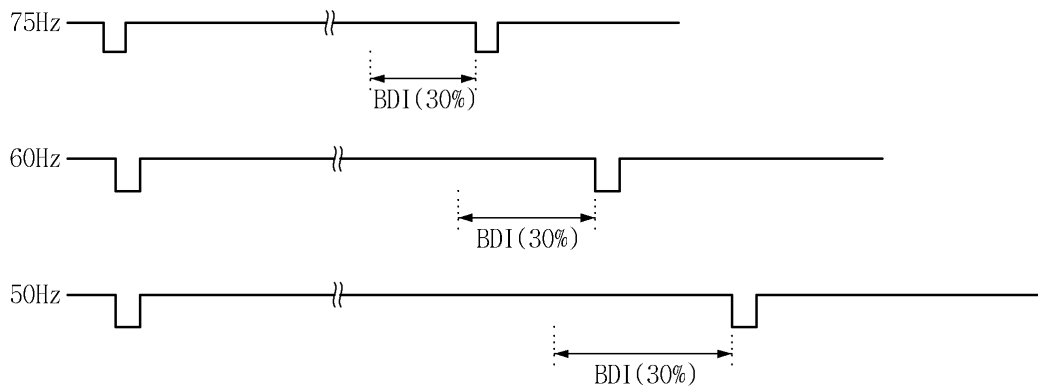
도면4



도면5



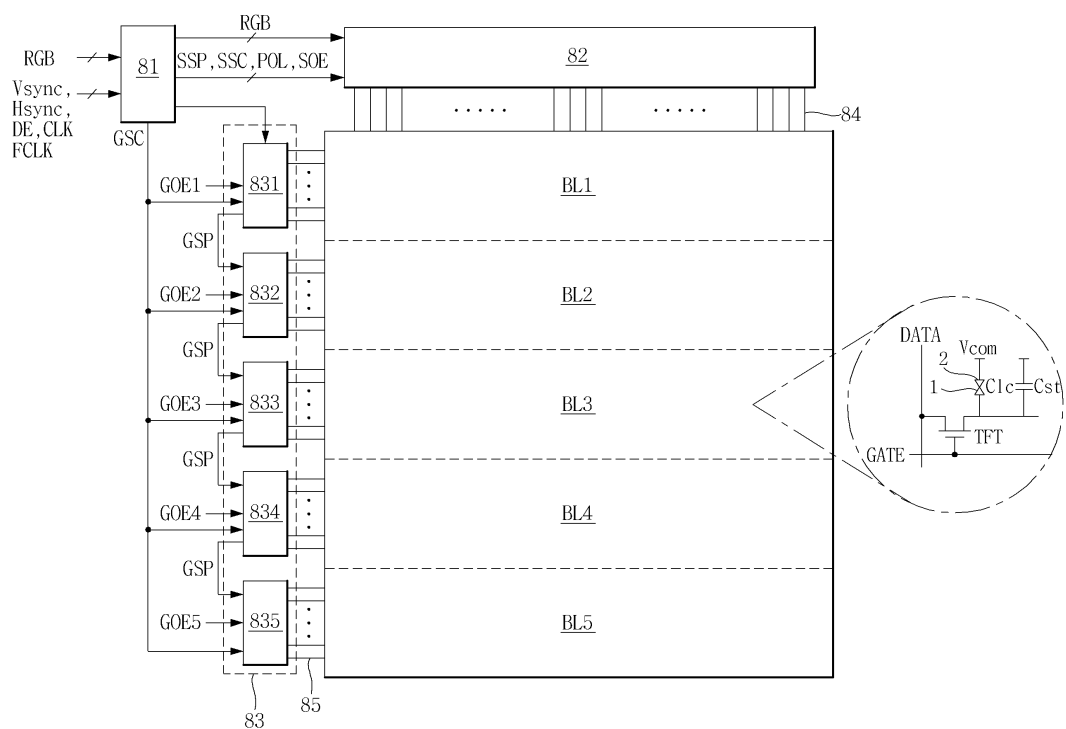
도면6



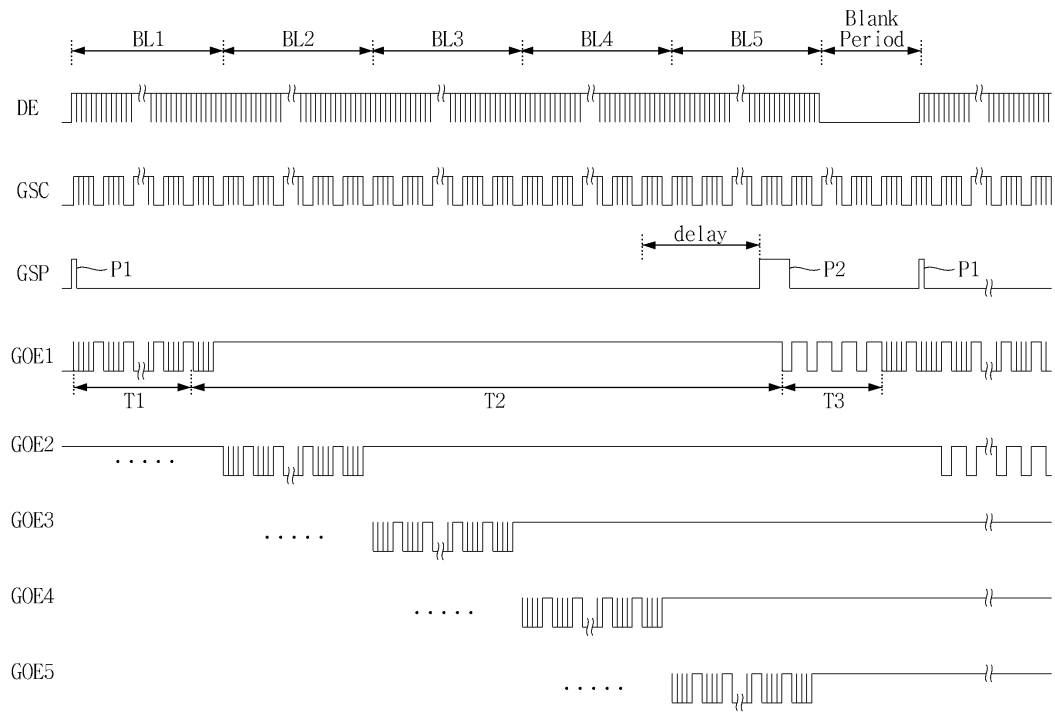
도면7

input Frame Rate	75Hz	60Hz	60Hz
1 Frame Time	13.33 msec	16.67 msec	20 msec
BDI% (30%)	3.999 msec	4.999 msec	6 msec
BDI% (24%)		4.0 msec	4.8 msec
BDI% (20%)			4.0 msec

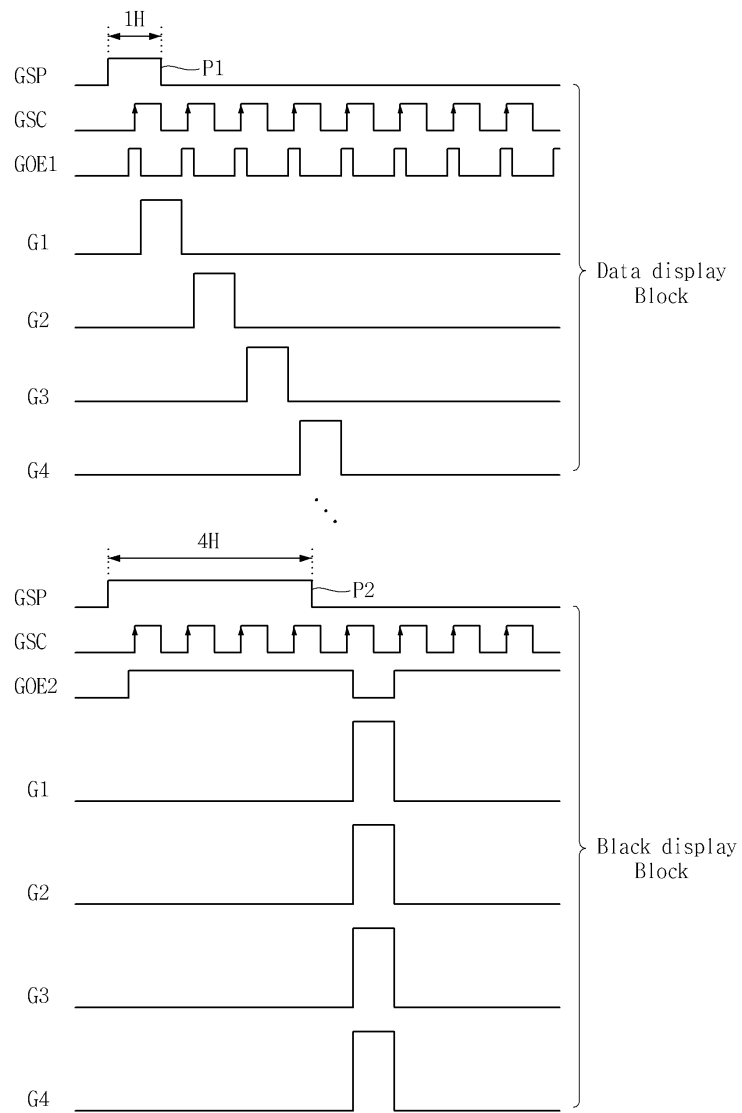
도면8



도면9



도면10



도면11a

Nth Frame					
SF1		SF2		SF3	
SF4		SF5			
BL1	Data Write GSP(P1),GOE(T1)	Data Hold GOE(T2)	Data Hold GOE(T2)	Data Hold GOE(T2)	Black insertion GSP(P2),GOE(T3)
BL2	Black insertion GSP(P2),GOE(T3)	Data Write GSP(P1),GOE(T1)	Data Hold GOE(T2)	Data Hold GOE(T2)	Data Hold GOE(T2)
BL3	Data Hold GOE(T2)	Black insertion GSP(P2),GOE(T3)	Data Write GSP(P1),GOE(T1)	Data Hold GOE(T2)	Data Hold GOE(T2)
BL4	Data Hold GOE(T2)	Data Hold GOE(T2)	Black insertion GSP(P2),GOE(T3)	Data Write GSP(P1),GOE(T1)	Data Hold GOE(T2)
BL5	Data Hold GOE(T2)	Data Hold GOE(T2)	Data Hold GOE(T2)	Black insertion GSP(P2),GOE(T3)	Data Write GSP(P1),GOE(T1)

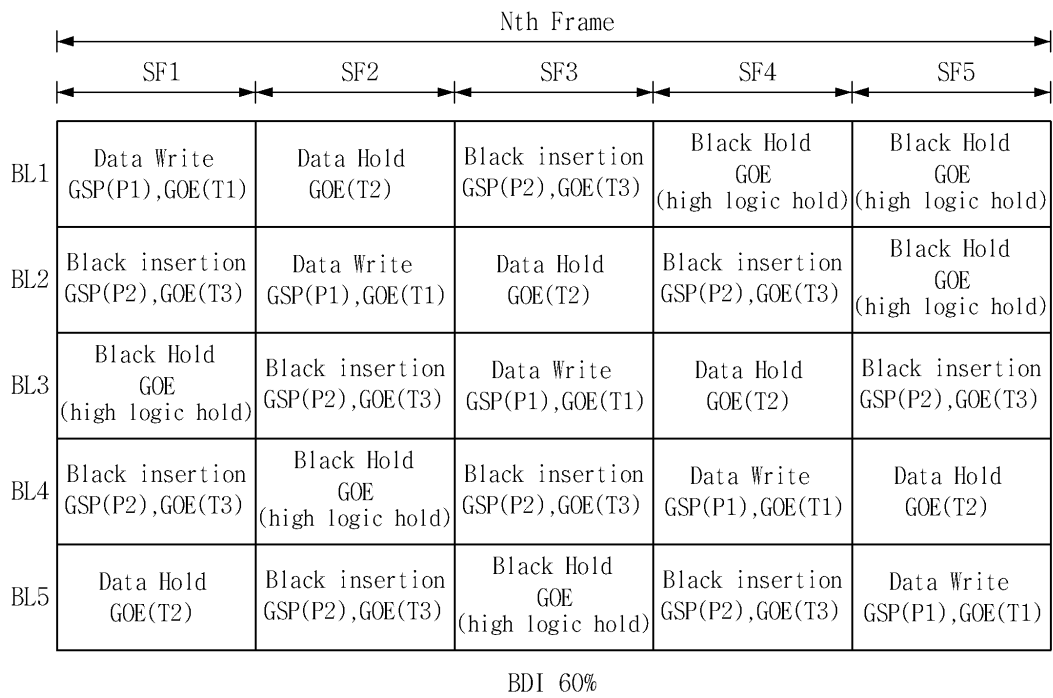
BDI 20%

도면11b

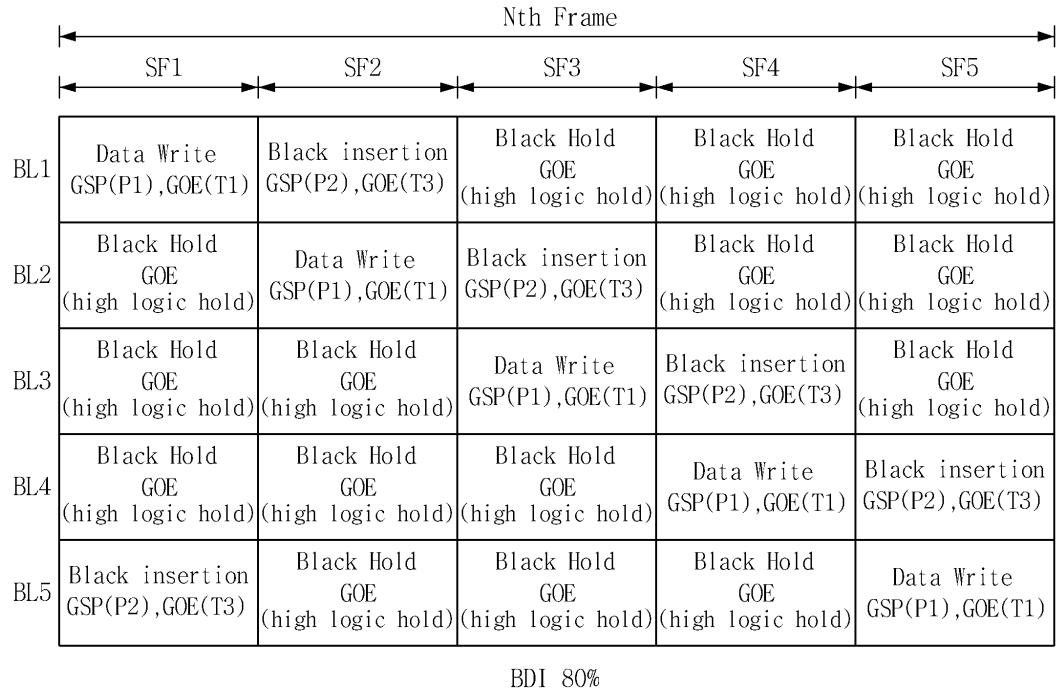
Nth Frame					
SF1		SF2		SF3	
SF4		SF5			
BL1	Data Write GSP(P1),GOE(T1)	Data Hold GOE(T2)	Data Hold GOE(T2)	Black insertion GSP(P2),GOE(T3)	Black Hold GOE (high logic hold)
BL2	Black Hold GOE (high logic hold)	Data Write GSP(P1),GOE(T1)	Data Hold GOE(T2)	Data Hold GOE(T2)	Black insertion GSP(P2),GOE(T3)
BL3	Black insertion GSP(P2),GOE(T3)	Black Hold GOE (high logic hold)	Data Write GSP(P1),GOE(T1)	Data Hold GOE(T2)	Data Hold GOE(T2)
BL4	Data Hold GOE(T2)	Black insertion GSP(P2),GOE(T3)	Black Hold GOE (high logic hold)	Data Write GSP(P1),GOE(T1)	Data Hold GOE(T2)
BL5	Data Hold GOE(T2)	Data Hold GOE(T2)	Black insertion GSP(P2),GOE(T3)	Black Hold GOE (high logic hold)	Data Write GSP(P1),GOE(T1)

BDI 40%

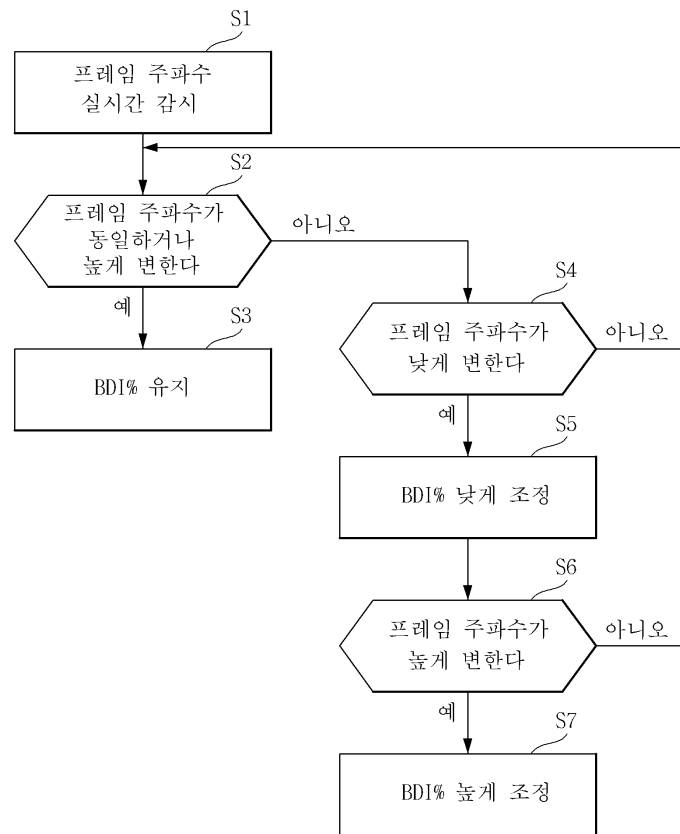
도면11c



도면11d



도면12



专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	KR1020090067950A	公开(公告)日	2009-06-25
申请号	KR1020070135788	申请日	2007-12-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JANG SU HYUK 장수혁 KIM JONG WOO 김종우		
发明人	장수혁 김종우		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G2320/0247 G09G2340/0435 G09G3/3677 G09G2310/062 G09G2320/0261 G09G3/2022		
其他公开文献	KR101301769B1		
外部链接	Espacenet		

摘要(译)

本发明涉及一种驱动为脉冲型的液晶显示器。该液晶显示器包括LCD面板，其中多条栅极线与多条数据线交叉;数据驱动电路向数据线提供直极性/负数据电压和黑色灰度电压到数据线;帧频率检测器使用固定的时钟信号对垂直同步信号进行计数，而不管多个栅极驱动集成电路用于将栅极脉冲提供给栅极线帧频率并检测帧频率;时钟控制器控制栅极驱动集成电路和数据驱动电路的操作时序，并在帧频改变时调制用于控制栅极驱动集成电路的栅极时序控制信号，并改变LCD面板为黑色渐变电压的充电时间。带电。脉冲，运动模糊和帧频。

