



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0120269
(43) 공개일자 2007년12월24일

- | | |
|--|---|
| <p>(51) Int. Cl.
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01)</p> <p>(21) 출원번호 10-2006-0054806
(22) 출원일자 2006년06월19일
심사청구일자 없음</p> | <p>(71) 출원인
엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지</p> <p>(72) 발명자
박창근
대구 북구 읍내동 읍내우방아파트 102동 1403호</p> <p>(74) 대리인
김용인, 심창섭</p> |
|--|---|

전체 청구항 수 : 총 18 항

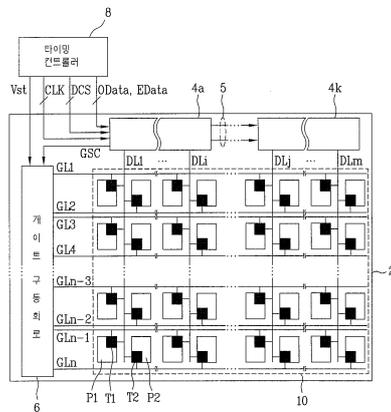
(54) 평판 표시장치와 그의 구동방법

(57) 요약

본 발명은 데이터 라인의 수를 감소시켜 구동 회로의 비용을 감소시킬 수 있도록 한 평판 표시장치와 그의 구동 방법에 관한 것이다.

본 발명에 따른 평판 표시장치는 기관상에 형성된 복수의 게이트 라인 및 복수의 데이터 라인과; 상기 게이트 라인의 방향으로 배치된 인접한 두 화소셀이 하나의 데이터 라인에 의해 구동되는 복수의 화소셀을 구비하는 화상 표시부와; 외부로부터의 소스 데이터를 정렬함과 아울러 제어신호 및 클럭신호를 생성하는 타이밍 컨트롤러와; 상기 제어신호에 따라 상기 데이터를 아날로그 비디오 신호로 변환하여 상기 데이터 라인에 공급하고, 상기 클럭신호를 승압하여 출력하는 복수의 데이터 구동 집적회로와; 상기 승압된 클럭신호에 따라 1 수평 기간의 1/2 주기로 중첩되는 스캔신호를 생성하여 상기 게이트 라인에 순차적으로 공급하는 게이트 구동회로를 포함하여 구성되는 것을 특징으로 한다.

대표도 - 도1



특허청구의 범위

청구항 1

기관상에 형성된 복수의 게이트 라인 및 복수의 데이터 라인과;

상기 게이트 라인의 방향으로 배치된 인접한 두 화소셀이 하나의 데이터 라인에 의해 구동되는 복수의 화소셀을 구비하는 화상 표시부와;

외부로부터의 소스 데이터를 정렬함과 아울러 제어신호 및 클럭신호를 생성하는 타이밍 컨트롤러와;

상기 제어신호에 따라 상기 데이터를 아날로그 비디오 신호로 변환하여 상기 데이터 라인에 공급하고, 상기 클럭신호를 승압하여 출력하는 복수의 데이터 구동 집적회로와;

상기 승압된 클럭신호에 따라 1 수평 기간의 1/2 주기로 중첩되는 스캔신호를 생성하여 상기 게이트 라인에 순차적으로 공급하는 게이트 구동회로를 포함하여 구성되는 것을 특징으로 하는 평판 표시장치.

청구항 2

제 1 항에 있어서,

상기 타이밍 컨트롤러는,

상기 소스 데이터를 정렬하여 기수 데이터와 우수 데이터로 분리하여 출력하는 데이터 정렬부와,

외부로부터의 동기신호를 이용하여 상기 데이터 구동 집적회로를 제어하기 위한 데이터 제어신호를 생성하는 데이터 제어신호 생성부와,

상기 동기신호를 이용하여 상기 게이트 구동회로를 구동시키기 위한 게이트 스타트 신호 및 상기 복수의 클럭신호를 생성하는 게이트 제어신호 생성부를 포함하여 구성되는 것을 특징으로 하는 평판 표시장치.

청구항 3

제 2 항에 있어서,

상기 복수의 클럭신호는 1 수평 기간의 1/2 주기로 중첩되도록 순차적으로 위상이 지연되는 것을 특징으로 하는 평판 표시장치.

청구항 4

제 2 항에 있어서,

상기 복수의 데이터 구동 집적회로 각각은,

상기 기수 및 우수 데이터를 저장하는 라인 메모리를 가지며 상기 데이터 제어신호를 중계하는 제어블록과,

서로 다른 복수의 감마전압을 생성하는 감마전압 생성부와,

상기 감마전압을 이용하여 상기 제어블록에 의해 중계되는 데이터 제어신호에 따라 상기 라인 메모리로부터의 데이터를 샘플링하여 래치하고 래치된 데이터를 상기 아날로그 비디오 신호로 변환하여 상기 각 데이터 라인에 공급하는 데이터 변환부와,

상기 타이밍 컨트롤러로부터 공급되는 복수의 클럭신호를 승압하여 상기 게이트 구동회로에 공급하는 레벨 쉬프터를 포함하여 구성되는 것을 특징으로 하는 평판 표시장치.

청구항 5

제 4 항에 있어서,

상기 레벨 쉬프터는 상기 복수의 클럭신호에 따라 제 1 전압과 상기 제 1 전압과 다른 제 2 전압을 선택적으로 출력하는 복수의 선택부를 포함하여 구성되는 것을 특징으로 하는 평판 표시장치.

청구항 6

제 5 항에 있어서,

상기 제 1 전압은 상기 제 2 전압보다 높은 것을 특징으로 하는 평판 표시장치.

청구항 7

제 4 항에 있어서,

상기 데이터 변환부는 상기 1 수평 기간의 1/2인 초기 기간에 상기 기수 데이터를 상기 아날로그 비디오 신호로 변환하여 상기 각 데이터 라인에 공급하고,

상기 초기 기간을 제외한 나머지 수평 기간에 상기 우수 데이터를 상기 아날로그 비디오 신호로 변환하여 상기 각 데이터 라인에 공급하는 것을 특징으로 하는 평판 표시장치.

청구항 8

제 4 항에 있어서,

상기 복수의 데이터 구동 집적회로는 상기 기관의 상부에 캐스케이드(Cascade) 방식으로 형성되는 것을 특징으로 하는 평판 표시장치.

청구항 9

제 4 항에 있어서,

상기 게이트 구동회로는 상기 기관의 일측에 형성되어 상기 타이밍 컨트롤러로부터의 게이트 스타트 신호에 의해 개시되어 상기 레벨 쉬프터로부터의 클럭신호에 따라 상기 스캔신호를 생성하는 것을 특징으로 하는 평판 표시장치.

청구항 10

기관상에 형성된 복수의 게이트 라인 및 복수의 데이터 라인과, 상기 게이트 라인의 방향으로 배치된 인접한 두 화소셀이 하나의 데이터 라인에 의해 구동되는 복수의 화소셀을 구비하는 화상 표시부를 포함하며;

외부로부터의 소스 데이터를 정렬함과 아울러 제어신호 및 클럭신호를 생성하는 제 1 단계와,

복수의 데이터 구동 집적회로를 이용하여 상기 제어신호에 따라 상기 데이터를 아날로그 비디오 신호로 변환함과 아울러 적어도 하나의 데이터 구동 집적회로에서 상기 클럭신호를 승압하는 제 2 단계와,

상기 승압된 클럭신호에 따라 1 수평 기간의 1/2 주기로 중첩되는 스캔신호를 생성하여 상기 게이트 라인에 순차적으로 공급하는 제 3 단계와,

상기 스캔필스에 동기되도록 상기 아날로그 비디오 신호를 상기 데이터 라인에 공급하는 제 4 단계를 포함하여 이루어진 것을 특징으로 하는 평판 표시장치의 구동방법.

청구항 11

제 10 항에 있어서,

상기 제 1 단계는,

상기 소스 데이터를 정렬하여 기수 데이터와 우수 데이터로 분리하는 단계와,

외부로부터의 동기신호를 이용하여 상기 데이터 구동 집적회로를 제어하기 위한 데이터 제어신호와 상기 게이트 구동회로를 구동시키기 위한 게이트 스타트 신호 및 상기 복수의 클럭신호를 생성하는 단계를 포함하여 이루어진 것을 특징으로 하는 평판 표시장치의 구동방법.

청구항 12

제 11 항에 있어서,

상기 복수의 클럭신호는 1 수평 기간의 1/2 주기로 중첩되도록 순차적으로 위상이 지연되는 것을 특징으로 하는 평판 표시장치의 구동방법.

청구항 13

제 11 항에 있어서,
 상기 제 2 단계는,
 상기 기수 및 우수 데이터를 라인 메모리에 저장하고 상기 데이터 제어신호를 중계하는 단계와,
 서로 다른 복수의 감마전압을 생성하는 단계와,
 상기 감마전압을 이용하여 상기 데이터 제어신호에 따라 상기 라인 메모리로부터의 데이터를 샘플링하여 래치하고 래치된 데이터를 상기 아날로그 비디오 신호로 변환하는 단계와,
 레벨 쉬프터를 이용하여 상기 복수의 클럭신호를 승압하는 단계를 포함하여 이루어진 것을 특징으로 하는 평판 표시장치의 구동방법.

청구항 14

제 13 항에 있어서,
 상기 레벨 쉬프터는 상기 복수의 클럭신호에 따라 제 1 전압과 상기 제 1 전압과 다른 제 2 전압을 선택적으로 출력하는 복수의 선택부를 포함하여 구성되는 것을 특징으로 하는 평판 표시장치의 구동방법.

청구항 15

제 14 항에 있어서,
 상기 제 1 전압은 상기 제 2 전압보다 높은 것을 특징으로 하는 평판 표시장치의 구동방법.

청구항 16

제 11 항에 있어서,
 상기 제 4 단계는,
 상기 1 수평 기간의 1/2인 초기 기간에 상기 기수 데이터를 상기 아날로그 비디오 신호로 변환하여 상기 각 데이터 라인에 공급하고,
 상기 초기 기간을 제외한 나머지 수평 기간에 상기 우수 데이터를 상기 아날로그 비디오 신호로 변환하여 상기 각 데이터 라인에 공급하는 것을 특징으로 하는 평판 표시장치의 구동방법.

청구항 17

제 11 항에 있어서,
 상기 복수의 데이터 구동 집적회로는 상기 기관의 상부에 형성되어 캐스케이드(Cascade) 방식에 의해 구동되는 것을 특징으로 하는 평판 표시장치의 구동방법.

청구항 18

제 11 항에 있어서,
 제 3 단계는,
 상기 게이트 스타트 신호에 의해 개시되어 상기 레벨 쉬프터로부터의 클럭신호에 따라 상기 스캔신호를 생성하여 상기 게이트 라인에 순차적으로 공급하는 것을 특징으로 하는 평판 표시장치의 구동방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <12> 본 발명은 평판 표시장치에 관한 것으로, 특히 데이터 라인의 수를 감소시켜 구동 회로의 비용을 감소시킬 수 있도록 한 평판 표시장치와 그의 구동방법에 관한 것이다.
- <13> 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 대두되고 있다. 이러한 평판 표시장치로는 액정 표시장치(Liquid Crystal Display), 전계방출 표시장치(Field Emission Display), 플라즈마 표시 패널(Plasma Display Panel) 및 발광 표시장치(Light Emitting Display) 등이 있다.
- <14> 이러한, 평판 표시장치 중 액정 표시장치는 전계를 이용하여 액정의 광 투과율을 조절함으로써 화상을 표시하게 된다. 이를 위해, 액정 표시장치는 액정셀을 가지는 액정패널과 액정패널을 구동하기 위한 구동회로를 포함하여 구성된다.
- <15> 액정패널은 복수의 게이트 라인과 복수의 데이터 라인에 의해 정의되는 영역에 형성된 스위칭 소자와, 스위칭 소자에 접속되는 액정셀을 포함하여 구성된다.
- <16> 스위칭 소자는 게이트 라인으로부터의 스캔펄스에 응답하여 데이터 라인으로부터의 데이터 전압을 액정셀로 공급한다.
- <17> 액정셀은 스위칭 소자를 통해 데이터 전압이 공급되는 화소전극과 공통전압이 공급되는 공통전극간의 등가적인 액정 커패시터와, 액정 커패시터에 충전된 데이터 전압을 다음 데이터 전압이 충전될 때까지 유지시키는 유지 커패시터를 포함하여 구성된다.
- <18> 이러한, 종래의 액정 표시장치는 고해상도화에 따라 화소 수가 증가되어 게이트 라인과 데이터 라인의 수가 매우 많아지고, 구동 집적회로의 수도 증가하여 비용의 상승을 초래하고 있다.

발명이 이루고자 하는 기술적 과제

- <19> 따라서 상기와 같은 문제점을 해결하기 위하여, 본 발명은 데이터 라인의 수를 감소시켜 구동 회로의 비용을 감소시킬 수 있도록 한 평판 표시장치와 그의 구동방법을 제공하는데 있다.

발명의 구성 및 작용

- <20> 상기와 같은 목적을 달성하기 위한 본 발명의 실시 예에 따른 평판 표시장치는 기관상에 형성된 복수의 게이트 라인 및 복수의 데이터 라인과; 상기 게이트 라인의 방향으로 배치된 인접한 두 화소셀이 하나의 데이터 라인에 의해 구동되는 복수의 화소셀을 구비하는 화상 표시부와; 외부로부터의 소스 데이터를 정렬함과 아울러 제어신호 및 클럭신호를 생성하는 타이밍 컨트롤러와; 상기 제어신호에 따라 상기 데이터를 아날로그 비디오 신호로 변환하여 상기 데이터 라인에 공급하고, 상기 클럭신호를 승압하여 출력하는 복수의 데이터 구동 집적회로와; 상기 승압된 클럭신호에 따라 1 수평 기간의 1/2 주기로 중첩되는 스캔신호를 생성하여 상기 게이트 라인에 순차적으로 공급하는 게이트 구동회로를 포함하여 구성되는 것을 특징으로 한다.
- <21> 본 발명의 실시 예에 따른 평판 표시장치의 구동방법은 기관상에 형성된 복수의 게이트 라인 및 복수의 데이터 라인과, 상기 게이트 라인의 방향으로 배치된 인접한 두 화소셀이 하나의 데이터 라인에 의해 구동되는 복수의 화소셀을 구비하는 화상 표시부를 포함하며; 외부로부터의 소스 데이터를 정렬함과 아울러 제어신호 및 클럭신호를 생성하는 제 1 단계와, 복수의 데이터 구동 집적회로를 이용하여 상기 제어신호에 따라 상기 데이터를 아날로그 비디오 신호로 변환함과 아울러 적어도 하나의 데이터 구동 집적회로에서 상기 클럭신호를 승압하는 제 2 단계와, 상기 승압된 클럭신호에 따라 1 수평 기간의 1/2 주기로 중첩되는 스캔신호를 생성하여 상기 게이트 라인에 순차적으로 공급하는 제 3 단계와, 상기 스캔펄스에 동기되도록 상기 아날로그 비디오 신호를 상기 데이터 라인에 공급하는 제 4 단계를 포함하여 이루어진 것을 특징으로 한다.
- <22> 이하에서, 첨부된 도면 및 실시 예를 통해 본 발명의 실시 예를 구체적으로 살펴보면 다음과 같다.
- <23> 도 1은 본 발명의 실시 예에 따른 평판 표시장치를 개략적으로 나타내는 도면이다.
- <24> 도 1을 참조하면, 본 발명의 실시 예에 따른 평판 표시장치는 기관(2)과; 기관(2) 상에 형성된 복수의 게이트 라인(GL1 내지 GLn) 및 복수의 데이터 라인(DL1 내지 DLm)과; 게이트 라인(GL1 내지 GLn)의 방향으로 배치된 인접한 두 화소셀(P1, P2)이 하나의 데이터 라인(DL1 내지 DLm)에 의해 구동되는 복수의 화소셀을 구비하는 화상 표시부(10)와; 데이터(Data)와 제어신호(DCS, Vst) 및 복수의 클럭신호(CLK)를 생성하는 타이밍 컨트롤러(8)와,

기관(2)의 상부에 캐스캐이드(Cascade) 방식으로 형성되어 타이밍 컨트롤러(8)로부터의 데이터 제어신호(DCS)에 따라 데이터(Data)를 아날로그 비디오 신호로 변환하여 데이터 라인(DL1 내지 DLm)에 공급하고, 타이밍 컨트롤러(8)로부터의 복수의 클럭신호(CLK)를 승압하여 출력하는 복수의 데이터 구동 집적회로(4a 내지 4k)와, 기관(2)의 일측에 형성되어 복수의 승압된 클럭신호에 따라 스캔신호를 생성하여 게이트 라인(GL1 내지 GLn)에 순차적으로 공급하는 게이트 구동회로(6)를 포함하여 구성된다.

- <25> 화상 표시부(10)는 각 데이터 라인(DL1 내지 DLm)의 제 1 측과 기수 게이트 라인(GL1, GL3 내지 GLn-1)에 접속된 제 1 스위칭 소자(T1)와, 제 1 스위칭 소자(T1)에 접속된 제 1 화소셀(P1)과, 각 데이터 라인(DL1 내지 DLm)의 제 2 측과 우수 게이트 라인(GL2, GL4 내지 GLn)에 접속된 제 2 스위칭 소자(T2)와, 제 2 스위칭 소자(T2)에 접속된 제 2 화소셀(P2)을 포함하여 구성된다.
- <26> 제 1 스위칭 소자(T1)는 기수 게이트 라인(GL1, GL3 내지 GLn-1)에 접속된 게이트 전극과 각 데이터 라인(DL1 내지 DLm)의 제 1 측에 접속된 소스 전극 및 제 1 화소셀(P1)에 접속된 드레인 전극을 포함하여 구성된다. 이러한, 제 1 스위칭 소자(T1)는 기수 게이트 라인(GL1, GL3 내지 GLn-1)으로부터의 스캔펄스에 의해 턴-온되어 각 데이터 라인(DL1 내지 DLm)으로부터의 아날로그 비디오 신호를 제 1 화소셀(P1)에 공급한다.
- <27> 제 1 화소셀(P1)은 제 1 스위칭 소자(T1)의 드레인 전극에 접속되도록 각 데이터 라인(DL1 내지 DLm)의 좌측에 배치된다. 이러한, 제 1 스위칭 소자(T1)를 통해 공급되는 아날로그 비디오 신호에 대응되는 화상을 표시한다. 여기서, 제 1 화소셀(P1)은 아날로그 비디오 신호에 따라 광투과율을 조절하여 화상을 표시하는 액정셀이거나 아날로그 비디오 신호에 따른 전류에 의해 발광하는 발광셀일 될 수 있다.
- <28> 제 2 스위칭 소자(T2)는 우수 게이트 라인(GL2, GL4 내지 GLn)에 접속된 게이트 전극과 각 데이터 라인(DL1 내지 DLm)의 제 2 측에 접속된 소스 전극 및 제 2 화소셀(P2)에 접속된 드레인 전극을 포함하여 구성된다. 이러한, 제 2 스위칭 소자(T2)는 우수 게이트 라인(GL2, GL4 내지 GLn)으로부터의 스캔펄스에 의해 턴-온되어 각 데이터 라인(DL1 내지 DLm)으로부터의 아날로그 비디오 신호를 제 2 화소셀(P2)에 공급한다.
- <29> 제 2 화소셀(P2)은 제 2 스위칭 소자(T2)의 드레인 전극에 접속되도록 각 데이터 라인(DL1 내지 DLm)의 우측에 배치된다. 이러한, 제 2 스위칭 소자(T2)를 통해 공급되는 아날로그 비디오 신호에 대응되는 화상을 표시한다. 여기서, 제 2 화소셀(P2)은 제 1 화소셀(P1)과 동일한 구조를 갖는다.
- <30> 타이밍 컨트롤러(8)는 도 2에 도시된 바와 같이 데이터 정렬부(20), 데이터 제어신호 생성부(22) 및 게이트 제어신호 생성부(24)를 포함하여 구성된다.
- <31> 데이터 정렬부(20)는 외부로부터 공급되는 소스 데이터(RGB)를 화상 표시부(10)의 구동에 알맞도록 정렬하고, 정렬된 데이터를 기수 데이터(OData)와 우수 데이터(EData)로 분리하여 복수의 데이터 구동 집적회로(4a 내지 4k) 중 제 1 데이터 구동 집적회로(4a)에 공급한다.
- <32> 데이터 제어신호 생성부(22)는 외부로부터 공급되는 데이터 인에이블 신호(DE), 도트클럭(DCLK), 수직 및 수평 동기신호(Vsync, Hsync)를 이용하여 소스 스타트 펄스(SSP), 소스 쉬프트 클럭(SSC), 소스 출력 인에이블(SOE) 및 극성 제어신호(POL)를 포함하는 데이터 제어신호(DCS)를 생성하여 제 1 데이터 구동 집적회로(4a)에 공급한다.
- <33> 게이트 제어신호 생성부(24)는 외부로부터 공급되는 데이터 인에이블 신호(DE), 도트클럭(DCLK), 수직 및 수평 동기신호(Vsync, Hsync)를 이용하여 게이트 스타트 신호(Vst) 및 복수의 클럭신호(CLK)를 생성한다. 그리고, 게이트 제어신호 생성부(24)는 게이트 스타트 신호(Vst)를 게이트 구동회로(6)에 공급함과 동시에 복수의 클럭신호(CLK)를 제 1 데이터 구동 집적회로(4a)에 공급한다.
- <34> 게이트 스타트 신호(Vst)는 프레임 단위로 생성되며, 복수의 클럭신호(CLK)는 1/2 주기로 중첩되어 순차적으로 지연되도록 생성된다.
- <35> 복수의 데이터 구동 집적회로(4a 내지 4k) 각각은 도 3에 도시된 바와 같이 타이밍 컨트롤러(8)로부터의 데이터(OData, EData)와 데이터 제어신호(DCS)를 중계하는 제어블록(110)과, 데이터(OData, EData)의 비트 수에 대응되는 복수의 감마전압(GV)을 생성하는 감마전압 생성부(115)와, 타이밍 컨트롤러(8)로부터 공급되는 복수의 클럭신호(CLK)를 승압하여 게이트 구동회로(6)에 공급하는 레벨 쉬프터(160)와, 제어블록(110)으로부터의 데이터 제어신호(DCS)에 따라 제어블록(110)으로부터의 데이터(OData, EData)를 샘플링하여 래치하고 복수의 감마전압(GV)을 이용하여 래치된 데이터(RData)를 아날로그 비디오 신호(Vdata)로 변환하는 데이터 변환부(100)를 포함하여 구성된다.

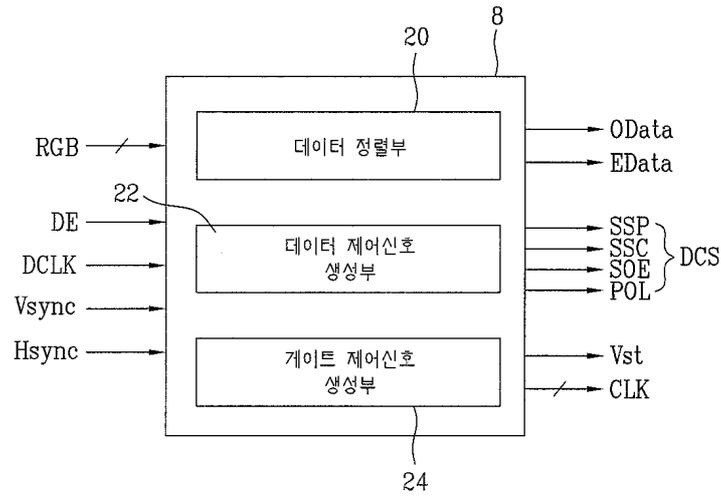
- <36> 제어블록(110)은 소스 스타트 펄스(SSP)에 대응되는 제 1 인에이블 신호(EN1)와 소스 쉬프트 클럭(SSC), 소스 출력신호(SOE), 극성 제어신호(POL)를 데이터 변환부(100)로 전달한다.
- <37> 또한, 제어블록(110)은 타이밍 컨트롤러(8)로부터의 기수 데이터(OData) 및 우수 데이터(EData)를 래치부(130)로 전달한다. 이를 위해, 제어블록(110)은 라인 메모리(112)를 포함하여 구성된다.
- <38> 라인 메모리(112)는 타이밍 컨트롤러(8)로부터의 기수 데이터(OData) 및 우수 데이터(EData)를 임시 저장하고, 저장된 기수 데이터(OData) 및 우수 데이터(EData)를 순차적으로 래치부(130)로 출력한다. 즉, 라인 메모리(112)는 1수평 기간(1H)의 절반인 초기 기간에 기수 데이터(OData)를 래치부(130)에 공급하고, 1 수평 기간(1H)의 나머지 기간에 우수 데이터(EData)를 래치부(130)에 공급한다.
- <39> 감마전압 생성부(115)는 외부로부터 도시하지 않은 감마 기준전압 생성부로부터 공급되는 감마 기준전압(GMA)를 데이터(Data)의 계조 수에 대응되도록 세분화하여 복수의 감마전압(GV)을 생성하고, 생성된 복수의 감마전압(GV)을 DAC부(140)에 공급한다.
- <40> 레벨 쉬프터(160)는 도 4에 도시된 바와 같이 타이밍 컨트롤러(8)로부터 공급되는 복수의 클럭신호(CLK) 각각에 따라 제 1 및 제 2 전압(V1, V2)을 선택적으로 출력하는 복수의 선택부(1621 내지 162n)를 포함하여 구성된다. 이하, 복수의 클럭신호(CLK)는 4개의 클럭신호(CLK1 내지 CLK4)인 것으로 가정하기로 한다.
- <41> 복수의 선택부(1621 내지 162n) 각각은 클럭신호(CLK)가 하이 상태일 경우 제 1 전압(V1)을 선택하여 제 1 전압(V1)을 가지는 게이트 쉬프트 클럭(GSC1 내지 GSCn)을 출력하고, 클럭신호(CLK)가 로우 상태일 경우 제 2 전압(V2)을 선택하여 제 2 전압(V2)을 가지는 게이트 쉬프트 클럭(GSC1 내지 GSCn)을 출력한다. 이때, 로우 상태의 클럭신호(CLK)는 0V이고, 하이 상태의 클럭신호(CLK)는 3.3V이며, 제 1 전압(V1)은 제 2 전압(V2)보다 높은 레벨을 갖는다. 일례로, 제 1 전압(V1)은 20V이고, 제 2 전압(V2)은 -5V가 될 수 있다.
- <42> 이러한, 레벨 쉬프터(160)는 도 5에 도시된 바와 같이 제 1 내지 제 4 클럭신호(CLK1 내지 CLK4)의 전압을 제 1 및 제 2 전압(V1, V2)으로 승압하여 게이트 구동회로(6)에 공급한다.
- <43> 도 3에서, 데이터 변환부(100)는 쉬프트 레지스터부(120), 래치부(130), 디지털-아날로그 변환(Digital-Analog Converter; 이하, "DAC"라 함)부(140) 및 출력 버퍼부(150)를 포함하여 구성된다.
- <44> 쉬프트 레지스터부(120)는 제어블록(110)으로부터의 소스 쉬프트 클럭(SSC)에 따라 제어블록(110)으로부터의 제 1 인에이블 신호(EN1)를 순차적으로 쉬프트시커 샘플링 신호(Sam)를 생성하여 래치부(130)에 공급한다. 그리고, 쉬프트 레지스터부(120)로부터 출력되는 캐리신호(Car)는 제어블록(110)에 공급된다. 이때, 제어블록(110)은 쉬프트 레지스터부(120)로부터의 캐리신호(Car)에 대응되는 제 2 인에이블 신호(EN2)를 다음 데이터 구동 집적회로를 구동하기 위한 소스 스타트 펄스(SSP)로 출력한다.
- <45> 래치부(130)는 쉬프트 레지스터부(120)로부터의 샘플링 신호(Sam)에 따라 제어블록(110)으로부터의 기수 데이터(OData) 또는 우수 데이터(EData)를 1수평 라인(i)분씩 래치한다. 그리고, 래치부(130)는 소스 출력신호(SOE)에 따라 래치된 1수평 라인(i)분의 기수 데이터(OData) 또는 우수 데이터(EData)를 DAC부(140)에 공급한다.
- <46> DAC부(140)는 감마전압 생성부(115)로부터 공급되는 복수의 서로 다른 감마전압(GV) 중 래치부(130)로부터 공급되는 래치된 데이터(RData)에 대응되는 정극성 및 부극성 감마전압(GV)을 선택하고, 제어블록(110)으로부터의 극성 제어신호(POL)에 따라 선택된 정극성 및 부극성 감마전압(GV) 중 어느 하나를 아날로그 비디오 신호(Vdata)로 선택하여 출력 버퍼부(150)에 공급한다.
- <47> 출력 버퍼부(150)는 DAC부(140)로부터 공급되는 아날로그 비디오 신호(Vdata)를 버퍼링하여 각 데이터 라인들(DL)에 공급한다. 이때, 출력 버퍼부(150)는 데이터 라인(DL)의 부하를 감안하여 아날로그 비디오 신호(Vdata)를 증폭하여 출력한다.
- <48> 이러한, 데이터 변환부(100)는 1수평 기간(1H)의 절반인 초기 기간에 기수 데이터(OData)를 아날로그 비디오 신호로 변환하여 각 데이터 라인(DL1 내지 DLm)에 공급한 후, 1 수평 기간(1H)의 나머지 기간에 우수 데이터(EData)를 아날로그 비디오 신호로 변환하여 각 데이터 라인(DL1 내지 DLm)에 공급한다.
- <49> 이와 같은, 복수의 데이터 구동 집적회로(4a 내지 4k)는 화상 표시부(10)의 각 데이터 라인(DL1 내지 DLm)에 접속되도록 기판(2)의 상단부 상에 캐스캐이드 방식으로 접속되도록 실장된다. 그리고, 제 1 데이터 구동 집적회로(4a)를 제외한 나머지 데이터 구동 집적회로 각각은 캐스캐이드 전송라인(5)을 통해 이전 데이터 구동 집적회로로부터 데이터(OData, EData) 및 데이터 제어신호(DCS)를 공급받는다.

- <50> 도 1에서, 게이트 구동회로(6)는 타이밍 컨트롤러(8)로부터의 게이트 스타트 신호(Vst)에 의해 구동되어 제 1 데이터 구동 집적회로(4a)로부터 공급되는 복수의 게이트 쉬프트 클럭(GSC)에 따라 1/2 수평기간 단위로 중첩되는 스캔펄스를 생성하여 각 게이트 라인(GL1 내지 GLn)에 순차적으로 공급한다.
- <51> 도 6은 본 발명의 실시 예에 따른 평판 표시장치의 구동방법을 개략적으로 나타내는 파형도이다.
- <52> 도 6을 도 1과 결부하여 본 발명의 실시 예에 따른 평판 표시장치의 구동방법을 단계적으로 설명하면 다음과 같다.
- <53> 먼저, 제 1 수평 기간의 이전 기간에 있어서, 제 1 게이트 라인(GL1)에 접속된 제 1 화소셀(P1)은 제 n 수평 기간에 제 n 및 제 1 게이트 라인(GLn, GL1)에 중첩되도록 공급되는 스캔펄스에 의해 부극성(-)의 아날로그 비디오 신호가 예비 충전된 것으로 가정하기로 한다. 그리고, 게이트 구동회로(6)는 타이밍 컨트롤러(8)로부터의 게이트 스타트 신호(Vst)와 제 1 데이터 구동 집적회로(4a)로부터 공급되는 복수의 게이트 쉬프트 클럭(GSC)를 이용하여 1/2 수평기간 단위로 중첩되는 스캔펄스를 생성하여 각 게이트 라인(GL1 내지 GLn)에 순차적으로 공급한다.
- <54> 제 1 수평 기간 중 제 1 및 제 2 게이트 라인(GL1, GL2)에 공급되는 스캔펄스가 중첩되는 구간에 있어서, 각 데이터 구동 집적회로(4a 내지 4k) 각각은 기수 데이터(OData)를 정극성(+)의 아날로그 비디오 신호로 변환하여 각 데이터 라인(DL1 내지 DLm)에 공급한다. 이에 따라, 제 1 게이트 라인(GL1)에 접속되어 부극성(-)의 아날로그 비디오 신호가 예비 충전된 제 1 화소셀(P1)은 각 데이터 라인(DL1 내지 DLm)으로부터의 정극성(+)의 아날로그 비디오 신호를 충전한다. 이때, 제 2 게이트 라인(GL2)에 접속된 제 2 화소셀(P2)은 각 데이터 라인(DL1 내지 DLm)으로부터의 정극성(+)의 아날로그 비디오 신호를 예비 충전한다.
- <55> 제 1 수평 기간 중 제 2 및 제 3 게이트 라인(GL2, GL3)에 공급되는 스캔펄스가 중첩되는 구간에 있어서, 각 데이터 구동 집적회로(4a 내지 4k) 각각은 우수 데이터(EData)를 정극성(+)의 아날로그 비디오 신호로 변환하여 각 데이터 라인(DL1 내지 DLm)에 공급한다. 이에 따라, 제 2 게이트 라인(GL2)에 접속되어 정극성(+)의 아날로그 비디오 신호가 예비 충전된 제 2 화소셀(P2)은 각 데이터 라인(DL1 내지 DLm)으로부터의 정극성(+)의 아날로그 비디오 신호를 충전한다. 이때, 제 3 게이트 라인(GL3)에 접속된 제 1 화소셀(P1)은 각 데이터 라인(DL1 내지 DLm)으로부터의 정극성(+)의 아날로그 비디오 신호를 예비 충전한다.
- <56> 제 2 수평 기간 중 제 3 및 제 4 게이트 라인(GL3, GL4)에 공급되는 스캔펄스가 중첩되는 구간에 있어서, 각 데이터 구동 집적회로(4a 내지 4k) 각각은 기수 데이터(OData)를 부극성(-)의 아날로그 비디오 신호로 변환하여 각 데이터 라인(DL1 내지 DLm)에 공급한다. 이에 따라, 제 3 게이트 라인(GL3)에 접속되어 정극성(+)의 아날로그 비디오 신호가 예비 충전된 제 1 화소셀(P1)은 각 데이터 라인(DL1 내지 DLm)으로부터의 부극성(-)의 아날로그 비디오 신호를 충전한다. 이때, 제 4 게이트 라인(GL4)에 접속된 제 2 화소셀(P2)은 각 데이터 라인(DL1 내지 DLm)으로부터의 부극성(-)의 아날로그 비디오 신호를 예비 충전한다.
- <57> 제 2 수평 기간 중 제 4 및 제 5 게이트 라인(GL4, GL5)에 공급되는 스캔펄스가 중첩되는 구간에 있어서, 각 데이터 구동 집적회로(4a 내지 4k) 각각은 우수 데이터(EData)를 부극성(-)의 아날로그 비디오 신호로 변환하여 각 데이터 라인(DL1 내지 DLm)에 공급한다. 이에 따라, 제 4 게이트 라인(GL3)에 접속되어 부극성(-)의 아날로그 비디오 신호가 예비 충전된 제 2 화소셀(P2)은 각 데이터 라인(DL1 내지 DLm)으로부터의 부극성(-)의 아날로그 비디오 신호를 충전한다. 이때, 제 5 게이트 라인(GL5)에 접속된 제 2 화소셀(P2)은 각 데이터 라인(DL1 내지 DLm)으로부터의 부극성(-)의 아날로그 비디오 신호를 예비 충전한다.
- <58> 제 3 수평 기간 내지 제 n 수평 기간은 상술한 제 1 및 제 2 수평 기간과 동일한 방식으로 구동된다.
- <59> 한편, 이상에서 설명한 본 발명은 상술한 실시 예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 종래의 지식을 가진 자에게 있어 명백할 것이다.

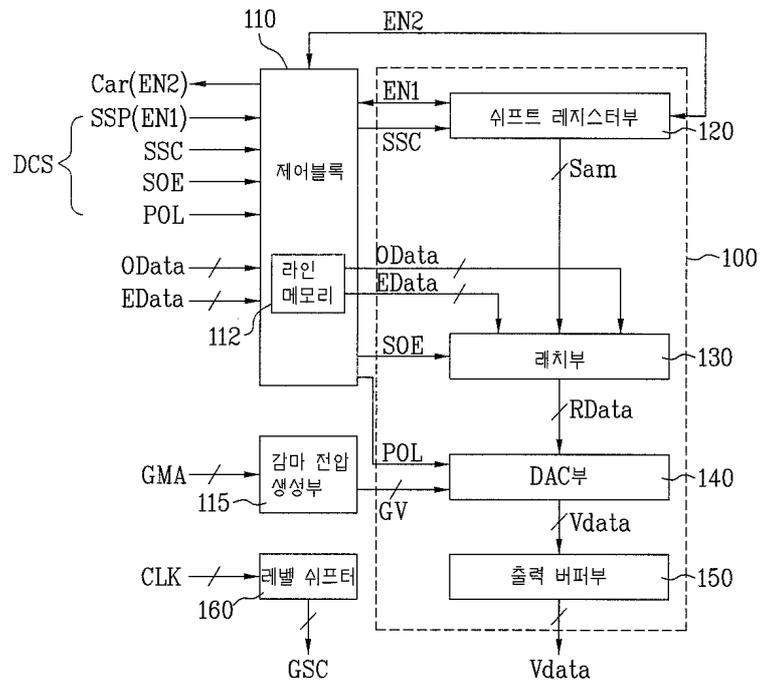
발명의 효과

- <60> 상기와 같은 본 발명의 실시 예에 따른 평판 표시장치와 그의 구동방법은 하나의 데이터 라인으로 인접한 화소셀을 구동함으로써 데이터 라인의 수를 1/2로 감소시킬 수 있다. 나아가 본 발명은 데이터 구동 집적회로의 출력 채널 수를 감소시켜 데이터 구동 집적회로의 수를 감소시킴으로써 회로 비용을 감소시킬 수 있다.
- <61> 또한, 본 발명은 데이터 구동 집적회로를 기판상에 실장함과 아울러 게이트 구동회로를 화상 표시부와 함께 기

도면2

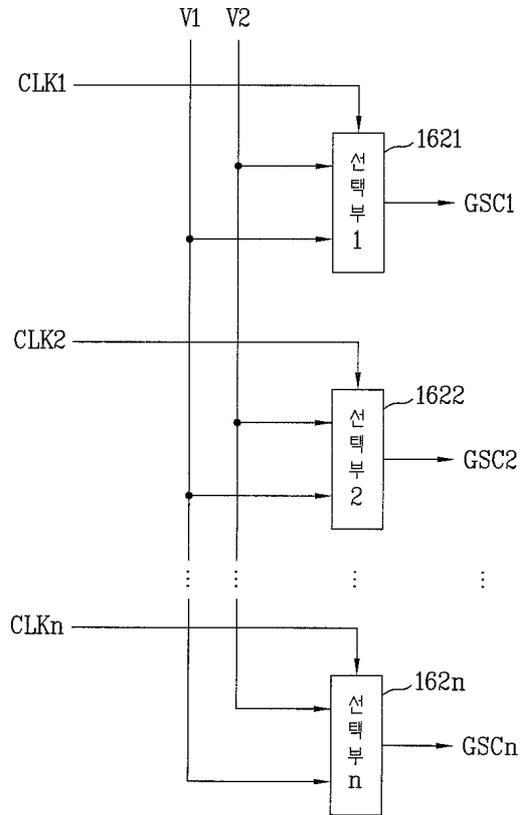


도면3

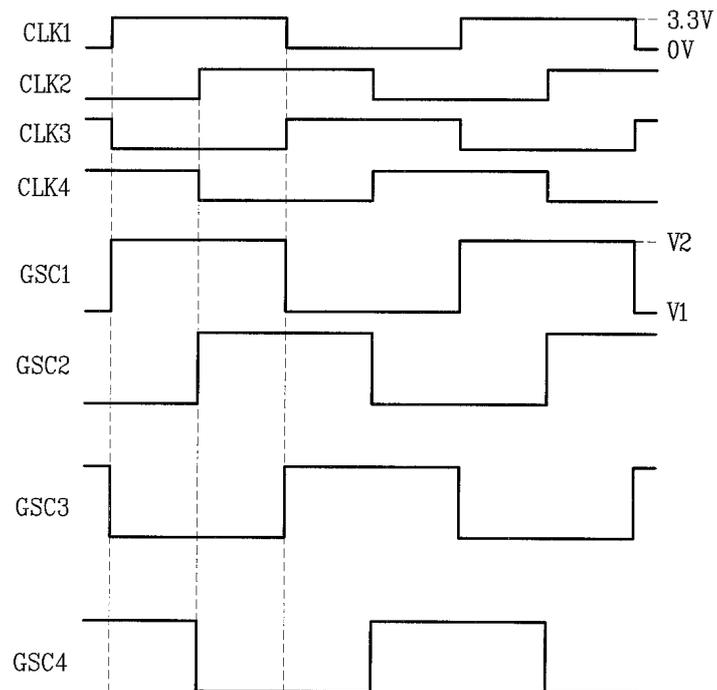


도면4

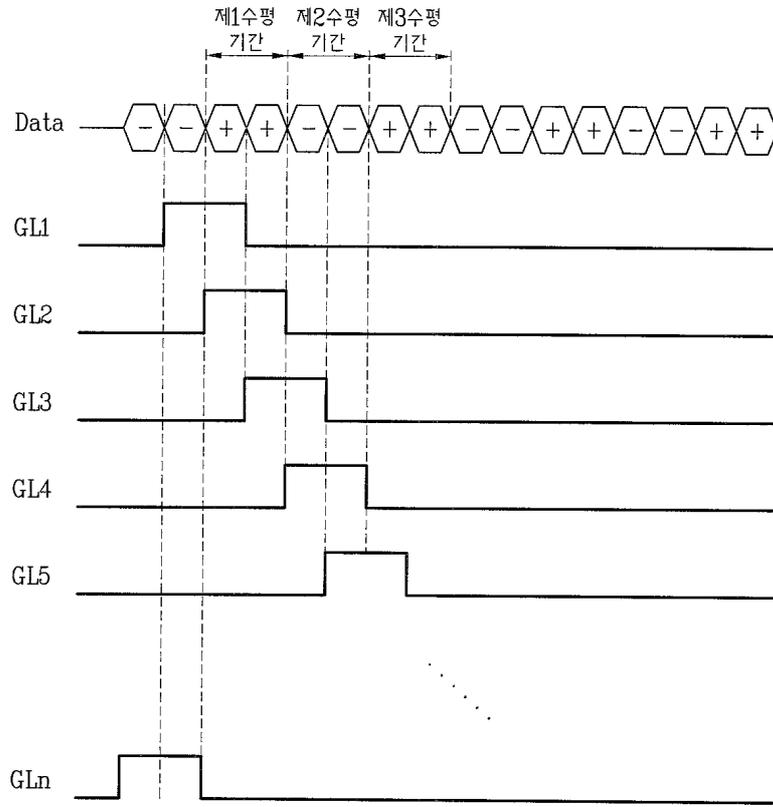
160



도면5



도면6



专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	KR1020070120269A	公开(公告)日	2007-12-24
申请号	KR1020060054806	申请日	2006-06-19
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK CHANG KEUN 박창근		
发明人	박창근		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3648 G09G3/3607 G09G3/3677 G09G3/3688 G09G2300/0426 G09G2310/0205		
代理人(译)	Bakyoungbok Gimyongjin		
其他公开文献	KR101286506B1		
外部链接	Espacenet		

摘要(译)

本发明涉及一种平板显示装置及其驱动方法，以减少数据线的数量减少驱动电路的成本。根据本发明的平板显示器包括：多条栅极线和形成在基板上的多条数据线；一种图像显示单元，具有多个像素单元，其中沿栅极线方向排列的两个相邻像素单元由一条数据线驱动；并且还使来自外部以及用于产生控制信号和时钟信号的定时控制器的源数据；根据所述控制信号中的数据转换成提供给数据线的模拟视频信号转换，并且输出升压时钟信号多个数据驱动集成电路；在其特征在于，以产生扫描信号被叠加以得到一个水平周期的二分之一，根据所述升压时钟信号，其包括用于提供给栅极线顺序的栅极驱动电路。

