



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0116513
(43) 공개일자 2007년12월10일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)

(21) 출원번호 10-2006-0050607

(22) 출원일자 2006년06월05일

심사청구일자 없음

(71) 출원인

엘지.필립스 엘시디 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

신정욱

서울 마포구 성산2동 성산시영아파트 16동 906호

(74) 대리인

허용록

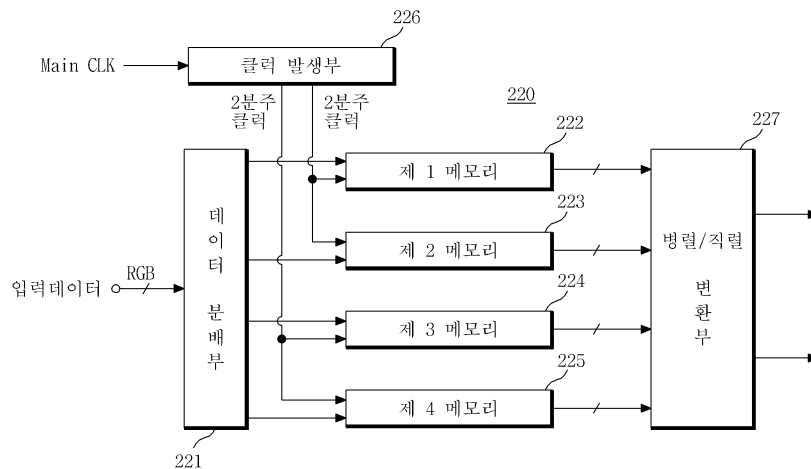
전체 청구항 수 : 총 25 항

(54) 액정표시장치 및 그의 구동 방법

(57) 요약

본 발명은 액정표시패널에 형성된 다수의 데이터라인들 중에 기수번째 데이터라인이나 우수번째 데이터라인에 공급할 입력 데이터들을 적어도 2개의 메모리들에 균등 분배시켜 저장한 후 동시에 리딩할 수 있는 액정표시장치를 제공하는 것으로, 다수의 데이터라인들이 형성된 액정표시패널; 입력 데이터들을 분배하기 위한 데이터 분배부; 상기 데이터 분배부에 의해 분배된 데이터들 중에 기수번째 데이터라인에 공급될 데이터들을 균등하게 저장하기 위한 제 1 및 제 2 메모리; 상기 데이터 분배부에 의해 분배된 데이터들 중에 우수번째 데이터라인에 공급될 데이터들을 균등하게 저장하기 위한 제 3 및 제 4 메모리; 및 상기 제 1 및 제 2 메모리 또는 상기 제 3 및 제 4 메모리에 저장된 데이터가 리딩되어 출력되도록 하는 분주클럭을 발생하기 위한 클럭 발생부를 포함한다.

대표도 - 도5



특허청구의 범위

청구항 1

다수의 데이터라인들이 형성된 액정표시패널;

입력 데이터들을 분배하기 위한 데이터 분배부;

상기 데이터 분배부에 의해 분배된 데이터들 중에 기수번째 데이터라인에 공급될 데이터들을 균등하게 저장하기 위한 제 1 및 제 2 메모리;

상기 데이터 분배부에 의해 분배된 데이터들 중에 우수번째 데이터라인에 공급될 데이터들을 균등하게 저장하기 위한 제 3 및 제 4 메모리; 및

상기 제 1 및 제 2 메모리 또는 상기 제 3 및 제 4 메모리에 저장된 데이터가 리딩되어 출력되도록 하는 분주클럭을 발생하기 위한 클럭 발생부

를 포함하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 제 1 및 제 2 메모리에는 각각, 기수번째 데이터라인에 공급될 36비트 데이터들이 저장되는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 클럭 발생부는 시스템으로부터 입력되는 메인 클럭을 2분주시켜 2분주 클럭을 상기 제 1 및 제 2 메모리로 동시에 공급하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 제 1 및 제 2 메모리에 저장된 36비트 데이터들은 2분주 클럭이 공급되는 동안에 모두 리딩되는 것을 특징으로 하는 액정표시장치.

청구항 5

제 1 항에 있어서,

상기 제 3 및 제 4 메모리에는 각각, 우수번째 데이터라인에 공급될 36비트 데이터들이 저장되는 것을 특징으로 하는 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 클럭 발생부는 시스템으로부터 입력되는 메인 클럭을 2분주시켜 2분주 클럭을 상기 제 3 및 제 4 메모리로 동시에 공급하는 것을 특징으로 하는 액정표시장치.

청구항 7

제 6 항에 있어서,

상기 제 3 및 제 4 메모리에 저장된 36비트 데이터들은 2분주 클럭이 공급되는 동안에 모두 리딩되는 것을 특징으로 하는 액정표시장치.

청구항 8

다수의 데이터라인들이 제 1 및 제 2 라인블록으로 2등분되어 형성되며, 상기 제 1 및 2 라인블록의 데이터라인

들이 대칭되게 동시에 구동되는 액정표시패널;

기수번째 데이터라인에 공급될 입력 데이터들을 균등하게 분배시켜 저장한 후 n분주 클럭 기간에 분배되어 저장된 데이터들을 동시에 리딩하여 출력함과 아울러 우수번째 데이터라인에 공급될 입력 데이터들을 균등하게 분배시켜 저장한 후 n분주 클럭 기간에 분배되어 저장된 데이터들을 동시에 리딩하여 출력하는 타이밍 컨트롤러; 및
상기 타이밍 컨트롤러의 제어에 따라, 상기 타이밍 컨트롤러로부터 공급되는 데이터들을 균등 분배시켜 상기 제 1 및 제 2 라인블록의 기수번째 데이터라인들에 공급함과 아울러 상기 타이밍 컨트롤러로부터 공급되는 데이터들을 균등 분배시켜 상기 제 1 및 제 2 라인블록의 우수번째 데이터라인들에 공급하기 위한 데이터 구동부를 포함하는 액정표시장치.

청구항 9

제 8 항에 있어서,

상기 타이밍 컨트롤러는,

입력 데이터들을 분배하기 위한 데이터 분배부;

상기 데이터 분배부에 의해 분배된 데이터들 중에 기수번째 데이터라인에 공급될 데이터들을 균등하게 저장하기 위한 제 1 및 제 2 메모리;

상기 데이터 분배부에 의해 분배된 데이터들 중에 우수번째 데이터라인에 공급될 데이터들을 균등하게 저장하기 위한 제 3 및 제 4 메모리; 및

상기 제 1 및 제 2 메모리 또는 상기 제 3 및 제 4 메모리에 저장된 데이터가 리딩되어 출력되도록 하는 2분주 클럭을 발생하기 위한 클럭 발생부

를 포함하는 액정표시장치.

청구항 10

제 9 항에 있어서,

상기 제 1 및 제 2 메모리에는 각각, 기수번째 데이터라인에 공급될 36비트 데이터들이 저장되는 것을 특징으로 하는 액정표시장치.

청구항 11

제 10 항에 있어서,

상기 클럭 발생부는 시스템으로부터 입력되는 메인 클럭을 2분주시켜 2분주 클럭을 상기 제 1 및 제 2 메모리로 동시에 공급하는 것을 특징으로 하는 액정표시장치.

청구항 12

제 11 항에 있어서,

상기 제 1 및 제 2 메모리에 저장된 36비트 데이터들은 2분주 클럭이 공급되는 동안에 모두 리딩되는 것을 특징으로 하는 액정표시장치.

청구항 13

제 9 항에 있어서,

상기 제 3 및 제 4 메모리에는 각각, 우수번째 데이터라인에 공급될 36비트 데이터들이 저장되는 것을 특징으로 하는 액정표시장치.

청구항 14

제 13 항에 있어서,

상기 클럭 발생부는 시스템으로부터 입력되는 메인 클럭을 2분주시켜 2분주 클럭을 상기 제 3 및 제 4 메모리로

동시에 공급하는 것을 특징으로 하는 액정표시장치.

청구항 15

제 14 항에 있어서,

상기 제 3 및 제 4 메모리에 저장된 36비트 데이터들은 2분주 클럭이 공급되는 동안에 모두 리딩되는 것을 특징으로 하는 액정표시장치.

청구항 16

다수의 데이터라인들이 형성된 액정표시패널을 구비한 액정표시장치의 구동 방법에 있어서,

시스템으로부터의 입력 데이터들을 분배하는 단계;

상기 분배된 데이터들 중에 기수번째 데이터라인에 공급될 데이터들을 균등하게 제 1 및 제 2 메모리에 저장하는 단계;

상기 분배된 데이터들 중에 우수번째 데이터라인에 공급될 데이터들을 균등하게 제 3 및 제 4 메모리에 저장하는 단계; 및

상기 시스템으로부터 공급된 메인클럭을 분주시켜 분주클럭 공급 기간 동안 상기 제 1 및 제 2 메모리의 데이터들을 동시에 리딩하거나 상기 제 3 및 제 4 메모리의 데이터들을 동시에 리딩하는 단계

를 포함하는 액정표시장치의 구동 방법.

청구항 17

제 16 항에 있어서,

상기 제 1 및 제 2 메모리에는 각각, 기수번째 데이터라인에 공급될 36비트 데이터들이 저장되는 것을 특징으로 하는 액정표시장치의 구동 방법.

청구항 18

제 17 항에 있어서,

상기 리딩 단계에서,

상기 메인 클럭을 2분주시켜 2분주 클럭을 상기 제 1 및 제 2 메모리로 동시에 공급하는 것을 특징으로 하는 액정표시장치의 구동 방법.

청구항 19

제 18 항에 있어서,

상기 리딩 단계에서,

상기 제 1 및 제 2 메모리에 저장된 36비트 데이터들은 2분주 클럭이 공급되는 동안에 모두 리딩되는 것을 특징으로 하는 액정표시장치의 구동 방법.

청구항 20

제 16 항에 있어서,

상기 제 3 및 제 4 메모리에는 각각, 우수번째 데이터라인에 공급될 36비트 데이터들이 저장되는 것을 특징으로 하는 액정표시장치의 구동 방법.

청구항 21

제 20 항에 있어서,

상기 리딩 단계에서,

상기 메인 클럭을 2분주시켜 2분주 클럭을 상기 제 3 및 제 4 메모리로 동시에 공급하는 것을 특징으로 하는 액

정표시장치의 구동 방법.

청구항 22

제 21 항에 있어서,

상기 리딩 단계에서,

상기 제 3 및 제 4 메모리에 저장된 36비트 데이터들은 2분주 클럭이 공급되는 동안에 모두 리딩되는 것을 특징으로 하는 액정표시장치의 구동 방법.

청구항 23

다수의 데이터라인들이 제 1 및 제 2 라인블록으로 2등분되어 형성되며, 상기 제 1 및 제 2 라인블록의 데이터라인들이 대칭되게 동시에 구동되는 액정표시패널을 구비한 액정표시장치의 구동 방법에 있어서,

기수번째 데이터라인에 공급될 입력 데이터들을 균등하게 분배시켜 저장한 후 n분주 클럭 기간에 분배되어 저장된 데이터들을 동시에 리딩하는 제 1 단계;

상기 제 1 단계에서 리딩된 데이터들을 균등 분배시켜 상기 제 1 및 제 2 라인블록의 기수번째 데이터라인들에 동시에 공급하는 제 2 단계;

우수번째 데이터라인에 공급될 입력 데이터들을 균등하게 분배시켜 저장한 후 n분주 클럭 기간에 분배되어 저장된 데이터들을 동시에 리딩하는 제 3 단계; 및

상기 제 3 단계에서 리딩된 데이터들을 균등 분배시켜 상기 제 1 및 제 2 라인블록의 우수번째 데이터라인들에 동시에 공급하는 제 4 단계

를 포함하는 액정표시장치의 구동 방법.

청구항 24

제 23 항에 있어서,

상기 제 1 단계에서,

기수번째 데이터라인에 공급될 입력 데이터들을 균등하게 분배시켜 제 1 및 제 2 메모리에 저장하는 제 1-1 단계;

시스템으로부터의 메인 클럭을 2분주시켜 2분주 클럭을 발생하는 제 1-2 단계;

상기 제 1-2 단계에서 발생한 2분주 클럭의 공급기간 동안 상기 제 1 및 제 2 메모리에 저장된 데이터들을 동시에 리딩하는 제 1-3 단계

를 포함하는 액정표시장치의 구동 방법.

청구항 25

제 23 항에 있어서,

상기 제 3 단계에서,

우수번째 데이터라인에 공급될 입력 데이터들을 균등하게 분배시켜 제 3 및 제 4 메모리에 저장하는 제 3-1 단계;

시스템으로부터의 메인 클럭을 2분주시켜 2분주 클럭을 발생하는 제 3-2 단계; 및

상기 제 3-2 단계에서 발생한 2분주 클럭의 공급기간 동안 상기 제 3 및 제 4 메모리에 저장된 데이터들을 동시에 리딩하는 제 3-3 단계

를 포함하는 액정표시장치의 구동 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <13> 본 발명은 액정표시장치에 관한 것으로, 특히 액정표시패널에 형성된 다수의 데이터라인들 중에 기수번째 데이터라인이나 우수번째 데이터라인에 공급할 입력 데이터들을 적어도 2개의 메모리들에 균등 분배시켜 저장한 후 동시에 리딩할 수 있는 액정표시장치 및 그의 구동 방법에 관한 것이다.
- <14> 액정표시장치는 비디오신호에 따라 액정셀들의 광투과율을 조절하여 화상을 표시하며, 그리고 액정셀마다 스위칭소자가 형성된 액티브 매트릭스(Active Matrix) 타입의 액정표시장치는 스위칭소자의 능동적인 제어가 가능하기 때문에 동영상 구현에 유리하다. 이러한 액티브 매트릭스 타입의 액정표시장치에 사용되는 스위칭소자로는 도 1과 같이 주로 박막트랜지스터(Thin Film Transistor; 이하 "TFT"라 한다)가 이용되고 있다.
- <15> 도 1을 참조하면, 액티브 매트릭스 타입의 액정표시장치는, 디지털 입력 데이터를 감마기준전압을 기준으로 아날로그 데이터 전압으로 변환하여 데이터라인(DL)에 공급함과 동시에 스캔펄스를 게이트라인(GL)에 공급하여 액정셀(Clc)을 충전시킨다.
- <16> TFT의 게이트전극은 게이트라인(GL)에 접속되고, 소스전극은 데이터라인(DL)에 접속되며, 그리고 TFT의 드레인전극은 액정셀(Clc)의 화소전극과 스토리지 캐패시터(Cst)의 일측 전극에 접속된다.
- <17> 액정셀(Clc)의 공통전극에는 공통전압(Vcom)이 공급된다.
- <18> 스토리지 캐패시터(Cst)는 TFT가 턴-온될 때 데이터라인(DL)으로부터 인가되는 데이터전압을 충전하여 액정셀(Clc)의 전압을 일정하게 유지하는 역할을 한다.
- <19> 스캔펄스가 게이트라인(GL)에 인가되면 TFT는 턴-온(Turn-on)되어 소스전극과 드레인전극 사이의 채널을 형성하여 데이터라인(DL) 상의 전압을 액정셀(Clc)의 화소전극에 공급한다. 이 때 액정셀(Clc)의 액정분자들은 화소전극과 공통전극 사이의 전계에 의하여 배열이 바뀌면서 입사광을 변조하게 된다.
- <20> 이와 같은 구조를 갖는 픽셀들을 구비하는 일반적인 액정표시장치의 구성에 대하여 살펴보면 도 2에 도시된 바와 같다.
- <21> 도 2는 일반적인 액정표시장치의 구성도이다.
- <22> 도 2를 참조하면, 액정표시장치(100)는, 데이터라인(DL1 내지 DLm)과 게이트라인(GL1 내지 GLn)이 교차되며 그 교차부에 액정셀(Clc)을 구동하기 위한 박막트랜지스터(TFT : Thin Film Transistor)가 형성된 액정표시패널(110)과, 액정표시패널(110)의 데이터라인들(DL1 내지 DLm)에 데이터를 공급하기 위한 데이터 구동부(120)와, 액정표시패널(110)의 게이트라인(GL1 내지 GLn)에 스캔펄스를 공급하기 위한 게이트 구동부(130)와, 감마기준전압을 발생하여 데이터 구동부(120)에 공급하기 위한 감마기준전압 발생부(140)와, 액정표시패널(110)에 광을 조사하기 위한 백라이트 어셈블리(150)와, 백라이트 어셈블리(160)에 교류 전압 및 전류를 인가하기 위한 인버터(160)와, 공통전압(Vcom)을 발생하여 액정표시패널(110)의 액정셀(Clc)의 공통전극에 공급하기 위한 공통전압 발생부(170)와, 게이트 하이전압(VGH)과 게이트 로우전압(VGL)을 발생하여 게이트 구동부(130)에 공급하기 위한 게이트구동전압 발생부(180)와, 데이터 구동부(120) 및 게이트 구동부(130)를 제어하기 위한 타이밍 컨트롤러(190)를 구비한다.
- <23> 액정표시패널(110)은 두 장의 유리기판 사이에 액정이 주입된다. 액정표시패널(110)의 하부 유리기판 상에는 데이터라인들(DL1 내지 DLm)과 게이트라인들(GL1 내지 GLn)이 직교된다. 데이터라인들(DL1 내지 DLm)과 게이트라인들(GL1 내지 GLn)의 교차부에는 TFT가 형성된다. TFT는 스캔펄스에 응답하여 데이터라인들(DL1 내지 DLm) 상의 데이터를 액정셀(Clc)에 공급하게 된다. TFT의 게이트전극은 게이트라인(GL1 내지 GLn)에 접속되며, TFT의 소스전극은 데이터라인(DL1 내지 DLm)에 접속된다. 그리고 TFT의 드레인전극은 액정셀(Clc)의 화소전극과 스토리지 캐패시터(Cst)에 접속된다.
- <24> TFT는 게이트라인(GL1 내지 GLn)을 경유하여 게이트단자에 공급되는 스캔펄스에 응답하여 턴-온된다. TFT의 턴-온시 데이터라인(DL1 내지 DLm) 상의 비디오 데이터는 액정셀(Clc)의 화소전극에 공급된다.
- <25> 데이터 구동부(120)는 타이밍 컨트롤러(190)로부터 공급되는 데이터구동 제어신호(DDC)에 응답하여 데이터를 데

이터라인들(DL1 내지 DLm)에 공급하며, 그리고 타이밍 컨트롤러(190)로부터 공급되는 디지털 비디오 데이터(RGB)를 샘플링하여 래치한 다음 감마기준전압 발생부(140)로부터 공급되는 감마기준전압을 기준으로 액정표시패널(110)의 액정셀(C1c)에서 계조를 표현할 수 있는 아날로그 데이터 전압으로 변환시켜 데이터라인들(DL1 내지 DLm)들에 공급한다.

- <26> 게이트 구동부(130)는 타이밍 컨트롤러(190)로부터 공급되는 게이트구동 제어신호(GDC)와 게이트쉬프트클럭(GSC)에 응답하여 스캔펄스 즉, 게이트펄스를 순차적으로 발생하여 게이트라인(GL1 내지 GLn)들에 공급한다. 이때, 게이트 구동부(130)는 게이트구동전압 발생부(180)로부터 공급되는 게이트 하이전압(VGH)과 게이트 로우전압(VGL)에 따라 각각 스캔펄스의 하이레벨전압과 로우레벨전압을 결정한다.
- <27> 감마기준전압 발생부(140)는 고전위 전원전압(VDD)을 공급받아 정극성 감마기준전압과 부극성 감마기준전압을 발생하여 데이터 구동부(120)로 출력한다.
- <28> 백라이트 어셈블리(150)는 액정표시패널(110)의 후면에 배치되며, 인버터(160)로부터 공급되는 교류 전압과 전류에 의해 발광되어 광을 액정표시패널(110)의 각 픽셀로 조사한다.
- <29> 인버터(160)는 내부에 발생하는 구형파신호를 삼각파신호로 변화시킨 후 삼각파신호와 상기 시스템으로부터 공급되는 직류 전원전압(VCC)을 비교하여 비교결과에 비례하는 버스트디밍(Burst Dimming)신호를 발생한다. 이렇게 내부의 구형파신호에 따라 결정되는 버스트디밍신호가 발생되면, 인버터(160) 내에서 교류 전압과 전류의 발생을 제어하는 구동 IC(미도시)는 버스트디밍신호에 따라 백라이트 어셈블리(150)에 공급되는 교류 전압과 전류의 발생을 제어한다.
- <30> 공통전압 발생부(170)는 고전위 전원전압(VDD)을 공급받아 공통전압(Vcom)을 발생하여 액정표시패널(110)의 각 픽셀에 구비된 액정셀(C1c)들의 공통전극에 공급한다.
- <31> 게이트구동전압 발생부(180)는 고전위 전원전압(VDD)을 인가받아 게이트 하이전압(VGH)과 게이트 로우전압(VGL)을 발생시켜 게이트 구동부(130)에 공급한다. 여기서, 게이트구동전압 발생부(180)는 액정표시패널(110)의 각 픽셀에 구비된 TFT의 문턱전압 이상이 되는 게이트 하이전압(VGH)을 발생하고 TFT의 문턱전압 미만이 되는 게이트 로우전압(VGL)을 발생한다. 이렇게 발생된 게이트 하이전압(VGH)과 게이트 로우전압(VGL)은 각각 게이트 구동부(130)에 의해 발생하는 스캔펄스의 하이레벨전압과 로우레벨전압을 결정하는데 이용된다.
- <32> 타이밍 컨트롤러(190)는 텔레비전 수상기나 컴퓨터용 모니터 등의 시스템에 구비된 영상처리용 스케일러(미도시)로부터 공급되는 디지털 비디오 데이터(RGB)를 데이터 구동부(120)에 공급하고, 또한 클럭신호(CLK)에 따라 수평/수직 동기신호(H,V)를 이용하여 데이터 구동 제어신호(DDC)와 게이트 구동 제어신호(GDC)를 발생하여 각각 데이터 구동부(120)와 게이트 구동부(130)에 공급한다. 여기서, 데이터 구동 제어신호(DDC)는 소스쉬프트클럭(SSC), 소스스타트펄스(SSP), 극성제어신호(POL) 및 데이터출력인에이블신호(SOE) 등을 포함하고, 게이트구동 제어신호(GDC)는 게이트스타트펄스(GSP) 및 게이트출력인에이블(GOE) 등을 포함한다.
- <33> 이러한 기능을 갖는 종래의 타이밍 컨트롤러(190)의 내부 구성은 도 3에 도시된 바와 같다.
- <34> 도 3은 종래의 액정표시장치에 구비된 타이밍 컨트롤러의 내부 구성도이다.
- <35> 도 3에 도시된 바와 같이, 타이밍 컨트롤러(190)는, 기수번째 데이터라인에 공급될 입력 데이터를 저장하기 위한 제 1 메모리(191)와, 우수번째 데이터라인에 공급될 입력 데이터를 저장하기 위한 제 2 메모리(192)와, 제 1 메모리(191)나 제 2 메모리(192)에 저장된 데이터가 리딩되어 출력되도록 하는 클럭을 발생하기 위한 클럭 발생부(193)와, 제 1 메모리(191)나 제 2 메모리(192)로부터 리딩되는 병렬 데이터를 직렬 데이터로 변환시켜 데이터 구동부(120)로 출력하기 위한 병렬/직렬 변환부(194)를 구비한다.
- <36> 제 1 메모리(191)는 시스템으로부터 18비트 단위로 입력되는 데이터들을 저장하며, 이렇게 72비트 데이터들이 저장된 상태에서 클럭 발생부(191)로부터 4분주 클럭이 공급되는 기간에 저장된 72비트 데이터들을 병렬로 병렬/직렬 변환부(194)로 출력한다. 이러한 제 1 메모리(191)에는 기수번째 데이터라인에 공급될 데이터들이 저장된다.
- <37> 제 2 메모리(192)는 시스템으로부터 18비트 단위로 입력되는 데이터들을 저장하며, 이렇게 72비트 데이터들이 저장된 상태에서 클럭 발생부(191)로부터 4분주 클럭이 공급되는 기간에 저장된 72비트 데이터들을 병렬로 병렬/직렬 변환부(194)로 출력한다. 이러한 제 2 메모리(192)에는 우수번째 데이터라인에 공급될 데이터들이 저장된다.

- <38> 클럭 발생부(193)는 시스템으로부터 입력되는 메인 클럭(Main CLK)을 4분주시켜 4분주 클럭을 제 1 및 제 2 메모리(191, 192)에 교번적으로 공급하며, 이렇게 발생된 4분주 클럭은 제 1 메모리(191)나 제 2 메모리(192)에 저장된 72비트 데이터들이 리딩되도록 하는 역할을 한다.
- <39> 병렬/직렬 변환부(194)는 제 1 메모리(191)나 제 2 메모리(192)로부터 리딩되는 병렬 데이터를 직렬 데이터로 변환시켜 데이터 구동부(120)로 출력한다.
- <40> 이와 같은 타이밍 컨트롤러(190)를 구비한 종래의 액정표시장치의 경우, 항상 4분주 클럭을 이용하여 제 1 메모리(191)나 제 2 메모리(192)에 저장된 72비트 데이터들을 리딩하기 때문에, 시스템으로부터 공급되는 데이터인 에이블신호의 블랭크 구간을 줄이도록 할 수 없었다.

발명이 이루고자 하는 기술적 과제

- <41> 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로, 본 발명의 목적은 액정표시패널에 형성된 다수의 데이터라인들 중에 기수번째 데이터라인이나 우수번째 데이터라인에 공급할 입력 데이터들을 적어도 2개의 메모리들에 균등 분배시켜 저장한 후 동시에 리딩할 수 있는 액정표시장치 및 그의 구동 방법을 제공하는데 있다.
- <42> 본 발명의 목적은 적어도 2개의 메모리들에 균등 분배되어 저장된 입력 데이터들을 동시에 리딩함으로써, 입력 데이터들의 리딩 시간을 대폭 단축할 수 있는 액정표시장치 및 그의 구동 방법을 제공하는데 있다.
- <43> 본 발명의 목적은 입력 데이터들의 리딩 시간을 대폭 단축함으로써, 시스템으로부터 입력되는 데이터인 에이블신호의 블랭크 구간을 줄이도록 할 수 있는 액정표시장치 및 그의 구동 방법을 제공하는데 있다.

발명의 구성 및 작용

- <44> 이와 같은 목적을 달성하기 위한 본 발명의 액정표시장치는, 다수의 데이터라인들이 형성된 액정표시패널; 입력 데이터들을 분배하기 위한 데이터 분배부; 상기 데이터 분배부에 의해 분배된 데이터들 중에 기수번째 데이터라인에 공급될 데이터들을 균등하게 저장하기 위한 제 1 및 제 2 메모리; 상기 데이터 분배부에 의해 분배된 데이터들 중에 우수번째 데이터라인에 공급될 데이터들을 균등하게 저장하기 위한 제 3 및 제 4 메모리; 및 상기 제 1 및 제 2 메모리 또는 상기 제 3 및 제 4 메모리에 저장된 데이터가 리딩되어 출력되도록 하는 분주클럭을 발생하기 위한 클럭 발생부를 포함한다.
- <45> 본 발명의 액정표시장치는, 다수의 데이터라인들이 제 1 및 제 2 라인블럭으로 2등분되어 형성되며, 상기 제 1 및 제 2 라인블럭의 데이터라인들이 대칭되게 동시에 구동되는 액정표시패널; 기수번째 데이터라인에 공급될 입력 데이터들을 균등하게 분배시켜 저장한 후 n분주 클럭 기간에 분배되어 저장된 데이터들을 동시에 리딩하여 출력함과 아울러 우수번째 데이터라인에 공급될 입력 데이터들을 균등하게 분배시켜 저장한 후 n분주 클럭 기간에 분배되어 저장된 데이터들을 동시에 리딩하여 출력하는 타이밍 컨트롤러; 및 상기 타이밍 컨트롤러의 제어에 따라, 상기 타이밍 컨트롤러로부터 공급되는 데이터들을 균등 분배시켜 상기 제 1 및 제 2 라인블럭의 기수번째 데이터라인들에 공급함과 아울러 상기 타이밍 컨트롤러로부터 공급되는 데이터들을 균등 분배시켜 상기 제 1 및 제 2 라인블럭의 우수번째 데이터라인들에 공급하기 위한 데이터 구동부를 포함한다.
- <46> 상기 타이밍 컨트롤러는, 입력 데이터들을 분배하기 위한 데이터 분배부; 상기 데이터 분배부에 의해 분배된 데이터들 중에 기수번째 데이터라인에 공급될 데이터들을 균등하게 저장하기 위한 제 1 및 제 2 메모리; 상기 데이터 분배부에 의해 분배된 데이터들 중에 우수번째 데이터라인에 공급될 데이터들을 균등하게 저장하기 위한 제 3 및 제 4 메모리; 및 상기 제 1 및 제 2 메모리 또는 상기 제 3 및 제 4 메모리에 저장된 데이터가 리딩되어 출력되도록 하는 2분주 클럭을 발생하기 위한 클럭 발생부를 포함한다.
- <47> 상기 제 1 및 제 2 메모리에는 각각, 기수번째 데이터라인에 공급될 36비트 데이터들이 저장되는 것을 특징으로 한다.
- <48> 상기 클럭 발생부는 시스템으로부터 입력되는 메인 클럭을 2분주시켜 2분주 클럭을 상기 제 1 및 제 2 메모리로 동시에 공급하는 것을 특징으로 한다.
- <49> 상기 제 1 및 제 2 메모리에 저장된 36비트 데이터들은 2분주 클럭이 공급되는 동안에 모두 리딩되는 것을 특징으로 한다.
- <50> 상기 제 3 및 제 4 메모리에는 각각, 우수번째 데이터라인에 공급될 36비트 데이터들이 저장되는 것을 특징으로

한다.

- <51> 상기 클럭 발생부는 시스템으로부터 입력되는 메인 클럭을 2분주시켜 2분주 클럭을 상기 제 3 및 제 4 메모리로 동시에 공급하는 것을 특징으로 한다.
- <52> 상기 제 3 및 제 4 메모리에 저장된 36비트 데이터들은 2분주 클럭이 공급되는 동안에 모두 리딩되는 것을 특징으로 한다.
- <53> 본 발명의 액정표시장치의 구동 방법은, 다수의 데이터라인들이 형성된 액정표시패널을 구비한 액정표시장치의 구동 방법에 있어서, 시스템으로부터의 입력 데이터들을 분배하는 단계; 상기 분배된 데이터들 중에 기수번째 데이터라인에 공급될 데이터들을 균등하게 제 1 및 제 2 메모리에 저장하는 단계; 상기 분배된 데이터들 중에 우수번째 데이터라인에 공급될 데이터들을 균등하게 제 3 및 제 4 메모리에 저장하는 단계; 및 상기 시스템으로부터 공급된 메인클럭을 분주시켜 분주클럭 공급 기간 동안 상기 제 1 및 제 2 메모리의 데이터들을 동시에 리딩하거나 상기 제 3 및 제 4 메모리의 데이터들을 동시에 리딩하는 단계를 포함한다.
- <54> 본 발명의 액정표시장치의 구동 방법은, 다수의 데이터라인들이 제 1 및 제 2 라인블럭으로 2등분되어 형성되며, 상기 제 1 및 제 2 라인블럭의 데이터라인들이 대칭되게 동시에 구동되는 액정표시패널을 구비한 액정표시장치의 구동 방법에 있어서, 기수번째 데이터라인에 공급될 입력 데이터들을 균등하게 분배시켜 저장한 후 n 분주 클럭 기간에 분배되어 저장된 데이터들을 동시에 리딩하는 제 1 단계; 상기 제 1 단계에서 리딩된 데이터들을 균등 분배시켜 상기 제 1 및 제 2 라인블럭의 기수번째 데이터라인들에 동시에 공급하는 제 2 단계; 우수번째 데이터라인에 공급될 입력 데이터들을 균등하게 분배시켜 저장한 후 n분주 클럭 기간에 분배되어 저장된 데이터들을 동시에 리딩하는 제 3 단계; 및 상기 제 3 단계에서 리딩된 데이터들을 균등 분배시켜 상기 제 1 및 제 2 라인블럭의 우수번째 데이터라인들에 동시에 공급하는 제 4 단계를 포함한다.
- <55> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명한다.
- <56> 도 4는 본 발명의 실시예에 따른 액정표시장치의 구성도이다.
- <57> 도 4에 도시된 바와 같이, 본 발명의 액정표시장치(200)도, 도 2에 도시된 액정표시장치(100)와 동일하게, 게이트 구동부(130), 감마기준전압 발생부(140), 백라이트 어셈블리(150), 인버터(160), 공통전압 발생부(170) 및 게이트구동전압 발생부(180)를 구비한다.
- <58> 그리고, 본 발명의 액정표시장치(200)는, 다수의 데이터라인들(DL1 내지 DLm)이 제 1 및 제 2 라인블럭으로 2등분되어 형성된 액정표시패널(210)과, 기수번째 데이터라인에 공급될 입력 데이터(RGB)들을 균등하게 분배시켜 저장한 후 2분주 클럭 기간에 분배되어 저장된 데이터들을 동시에 리딩하여 출력함과 아울러 우수번째 데이터라인에 공급될 입력 데이터(RGB)들을 균등하게 분배시켜 저장한 후 2분주 클럭 기간에 분배되어 저장된 데이터들을 동시에 리딩하여 출력하는 타이밍 컨트롤러(220)와, 타이밍 컨트롤러(220)의 제어에 따라, 타이밍 컨트롤러(220)로부터 공급되는 데이터들을 균등 분배시켜 제 1 및 제 2 라인블럭의 기수번째 데이터라인들에 공급함과 아울러 타이밍 컨트롤러(220)로부터 공급되는 데이터들을 균등 분배시켜 제 1 및 제 2 라인블럭의 우수번째 데이터라인들에 공급하기 위한 데이터 구동부(230)를 구비한다.
- <59> 액정표시패널(210)은 두 장의 유리기관들과 그들 사이에 주입된 액정으로 이루어지며, 또한 하나의 유리기관 상에 직교되어 형성된 데이터라인들(DL1 내지 DLm)과 게이트라인들(GL1 내지 GLn)을 구비한다. 그리고, 데이터라인들(DL1 내지 DLm)과 게이트라인들(GL1 내지 GLn)의 교차부에는 TFT와 액정셀(Clc)이 형성된다.
- <60> 여기서, 다수의 데이터라인들(DL1 내지 DLm)은 제 1 및 제 2 라인블럭으로 2등분되어 형성되며, 제 1 및 제 2 라인블럭의 데이터라인들은 데이터 구동부(230)에 의해 대칭되게 동시에 구동된다. 보다 구체적으로, 제 1 및 제 2 라인블럭에서의 첫번째 데이터라인들이 동시에 구동되고, 제 1 및 제 2 라인블럭에서의 마지막번째 데이터라인들이 동시에 구동된다.
- <61> 타이밍 컨트롤러(220)는 기수번째 데이터라인에 공급될 입력 데이터(RGB)들을 균등하게 분배시켜 적어도 2개의 저장영역들에 저장한 후 2분주 클럭 기간에 저장영역들에 저장된 데이터들을 동시에 리딩하여 데이터 구동부(230)로 출력하며, 그리고 우수번째 데이터라인에 공급될 입력 데이터(RGB)들을 균등하게 분배시켜 적어도 2개의 저장영역들에 저장한 후 2분주 클럭 기간에 저장영역들에 저장된 데이터들을 동시에 리딩하여 데이터 구동부(230)로 출력한다. 여기서, 리딩된 데이터들은 병렬 데이터들이므로, 타이밍 컨트롤러(220)는 리딩한 병렬 데이터들을 직렬 데이터로 변환시켜 데이터 구동부(230)로 출력한다. 이러한 타이밍 컨트롤러(220)의 보다 구체적인 구성 및 동작은 도 5를 참조하여 설명한다.

- <62> 데이터 구동부(230)는 타이밍 컨트롤러(220)로부터 공급되는 데이터들을 균등 분배시켜 제 1 및 제 2 라인블럭의 기수번째 데이터라인들에 공급함과 아울러 타이밍 컨트롤러(220)로부터 공급되는 데이터들을 균등 분배시켜 제 1 및 제 2 라인블럭의 우수번째 데이터라인들에 공급한다.
- <63> 일례로, 기수번째 데이터라인에 공급될 72비트 데이터들이 타이밍 컨트롤러(220)로부터 입력되면, 데이터 구동부(230)는 72비트 데이터들을 2등분시켜 36비트 데이터들을 제 1 라인블럭의 기수번째 데이터라인에 공급하고 다른 36비트 데이터들을 제 2 라인블럭의 기수번째 데이터라인에 공급한다. 여기서, 동시에 데이터들을 공급받는 제 1 및 제 2 라인블럭의 기수번째 데이터라인들은 대칭되는 위치에 배치된 데이터라인들이다.
- <64> 다른 예로, 우수번째 데이터라인에 공급될 72비트 데이터들이 타이밍 컨트롤러(220)로부터 입력되면, 데이터 구동부(230)는 72비트 데이터들을 2등분시켜 36비트 데이터들을 제 1 라인블럭의 우수번째 데이터라인에 공급하고 다른 36비트 데이터들을 제 2 라인블럭의 우수번째 데이터라인에 공급한다. 여기서, 동시에 데이터들을 공급받는 제 1 및 제 2 라인블럭의 우수번째 데이터라인들은 대칭되는 위치에 배치된 데이터라인들이다.
- <65> 도 5는 도 4에서의 타이밍 컨트롤러의 내부 구성도이다.
- <66> 도 5를 참조하면, 타이밍 컨트롤러(220)는, 입력 데이터(RGB)들을 분배하기 위한 데이터 분배부(221)와, 데이터 분배부(221)에 의해 분배된 데이터들 중에 기수번째 데이터라인에 공급될 데이터들을 균등하게 저장하기 위한 제 1 및 제 2 메모리(222, 223)와, 데이터 분배부(221)에 의해 분배된 데이터들 중에 우수번째 데이터라인에 공급될 데이터들을 균등하게 저장하기 위한 제 3 및 제 4 메모리(224, 225)와, 제 1 및 제 2 메모리(222, 223)에 저장된 데이터가 리딩되어 출력되도록 하는 분주클럭을 발생하여 제 1 및 제 2 메모리(222, 223)로 동시에 공급하거나, 제 3 및 제 4 메모리(224, 225)에 저장된 데이터가 리딩되어 출력되도록 하는 분주클럭을 발생하여 제 1 및 제 2 메모리(222, 223)로 동시에 공급하기 위한 클럭 발생부(226)와, 제 1 및 제 2 메모리(222, 223)로부터 동시에 리딩되는 병렬 데이터를 직렬 데이터로 변환시켜 데이터 구동부(230)로 출력하거나, 제 3 및 제 4 메모리(224, 225)로부터 동시에 리딩되는 병렬 데이터를 직렬 데이터로 변환시켜 데이터 구동부(230)로 출력하기 위한 병렬/직렬 변환부(227)를 구비한다.
- <67> 데이터 분배부(221)는 시스템으로부터 기수번째 데이터라인에 공급할 데이터들이 입력되면 이 데이터들을 2등분시켜 제 1 및 제 2 메모리(222, 223)로 분배하고, 또한 시스템으로부터 우수번째 데이터라인에 공급할 데이터들이 입력되면 이 데이터들을 2등분시켜 제 3 및 제 4 메모리(224, 225)로 분배한다. 보다 구체적으로, 기수번째 데이터라인에 공급할 72비트 데이터들이 시스템으로부터 입력되면, 데이터 분배부(221)는 72비트 데이터들을 2등분시켜 제 1 및 제 2 메모리(222, 223)에 각각 36비트씩 저장시킨다. 또한, 우수번째 데이터라인에 공급할 72비트 데이터들이 시스템으로부터 입력되면, 데이터 분배부(221)는 72비트 데이터들을 2등분시켜 제 3 및 제 4 메모리(224, 225)에 각각 36비트씩 저장시킨다.
- <68> 제 1 메모리(222)는 데이터 분배부(221)에 의해 18비트 단위로 분배되는 데이터들을 저장하며, 이렇게 36비트 데이터들이 저장된 상태에서 클럭 발생부(226)로부터 2분주 클럭이 공급되는 기간에 저장된 36비트 데이터들을 병렬로 병렬/직렬 변환부(227)로 출력한다. 이러한 제 1 메모리(222)에는 기수번째 데이터라인에 공급될 데이터들이 저장된다.
- <69> 제 2 메모리(223)는 데이터 분배부(221)에 의해 18비트 단위로 분배되는 데이터들을 저장하며, 이렇게 36비트 데이터들이 저장된 상태에서 클럭 발생부(226)로부터 2분주 클럭이 공급되는 기간에 저장된 36비트 데이터들을 병렬로 병렬/직렬 변환부(227)로 출력한다. 이러한 제 2 메모리(223)에는 기수번째 데이터라인에 공급될 데이터들이 저장된다.
- <70> 이렇게, 기수번째 데이터라인에 공급될 72비트 데이터들이 2등분되어 36비트씩 제 1 및 제 2 메모리(222, 223)에 저장된 후 2분주 클럭 동안 동시에 리딩됨으로써, 본 발명은 하나의 메모리에 저장된 72비트 데이터들을 4분주 클럭 동안 리딩하는 종래 기술에 비하여 데이터들의 리딩시간을 절반으로 단축시킬 수 있는 것이다. 그리고, 제 1 메모리(222)로부터 출력된 36비트 데이터들은 제 1 라인블럭의 기수번째 데이터라인에 공급되고 이와 동시에 제 2 메모리(223)로부터 출력된 다른 36비트 데이터들은 제 2 라인블럭의 기수번째 데이터라인에 공급된다.
- <71> 제 3 메모리(224)는 데이터 분배부(221)에 의해 18비트 단위로 분배되는 데이터들을 저장하며, 이렇게 36비트 데이터들이 저장된 상태에서 클럭 발생부(226)로부터 2분주 클럭이 공급되는 기간에 저장된 36비트 데이터들을 병렬로 병렬/직렬 변환부(227)로 출력한다. 이러한 제 3 메모리(224)에는 우수번째 데이터라인에 공급될 데이터들이 저장된다.

- <72> 제 4 메모리(225)는 데이터 분배부(221)에 의해 18비트 단위로 분배되는 데이터들을 저장하며, 이렇게 36비트 데이터들이 저장된 상태에서 클럭 발생부(226)로부터 2분주 클럭이 공급되는 기간에 저장된 36비트 데이터들을 병렬로 병렬/직렬 변환부(227)로 출력한다. 이러한 제 4 메모리(225)에는 우수번째 데이터라인에 공급될 데이터들이 저장된다.
- <73> 이렇게, 우수번째 데이터라인에 공급될 72비트 데이터들이 2등분되어 36비트씩 제 3 및 제 4 메모리(224, 225)에 저장된 후 2분주 클럭 동안 동시에 리딩됨으로써, 본 발명은 하나의 메모리에 저장된 72비트 데이터들을 4분주 클럭 동안 리딩하는 종래 기술에 비하여 데이터들의 리딩시간을 절반으로 단축시킬 수 있는 것이다. 그리고, 제 3 메모리(224)로부터 출력된 36비트 데이터들은 제 1 라인블럭의 우수번째 데이터라인에 공급되고 이와 동시에 제 4 메모리(225)로부터 출력된 다른 36비트 데이터들은 제 2 라인블럭의 우수번째 데이터라인에 공급된다.
- <74> 클럭 발생부(226)는 시스템으로부터 입력되는 메인 클럭(Main CLK)을 2분주시켜 2분주 클럭을 제 1 및 제 2 메모리(222, 223)에 동시에 공급하며, 이 2분주 클럭은 제 1 및 제 2 메모리(222, 223)에 각각 저장된 36비트 데이터들이 동시에 리딩되도록 하는 역할을 한다. 또한, 클럭 발생부(226)는 시스템으로부터 입력되는 메인 클럭(Main CLK)을 2분주시켜 2분주 클럭을 제 3 및 제 4 메모리(224, 225)에 동시에 공급하며, 이 2분주 클럭은 제 3 및 제 4 메모리(224, 225)에 각각 저장된 36비트 데이터들이 동시에 리딩되도록 하는 역할을 한다. 여기서, 클럭 발생부(226)는 2분주 클럭을 제 1 및 제 2 메모리(222, 223)와 제 3 및 제 4 메모리(224, 225)에 교번적으로 공급한다.
- <75> 병렬/직렬 변환부(227)는 제 1 및 제 2 메모리(222, 223)나 제 3 및 제 4 메모리(224, 225)로부터 리딩되는 병렬 데이터를 직렬 데이터로 변환시켜 데이터 구동부(230)로 출력한다.
- <76> 상기한 바와 같은 구성을 갖는 본 발명의 액정표시장치의 동작을 도 6에 도시된 신호 특성을 참조하여 설명한다.
- <77> 도 6은 본 발명에 따른 액정표시장치의 동작 과정을 나타낸 신호 특성도이다.
- <78> 도 6을 참조하면, 먼저 데이터인에이블신호(DE)가 시스템으로부터 공급되고 타이밍 컨트롤러(220)가 게이트클럭(GCLK)을 데이터 구동부(230)로 공급하고 있는 상태에서, 다음에서와 같은 타이밍 순서에 따라 RGB 데이터를 리딩하여 데이터라인에 공급한다. 단, 제 1 및 제 2 메모리(222, 223)에 RGB 데이터들이 균등하게 36비트씩 저장된 것을 전제로 한다.
- <79> 먼저 RT1 구간 동안 타이밍 컨트롤러(220)가 제 1 및 제 2 메모리(222, 223)에 저장된 R데이터를 리딩한 후, PT1 구간 동안 데이터 구동부(230)가 리딩된 R데이터를 제 1 및 제 2 라인블럭의 기수번째 데이터라인에 공급한다. 여기서, RT1 구간 다음에 진행되는 CT 구간 동안 데이터 구동부(230)는 액정표시패널(110) 상의 픽셀들을 프리차지시키고, 프리차지 이후에 진행되는 OT1 구간 동안 타이밍 컨트롤러(220)는 하이레벨의 데이터출력인에이블신호(SOE)를 데이터 구동부(230)로 공급하고, 이 OT1 구간 동안 데이터 구동부(230)는 차지쉐어(Charge Share) 기능을 수행한 후 PT1 구간 동안 리딩된 R데이터를 제 1 및 제 2 라인블럭의 기수번째 데이터라인에 공급한다.
- <80> R데이터가 공급되는 동안에, RT2 구간 동안 타이밍 컨트롤러(220)는 제 1 및 제 2 메모리(222, 223)에 저장된 G 데이터를 리딩한다. 이어서, PT2 구간 동안 데이터 구동부(230)는 리딩된 G데이터를 제 1 및 제 2 라인블럭의 기수번째 데이터라인에 공급한다. 여기서, RT2 구간과 PT1 구간 다음에 진행되는 OT2 구간 동안 타이밍 컨트롤러(220)는 하이레벨의 데이터출력인에이블신호(SOE)를 데이터 구동부(230)로 공급하고, 이 OT2 구간 동안 데이터 구동부(230)는 차지쉐어 기능을 수행한 후 PT2 구간 동안 리딩된 G데이터를 제 1 및 제 2 라인블럭의 기수번째 데이터라인에 동시에 공급한다.
- <81> G데이터가 공급되는 동안에, RT3 구간 동안 타이밍 컨트롤러(220)는 제 1 및 제 2 메모리(222, 223)에 저장된 B 데이터를 리딩한다. 이어서, PT3 구간 동안 데이터 구동부(230)는 리딩된 B데이터를 제 1 및 제 2 라인블럭의 기수번째 데이터라인에 공급한다. 여기서, RT3 구간과 PT2 구간 다음에 진행되는 OT3 구간 동안 타이밍 컨트롤러(220)는 하이레벨의 데이터출력인에이블신호(SOE)를 데이터 구동부(230)로 공급하고, 이 OT3 구간 동안 데이터 구동부(230)는 차지쉐어 기능을 수행한 후 PT3 구간 동안 리딩된 B데이터를 제 1 및 제 2 라인블럭의 기수번째 데이터라인에 동시에 공급한다.
- <82> 그리고, 제 3 및 제 4 메모리(224, 225)에 RGB 데이터들이 균등하게 36비트씩 저장되어 있는 경우에도, 액정표시장치(200)는 도 6을 참조하여 설명한 바와 같은 과정을 통해 데이터를 리딩하여 제 1 및 제 2 라인블럭의 우

수번째 데이터라인에 공급한다.

- <83> 한편, 도 6에서 데이터인에이블신호(DE)의 데이터 구간에는 데이터가 공급되는 반면에, 데이터인에이블신호(DE)의 블랭크 구간에는 데이터가 공급되지 않는다. 따라서, 본 발명은 RGB 데이터의 리딩 구간들(RT1, RT2, RT3)을 단축시킴으로써, 데이터인에이블신호(DE)의 블랭크 구간을 단축시킬 수 있도록 하는 것이다.

발명의 효과

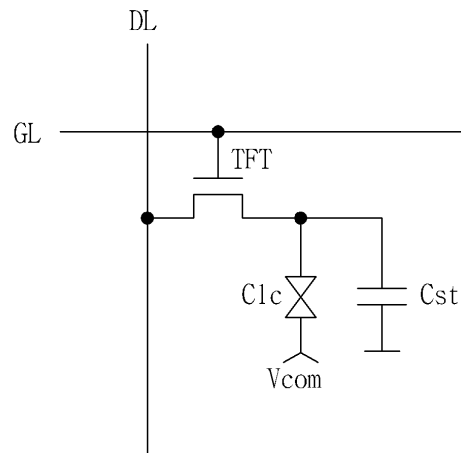
- <84> 이상에서 설명한 바와 같이 본 발명은, 기수번째 데이터라인에 공급할 입력 데이터들을 적어도 2개의 메모리들에 균등 분배시켜 저장한 후 동시에 리딩하고 우수번째 데이터라인에 공급할 입력 데이터들을 적어도 2개의 메모리들에 균등 분배시켜 저장한 후 동시에 리딩함으로써, 입력 데이터들의 리딩 시간을 대폭 단축하고, 이로 인해 시스템으로부터 입력되는 데이터인에이블신호의 블랭크 구간을 줄이도록 할 수 있다. 또한, 본 발명은 다수의 데이터라인들을 2개의 블록으로 구분하여 각 블록의 데이터라인에 2등분된 데이터를 동시에 공급할 수 있다.
- <85> 본 발명의 기술사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며, 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술분야의 통상의 전문가라면 본 발명의 기술사상의 범위에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

도면의 간단한 설명

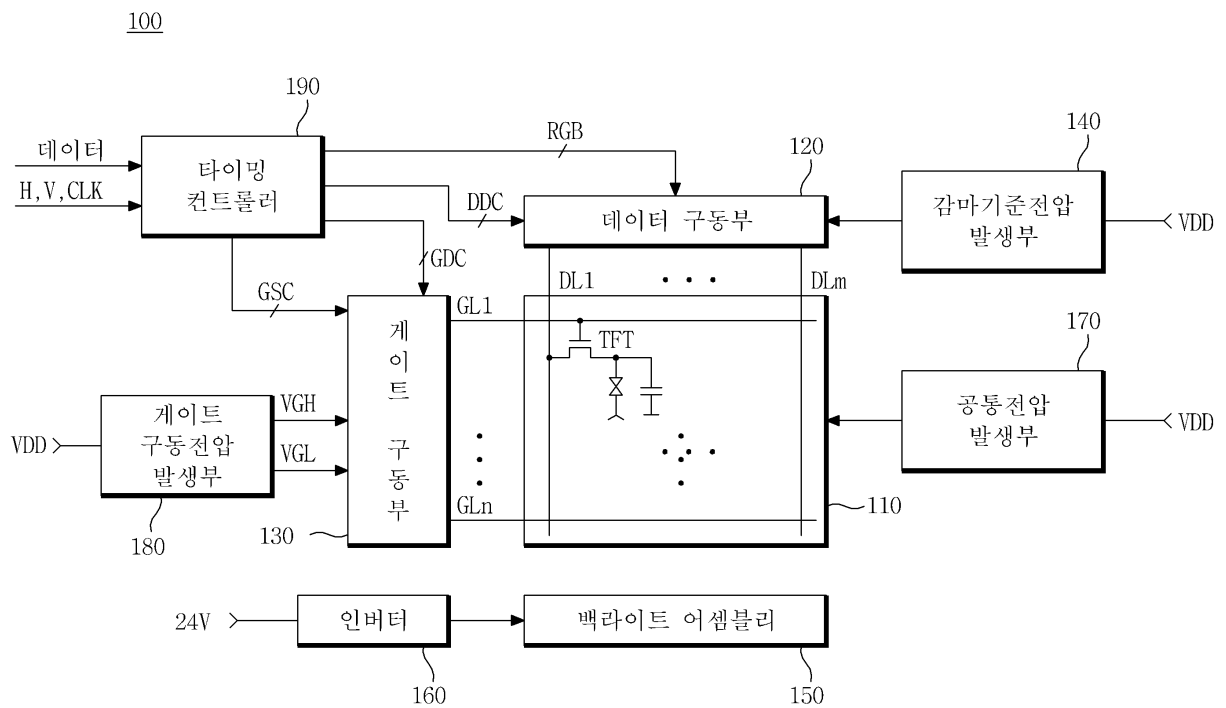
- <1> 도 1은 일반적인 액정표시장치에 형성되는 픽셀의 등가 회로도.
- <2> 도 2는 일반적인 액정표시장치의 구성도.
- <3> 도 3은 종래의 액정표시장치에 구비된 타이밍 컨트롤러의 내부 구성도.
- <4> 도 4는 본 발명의 실시예에 따른 액정표시장치의 구성도.
- <5> 도 5는 도 4에서의 타이밍 컨트롤러의 내부 구성도.
- <6> 도 6은 본 발명에 따른 액정표시장치의 동작 과정을 나타낸 신호 특성도.
- <7> < 도면의 주요 부분에 대한 부호의 설명 >
- | | |
|-----------------------|--------------------|
| <8> 100, 200: 액정표시장치 | 110, 210: 액정표시패널 |
| <9> 120, 230: 데이터 구동부 | 130: 게이트 구동부 |
| <10> 140: 감마기준전압 발생부 | 150: 백라이트 어셈블리 |
| <11> 160: 인버터 | 170: 공통전압 발생부 |
| <12> 180: 게이트구동전압 발생부 | 190, 220: 타이밍 컨트롤러 |

도면

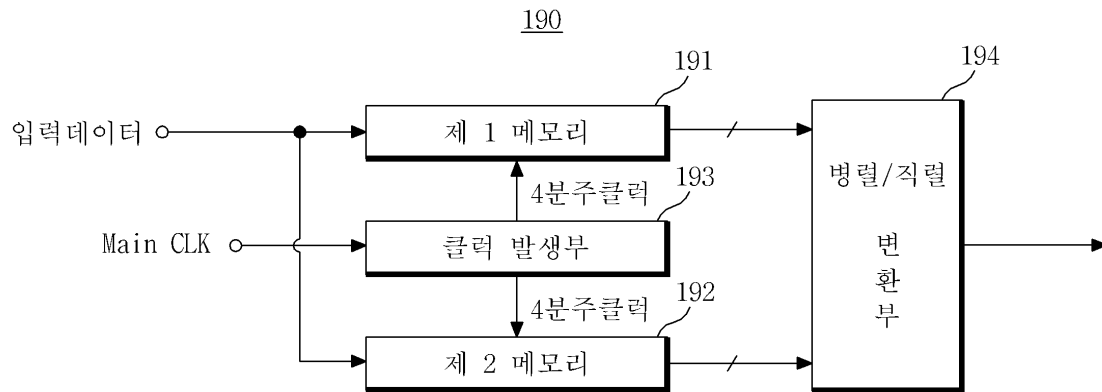
도면1



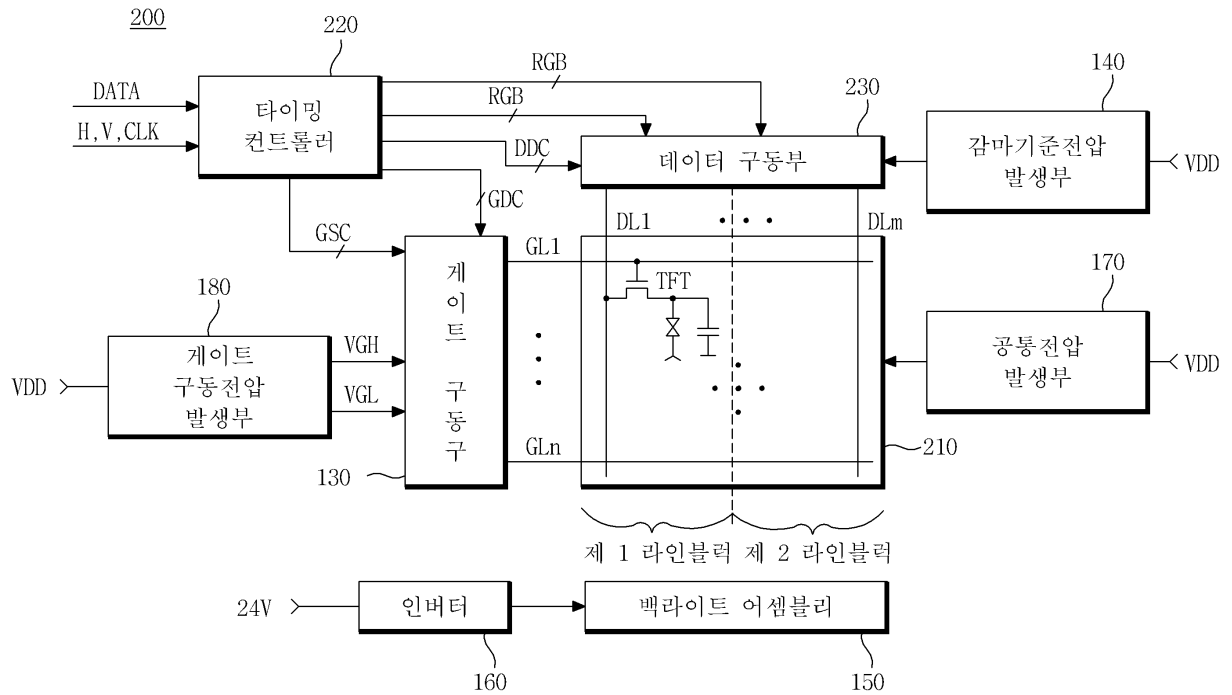
도면2



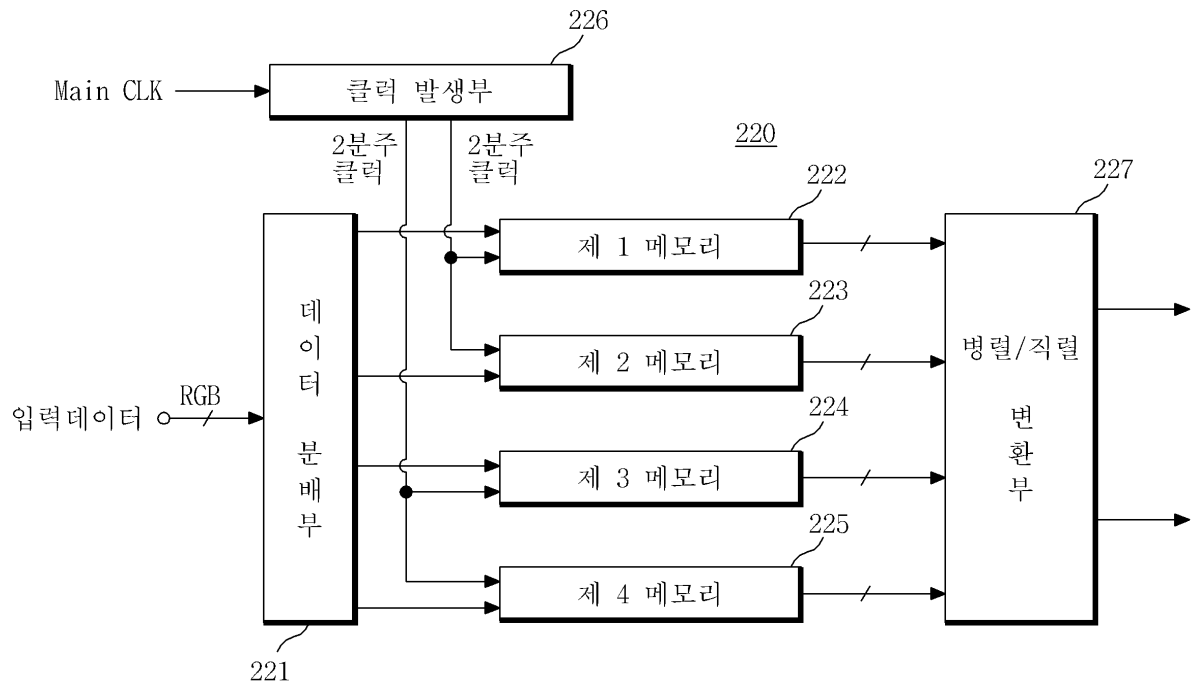
도면3



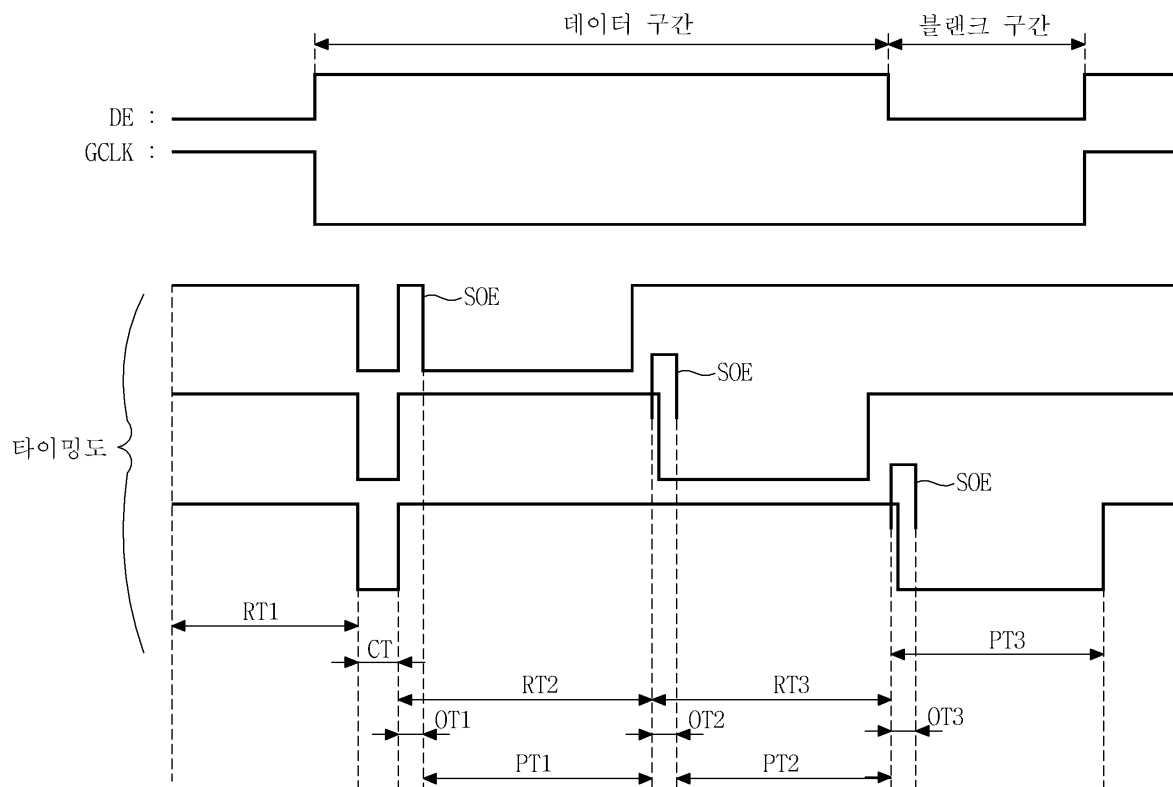
도면4



도면5



도면6



专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	KR1020070116513A	公开(公告)日	2007-12-10
申请号	KR1020060050607	申请日	2006-06-05
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SHIN JUNG WOOK		
发明人	SHIN,JUNG WOOK		
IPC分类号	G09G3/36 G09G3/20		
CPC分类号	G09G2310/08 G09G2310/0218 G09G3/2092 G09G3/3611		
其他公开文献	KR101263507B1		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶显示器，其中基数数字数据线或提供偶数数据线的输入数据在至少2个存储器中形成在LCD面板中的多条数据线中是相等的，并且它们同样在液晶显示器中存储后的时间可以读取LCD面板，用于分配输入数据的数据分配部分，同等存储数据的第一和第二存储器，同等存储数据的第三和第四存储器，以及用于产生分频时钟的时钟发生器被包含在内。对于LCD面板，形成多条数据线。在数据分配部分分配的数据中，提供同等存储数据的第一和第二存储器，基数号码数据线。在数据分配部分分配的数据中提供偶数数据线的同等存储数据的第三和第四存储器。对于时钟发生器，读取存储在第一和第二存储器或第三和第四存储器中的数据并将其输出。液晶显示，数据，记忆，读数，时间。

